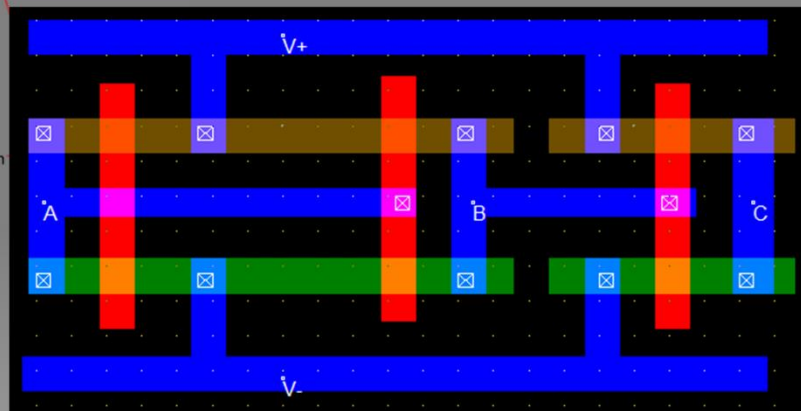
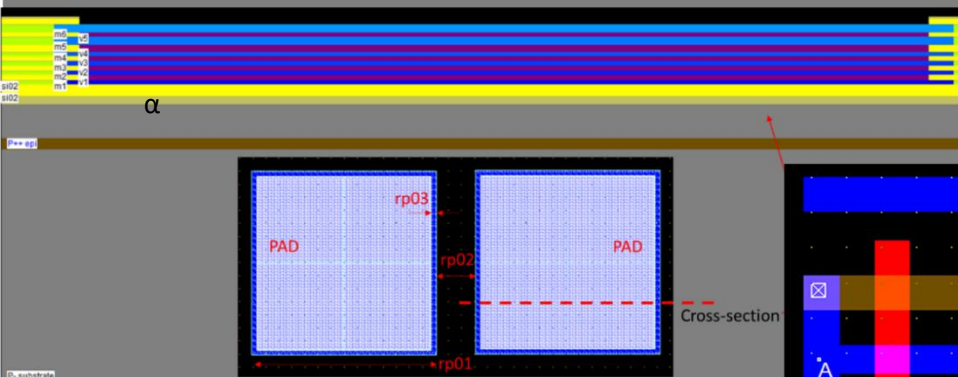


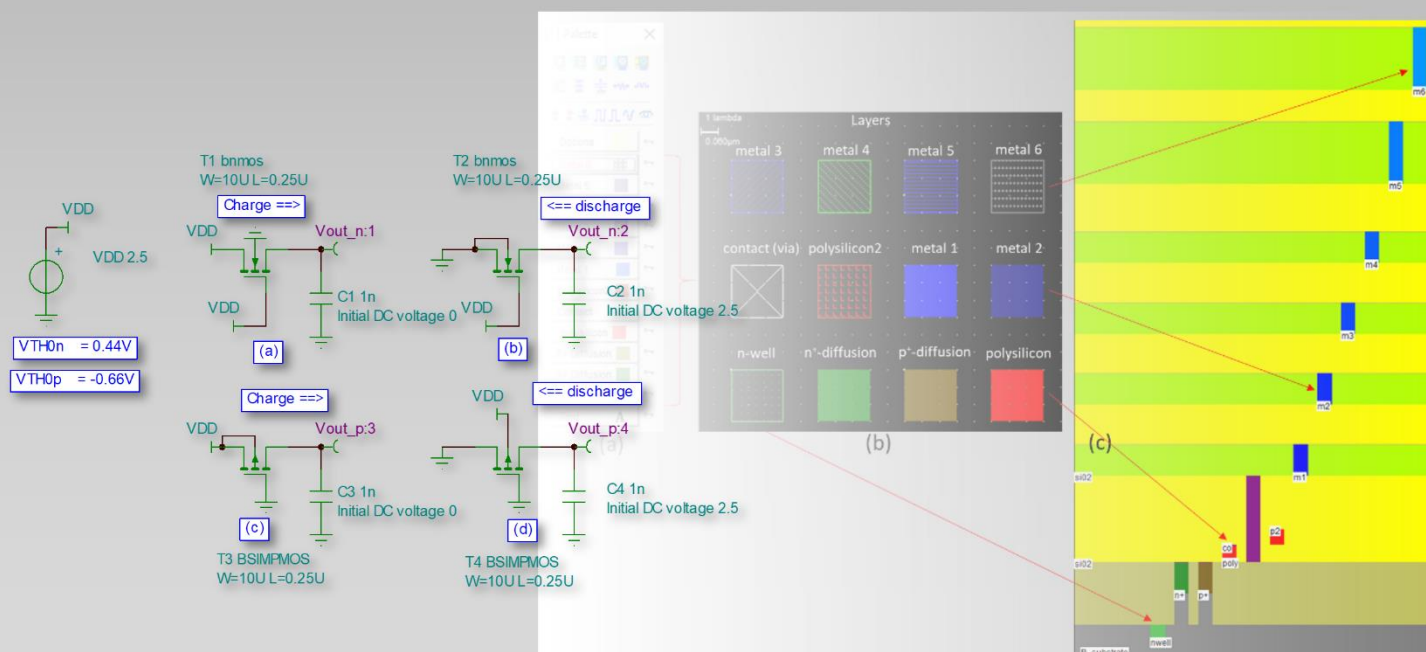


Μικροηλεκτρονική σχεδίαση

Γεώργιος Π. Πάσης

Καθηγητής Πανεπιστημίου Δυτικής Αττικής

VLSI
CMOS



ΓΕΩΡΓΙΟΣ Π. ΠΑΤΣΗΣ

Καθηγητής Τμήματος Ηλεκτρολόγων και Ηλεκτρονικών Μηχανικών
Πανεπιστήμιο Δυτικής Αττικής

Μικροηλεκτρονική σχεδίαση **CMOS VLSI**



Μικροηλεκτρονική σχεδίαση CMOS VLSI

Συγγραφή

Γεώργιος Π. Πάτσης

Συντελεστές έκδοσης

Γλωσσική Επιμέλεια: Δημήτριος Καλλιάρας

Γραφιστική Επιμέλεια: Χρήστος Μουρίκης

Κεντρική ομάδα υποστήριξης

Γραφιστικός Έλεγχος: Ηλίας Τσιώνης

Βιβλιοθηκονομική Επεξεργασία: Ευδοξία Καρλή



Το παρόν έργο αδειοδοτείται υπό τους όρους της άδειας Creative Commons Αναφορά Δημιουργού - Μη Εμπορική Χρήση - Παρόμοια Διανομή 4.0. Για να δείτε ένα αντίγραφο της άδειας αυτής επισκεφτείτε τον ιστότοπο <https://creativecommons.org/licenses/by-nc-sa/4.0/deed.el>

Αν τυχόν κάποιο τμήμα του έργου διατίθεται με διαφορετικό καθεστώς αδειοδότησης, αυτό αναφέρεται ρητά και ειδικώς στην οικεία θέση.

ΚΑΛΛΙΠΟΣ

Εθνικό Μετσόβιο Πολυτεχνείο

Ηρώων Πολυτεχνείου 9, 15780 Ζωγράφου

www.kallipos.gr

ISBN: 978-618-5726-40-9

Αφιέρωση
Στη σύζυγό μου, για την υπομονή της.

Πίνακας περιεχομένων

Πίνακας συντομεύσεων-ακρωνυμίων	3
Πρόλογος.....	5
ΚΕΦΑΛΑΙΟ 1. ΣΧΕΔΙΑΣΗ ΧΩΡΟΘΕΣΙΑΣ (LAYOUT) ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) ΜΕ ΤΟ ΛΟΓΙΣΜΙΚΟ MICROWIND.....	7
1.1 ΕΙΣΑΓΩΓΗ	8
1.2 ΣΧΕΔΙΑΣΗ ΣΕ ΕΠΙΠΕΔΑ ΜΕ ΒΑΣΙΚΑ ΥΛΙΚΑ.....	9
1.3 ΣΧΕΔΙΑΣΤΙΚΟΙ ΚΑΝΟΝΕΣ	11
1.4 ΣΧΕΔΙΑΣΜΟΣ ΤΩΝ MOSFETS.....	16
1.5 ΠΡΟΣΟΜΟΙΩΣΗ ΔΥΝΑΜΙΚΗΣ ΣΥΜΠΕΡΙΦΟΡΑΣ ΤΩΝ MOS	21
1.6 ΣΧΕΔΙΑΣΗ ΚΑΙ ΠΡΟΣΟΜΟΙΩΣΗ ΤΟΥ ΑΝΤΙΣΤΡΟΦΕΑ (NOT-GATE)	23
1.7 ΣΧΕΔΙΑΣΗ ΚΑΙ ΠΡΟΣΟΜΟΙΩΣΗ ΤΗΣ ΠΥΛΗΣ ΜΕΤΑΔΟΣΗΣ (TRANSMISSION GATE)	24
1.8 ΣΧΕΔΙΑΣΗ ΚΑΙ ΠΡΟΣΟΜΟΙΩΣΗ ΑΝΤΙΣΤΡΟΦΕΑ ΜΕ ΧΡΗΣΗ VERILOG.....	25
1.9 ΒΙΒΛΙΟΓΡΑΦΙΑ	26
ΚΕΦΑΛΑΙΟ 2. ΠΡΟΣΟΜΟΙΩΣΕΙΣ ΔΙΑΤΑΞΕΩΝ MOS ΜΕ ΤΟ ΛΟΓΙΣΜΙΚΟ TINA.....	27
2.1 ΕΙΣΑΓΩΓΗ	28
2.2 ΤΟ MOS ΩΣ ΔΙΑΚΟΠΤΗΣ – TRANSIENT ANALYSIS.....	31
2.3 ΠΥΛΕΣ ΜΕ 2 ΤΡΑΝΖΙΣΤΟΡ - ΑΝΤΙΣΤΡΟΦΕΑΣ ΚΑΙ ΠΥΛΗ ΜΕΤΑΦΟΡΑΣ.....	34
2.4 ΟΔΗΓΗΣΗ ΜΕΣΩ ΑΝΤΙΣΤΡΟΦΕΑ ΤΗΣ ΦΟΡΤΙΣΗΣ-ΑΠΟΦΟΡΤΙΣΗΣ ΠΥΚΝΩΤΗ.....	36
2.5 ΤΑΛΑΝΤΩΤΗΣ ΔΑΚΤΥΛΙΟΥ ΜΕ ΑΝΤΙΣΤΡΟΦΕΙΣ	38
2.6 ΚΑΘΟΛΙΚΕΣ ΠΥΛΕΣ CMOS 2-ΕΙΣΟΔΩΝ.....	38
2.7 CMOS ΧΩΡ ΠΥΛΗ	40
2.8 ΒΙΒΛΙΟΓΡΑΦΙΑ	44
ΚΕΦΑΛΑΙΟ 3. ΑΝΑΣΚΟΠΗΣΗ ΒΑΣΙΚΩΝ ΑΝΑΛΟΓΙΚΩΝ ΔΙΑΤΑΞΕΩΝ ΣΤΗ VLSI ΣΧΕΔΙΑΣΗ.....	45
3.1 ΑΝΤΙΣΤΑΣΕΙΣ	46
3.2 ΠΥΚΝΩΤΕΣ.....	51
3.3 ΕΠΑΦΕΣ (CONTACTS).....	58
3.4 ΠΗΝΙΑ	60
3.5 MOSFETS.....	60
3.6 ΑΝΑΛΟΓΙΚΟΣ ΔΙΑΚΟΠΤΗΣ (ΠΥΛΗ ΜΕΤΑΔΟΣΗΣ).....	62
3.7 ΤΑΣΗ ΑΝΑΦΟΡΑΣ (VOLTAGE REFERENCE)	63
3.8 ΚΑΘΡΕΠΤΗΣ ΡΕΥΜΑΤΟΣ (CURRENT MIRROR)	66
3.9 ΕΝΙΣΧΥΤΕΣ.....	68
3.10 ΒΙΒΛΙΟΓΡΑΦΙΑ	70

ΚΕΦΑΛΑΙΟ 4. ΤΟ ΛΟΓΙΣΜΙΚΟ DSCH	73
4.1 ΕΙΣΑΓΩΓΗ	74
4.2 Η ΕΠΙΦΑΝΕΙΑ ΕΡΓΑΣΙΑΣ ΤΟΥ DSCH	74
4.3 ΜΕΝΟΥ FILE	74
4.4 ΜΕΝΟΥ EDIT	75
4.5 ΜΕΝΟΥ INSERT	75
4.6 ΜΕΝΟΥ VIEW	76
4.7 ΜΕΝΟΥ ΣΥΝΤΟΜΕΥΣΕΩΝ	76
4.8 ΒΙΒΛΙΟΘΗΚΗ ΣΥΜΒΟΛΩΝ – ΠΑΛΕΤΑ ΕΡΓΑΛΕΙΩΝ/ΣΥΜΒΟΛΩΝ	76
4.9 ΠΑΡΑΔΕΙΓΜΑΤΑ ΣΧΕΔΙΑΣΗΣ.....	77
4.10 ΑΣΚΗΣΕΙΣ.....	81
4.11 ΒΙΒΛΙΟΓΡΑΦΙΑ	82
ΚΕΦΑΛΑΙΟ 5. ΕΡΓΑΣΙΕΣ ΣΧΕΔΙΑΣΗΣ ΔΙΑΤΑΞΕΩΝ ΚΑΙ ΚΥΚΛΩΜΑΤΩΝ ΜΕ ΤΑ ΛΟΓΙΣΜΙΚΑ MICROWIND ΚΑΙ DSCH	83
5.1 ΕΡΓΑΣΙΑ 1. ΕΙΣΑΓΩΓΗ ΣΤΟ MICROWIND	84
5.2 ΕΡΓΑΣΙΑ 2. ΑΝΤΙΣΤΡΟΦΕΑΣ CMOS.....	91
5.3 ΕΡΓΑΣΙΑ 3. ΠΑΡΑΜΕΤΡΙΚΗ ΕΞΟΜΟΙΩΣΗ ΑΝΤΙΣΤΡΟΦΕΑ CMOS ΜΕ ΦΟΡΤΙΟ.....	100
5.4 ΕΡΓΑΣΙΑ 4. ΣΧΕΔΙΑΣΗ ΒΑΣΙΚΩΝ ΠΥΛΩΝ ΛΟΓΙΚΗΣ	102
5.5 ΕΡΓΑΣΙΑ 5. ΣΧΕΔΙΑΣΗ ΜΕΤΑΛΛΙΚΩΝ ΔΙΑΣΥΝΔΕΣΕΩΝ	106
5.6 ΕΡΓΑΣΙΑ 6: ΣΧΕΔΙΑΣΗ ΠΟΛΥΠΛΟΚΩΝ ΠΥΛΩΝ ΛΟΓΙΚΗΣ CMOS.....	110
5.7 ΕΡΓΑΣΙΑ 7. ΣΧΕΔΙΑΣΗ ΠΛΗΡΟΥΣ ΑΘΡΟΙΣΤΗ	113
5.8 ΕΡΓΑΣΙΑ 8. ΣΧΕΔΙΑΣΗ ΑΚΟΛΟΥΘΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ.....	114
5.9 ΕΡΓΑΣΙΑ 9. ΣΧΕΔΙΑΣΗ ΜΟΝΑΔΑΣ ΑΡΙΘΜΗΤΙΚΗΣ-ΛΟΓΙΚΗΣ 1BIT.....	115
5.10 ΕΠΙΠΡΟΣΘΕΤΕΣ ΕΡΓΑΣΙΕΣ.....	122
5.11 ΒΙΒΛΙΟΓΡΑΦΙΑ	132
ΚΕΦΑΛΑΙΟ 6. ΕΙΔΙΚΑ ΣΤΟΙΧΕΙΑ ΧΩΡΟΘΕΣΙΑΣ (LAYOUT).....	133
6.1 ΕΙΣΑΓΩΓΗ	134
6.2 ΣΧΕΔΙΑΣΗ ΜΑΚΡΙΩΝ MOS.....	134
6.3 ΣΧΕΔΙΑΣΗ ΜΕ ΔΙΑΜΟΙΡΑΣΗ ΠΗΓΗΣ-ΑΠΑΓΩΓΟΥ	135
6.4 ΤΕΧΝΙΚΗ ΣΥΝΔΕΣΗΣ ΔΙΑΤΑΞΕΩΝ ΜΕ ΕΠΕΚΤΑΣΗ POLYSILICON	137
6.5 ΣΧΕΔΙΑΣΗ ΜΕ «ΤΡΑΒΗΓΜΑ» ΜΕΤΑΛΛΟΥ ΠΑΝΩ ΑΠΟ ΤΙΣ ΔΙΑΤΑΞΕΙΣ.....	138
6.6 ΣΧΕΔΙΑΣΗ ΠΥΛΩΝ ΔΙΑΚΡΙΤΑ ΚΑΙ ΜΕ ΣΥΝΔΕΣΕΙΣ ΜΕΤΑΛΛΟΥ	139
6.7 ΣΧΕΔΙΑΣΗ ΜΕ ΤΕΤΡΑΓΩΝΙΣΜΕΝΑ ΚΥΚΛΩΜΑΤΑ	139
6.8 ΓΡΑΜΜΙΚΑ ΔΙΑΓΡΑΜΜΑΤΑ ΚΥΚΛΩΜΑΤΩΝ (STICK DIAGRAMS).....	140
6.9 ΒΙΒΛΙΟΓΡΑΦΙΑ	144

ΚΕΦΑΛΑΙΟ 7. ΔΙΑΤΑΞΕΙΣ ΚΑΙ ΤΕΧΝΟΛΟΓΙΑ MOS (ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)	145
BIBΛΙΟΓΡΑΦΙΑ	175
ΚΕΦΑΛΑΙΟ 8. ΜΟΝΤΕΛΟΠΟΙΗΣΗ ΤΟΥ MOS ΤΡΑΝΖΙΣΤΟΡ (ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ)	176
BIBΛΙΟΓΡΑΦΙΑ	212
ΚΕΦΑΛΑΙΟ 9. CMOS ΑΝΤΙΣΤΡΟΦΕΑΣ (ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ)	213
BIBΛΙΟΓΡΑΦΙΑ	238
ΚΕΦΑΛΑΙΟ 10. ΔΙΑΣΥΝΔΕΣΕΙΣ (INTERCONNECTS) (ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ)	239
BIBΛΙΟΓΡΑΦΙΑ	256
ΚΕΦΑΛΑΙΟ 11. ΒΑΣΙΚΕΣ ΠΥΛΕΣ ΛΟΓΙΚΗΣ CMOS (ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ)	257
BIBΛΙΟΓΡΑΦΙΑ	292
ΚΕΦΑΛΑΙΟ 12. ΚΥΨΕΛΙΔΕΣ ΑΝΑΛΟΓΙΚΗΣ ΣΧΕΔΙΑΣΗΣ (ANALOG CELLS) (ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ)	294
BIBΛΙΟΓΡΑΦΙΑ	338

Πίνακας συντομεύσεων-ακρωνυμίων

ALU	Arithmetic Logic Unit (Μονάδα Αριθμητικής-Λογικής)
CMOS	Complementary MOS
DRC	Design Rule Check (Ελεγκτής Κανόνων Σχεδίασης)
FA	Full Adder (Πλήρης Αθροιστής)
HDL	Hardware Description Language (Γλώσσα Περιγραφής Υλικού)
MOS	Metal Oxide Semiconductor
MUX	Multiplexer (Πολυπλέκτης)
VLSI	Very Large-Scale Integration

Πρόλογος

Το βιβλίο αυτό περιέχει βοηθητικό υλικό για το μάθημα ΕΕΕ.7-3.7 «Μικροηλεκτρονική Σχεδίαση CMOS VLSI» του 7ου εξαμήνου του Τμήματος Ηλεκτρολόγων και Ηλεκτρονικών Μηχανικών του Πανεπιστημίου Δυτικής Αττικής.

Χωρίζεται σε δύο μέρη: Το πρώτο μέρος περιλαμβάνει 6 κεφάλαια με ειδικές πληροφορίες για τα εργαλεία λογισμικού που θα χρησιμοποιηθούν στη διδασκαλία του μαθήματος, καθώς και γενικές γνώσεις που αφορούν τη σχεδίαση πολύ υψηλής κλίμακας ολοκλήρωσης (VLSI) με τη CMOS τεχνολογία. Το δεύτερο και μεγαλύτερο μέρος είναι δομημένο σε μορφή ερωτήσεων διαφόρων τύπων, όπως αυτές που καλούνται οι φοιτητές να απαντήσουν στις προόδους και εξετάσεις του μαθήματος.

Σκοπός του βιβλίου είναι να χρησιμοποιηθεί το παρόν σύγγραμμα είτε αυτόνομα είτε παράλληλα με το κυρίως σύγγραμμα που θα παραλάβουν οι φοιτητές από τον «Εύδοξο» ή με οποιοδήποτε άλλο βιβλίο που αφορά τη σχεδίαση και προσομοίωση κυκλωμάτων σε επίπεδο χωροθεσίας (layout). Το ιδιαίτερο χαρακτηριστικό του είναι ότι μπορεί να χρησιμοποιηθεί και ως «τετράδιο εργασιών», το οποίο ο φοιτητής θα πρέπει να το έχει μαζί του στις εργαστηριακές ή στις φροντιστηριακές ασκήσεις για να διευκολύνεται στην παρακολούθηση, ανατρέχοντας στις σχετικές με την παράδοση ασκήσεις.

Σχετικά με την ορολογία, σε πολλές περιπτώσεις χρησιμοποιείται και ο αγγλικός όρος για την περιγραφή κάποιας τεχνολογίας ή κάποιας διάταξης και για την αποφυγή μακροσκελών επεξηγήσεων στην ελληνική γλώσσα. Π.χ. θα χρησιμοποιούμε τον όρο MOS από τα αρχικά του τρανζίστορ Metal Oxide Semiconductor αντί του ΜΟΗ από τη μετάφραση τρανζίστορ Μετάλλου-Οξειδίου-Ημιαγωγού, για να αποφύγουμε τη σύγχυση και για να διευκολύνουμε την κατανόηση των όρων στην αγγλική ορολογία που αποτελεί το κύριο σώμα της βιβλιογραφίας.

Προαπαιτούμενες απαραίτητες γνώσεις από τη μεριά του αναγνώστη χρειάζονται στους επόμενους τομείς: Ηλεκτρονικής, Φυσικής ημιαγωγών, Λειτουργίας διατάξεων και κυκλωμάτων διπολικών (BJT) και MOS τρανζίστορ, Ψηφιακής λογικής σχεδίασης.

Με λίγα λόγια, οι στόχοι του βιβλίου είναι:

1. να εισαγάγει τις έννοιες της σχεδίασης ολοκληρωμένων κυκλωμάτων πολύ μεγάλης κλίμακας ολοκλήρωσης (VLSI),
2. να εξηγήσει τη δομή και τη λειτουργία των βασικών δομικών στοιχείων των ολοκληρωμένων κυκλωμάτων,
3. να περιγράψει τη βασική φυσική των διατάξεων MOS (Metal-Oxide-Semiconductor),
4. να παρουσιάσει τον τρόπο σχεδίασης, τόσο των βασικών κυκλωμάτων ψηφιακής λογικής όσο και της χωροθεσίας τους (layout), που αποτελεί το βασικό βήμα για την κατασκευή των πραγματικών κυκλωμάτων,
5. να εκπαιδεύσει στη χρήση σχετικών λογισμικών σχεδίασης των κυκλωμάτων και των χωροθεσιών τους.

Γεώργιος Π. Πάτσης
Τμήμα Ηλεκτρολόγων και Ηλεκτρονικών Μηχανικών
Πανεπιστήμιο Δυτικής Αττικής
2023

ΚΕΦΑΛΑΙΟ 1. ΣΧΕΔΙΑΣΗ ΧΩΡΟΘΕΣΙΑΣ (LAYOUT) ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) ΜΕ ΤΟ ΛΟΓΙΣΜΙΚΟ MICROWIND

ΣΥΝΟΨΗ

Η σχεδίαση ηλεκτρονικών κυκλωμάτων πολύ μεγάλης κλίμακας ολοκλήρωσης σε φυσικό επίπεδο απαιτεί γνώση του τρόπου απεικόνισης των διαφόρων επιπέδων των υλικών που αποτελούν την πραγματική ηλεκτρονική διάταξη (διακόπτη). Η κατανόηση του τρόπου απεικόνισης αυτής της πληροφορίας και τελικά της προσομοίωσης των σχεδιαζόμενων διατάξεων σε επίπεδο χωροθεσίας πριν την τελική κατασκευή των μασκών που θα υλοποιήσουν το πραγματικό κύκλωμα, είναι αντικείμενα που θα σχολιαστούν στο παρόν κεφάλαιο. Η όλη διαδικασία θα γίνει μέσω παραδειγμάτων που μοιάζουν πολύ με τη σχεδίαση σε βιομηχανικό επίπεδο.

ΣΤΟΧΟΣ

- * Εξοικείωση με τη σχεδίαση layout απλών διατάξεων.
- * Κατανόηση της έννοιας και της σημασίας των κανόνων σχεδίασης.
- * Κατανόηση του τρόπου σχεδίασης των mosfets.
- * Γνώση των τρόπων δυναμικής προσομοίωσης των mosfets.
- * Σχεδίαση cmos αντιστροφέα και κατανόηση του τρόπου λειτουργίας του.
- * Σχεδίαση της πύλης μετάδοσης και κατανόηση του τρόπου λειτουργίας της.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Βασικές γνώσεις χειρισμού λογισμικού Microwind ή σχετικού.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.

ΚΕΦΑΛΑΙΟ 1. ΣΧΕΔΙΑΣΗ ΧΩΡΟΘΕΣΙΑΣ (LAYOUT) ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) ΜΕ ΤΟ ΛΟΓΙΣΜΙΚΟ MICROWIND

1.1 ΕΙΣΑΓΩΓΗ

Η κατασκευή των ολοκληρωμένων κυκλωμάτων βασίζεται στην επανάληψη της διάταξης από μοτίβα στρώσεων-υλικών το ένα πάνω από το άλλο (layout). Μερικά από αυτά τα στρώματα δεν είναι προσβάσιμα στον σχεδιαστή διάταξης κυκλωμάτων (χωροθεσίας), επειδή απαιτούνται για μόνωση (π.χ. η στρώση διοξειδίου του πυριτίου μεταξύ κομματιών στρώσεων μετάλλου) ή ηλεκτρικές επαφές μεταξύ των συσκευών ημιαγωγού και της βοηθητικής δομής διασύνδεσης (π.χ. στρώμα πυριτιδίου (salicide)).

Για να μπορέσει να φτάσει από την τοπολογία κυκλώματος στην τελική τοπολογία διάταξης, ο σχεδιαστής θα πρέπει να έχει κατανοήσει πλήρως την αναπαράσταση των στοιχείων σε επίπεδο στρωμάτων και το αντίστροφο, δηλ. βλέποντας τη διάταξη να έχει μια ιδέα του αντίστοιχου κυκλώματος και επομένως και της λειτουργίας του. Εξειδικευμένα εργαλεία λογισμικού βοηθούν τον σχεδιαστή και για τις δύο αυτές κατευθύνσεις.

Το Microwind είναι ένα φιλικό εργαλείο λογισμικού για υπολογιστές σε Windows, για σχεδίαση και προσομοίωση μικροηλεκτρονικών κυκλωμάτων σε επίπεδο χωροθεσίας. Το εργαλείο διαθέτει πλήρεις σχεδιαστικές εγκαταστάσεις, προβολές (όπως χαρακτηριστικά των MOS), 2D εγκάρσια τομή, προβολές 3D, προβολές σε ατομικό επίπεδο και αποτελεσματικό αναλογικό προσομοιωτή [1, 2].

Δεν χρειάζεται SPICE ή εξωτερικός προσομοιωτής. Ο αναλογικός προσομοιωτής είναι ενσωματωμένος. Ο προσομοιωτής διαθέτει γρήγορο πεδίο χρόνου, εκτιμήσεις σε τάσεις και ρεύματα με πολύ διαισθητική μετά-επεξεργασία: εκτίμηση συχνότητας, εκτίμηση καθυστέρησης. Διαθέσιμη είναι ακόμη και η εκτίμηση ισχύος.

Ο προσομοιωτής μπορεί να χρησιμοποιηθεί σε ένα ευρύ φάσμα τεχνολογιών: 1,2 μικρών μέχρι τα 35nm.

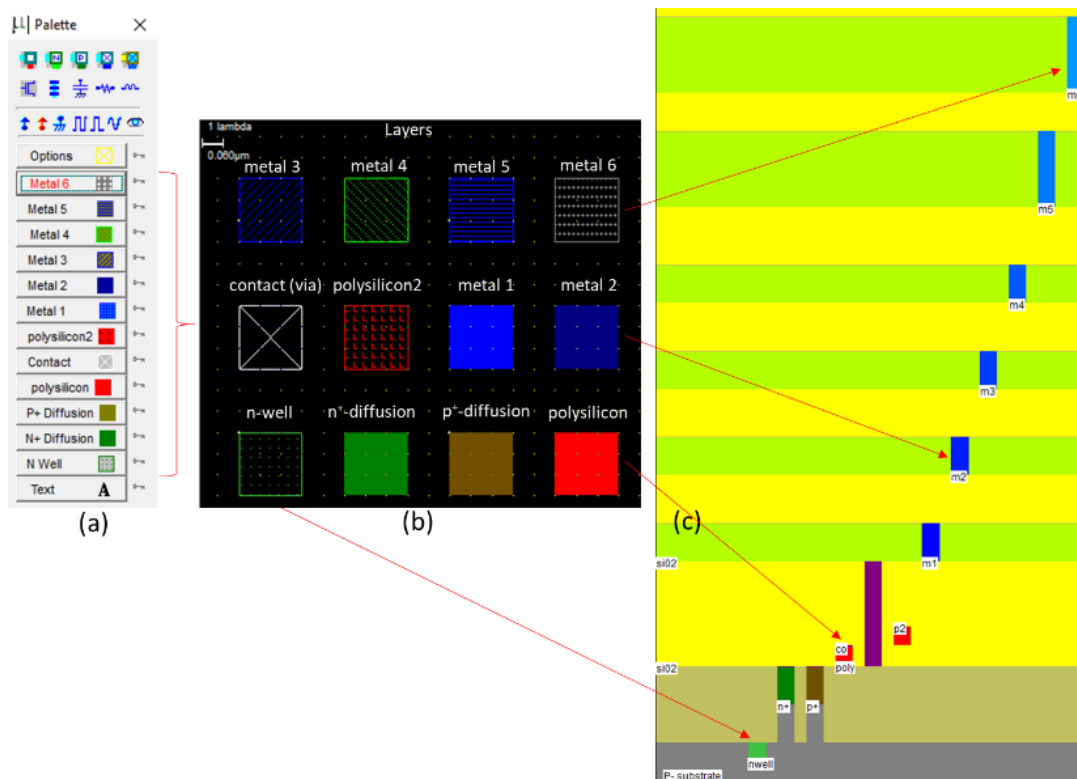
Το Microwind χρησιμοποιεί LEVEL3 και BSIM4 μοντέλα. Το LEVEL3 είναι ένα παλαιότερο μοντέλο μη κατάλληλο για τεχνολογίες υπομικρονικών διαστάσεων. Το BSIM4 μοντέλο θεωρείται ακριβές μέχρι και τις τεχνολογίες νανομέτρων, αλλά έχει αναφερθεί ως ανεπαρκές για μοντέλα αναλογικών προσομοιώσεων σε φάσμα GHz.

Τα ηλεκτρικά αποτελέσματα στο Microwind είναι αρκετά ακριβή για προσομοίωση λογικής και κυκλωματική επαλήθευση, αλλά οι αναλογικές προσομοιώσεις μπορεί να διαφέρουν σημαντικά από αυτά που μας προσφέρουν τα επαγγελματικά εργαλεία, εξαιτίας του γεγονότος ότι ο εξαγωγέας (extractor) του Microwind δεν λαμβάνει υπόψη όλες τις χωρητικότητες, αντιστάσεις και τα φαινόμενα αυτεπαγωγής των σχεδιαζόμενων διατάξεων.

Παρ' όλα αυτά, το Microwind θεωρείται αποδεκτό για προαναλύσεις, συγκρίσεις και για εκπαιδευτικούς σκοπούς. Όμως, ένα βιομηχανικής κατεύθυνσης εργαλείο έγκρισης είναι αναγκαίο πριν την κατασκευή των κυκλωμάτων.

1.2 ΣΧΕΔΙΑΣΗ ΣΕ ΕΠΙΠΕΔΑ ΜΕ ΒΑΣΙΚΑ ΥΛΙΚΑ

Τα τυπικά διαθέσιμα στρώματα στον σχεδιαστή στην περίπτωση του Microwind[1, 2] μπορούμε να τα δούμε στην παλέτα (palette) του (**Εικ. 1.1(a)**). Υπάρχουν τα n-πηγάδι (n-well), n+-διάχυση (n+diffusion), p+-διάχυση (p+diffusion), το πολυπυρίτιο (polysilicon), η επαφή (contact), το πολυπυρίτιο 2 (polysilicon 2) και διάφορα στρώματα μετάλλων (metal layers) (**Εικ. 1.1(b)**).



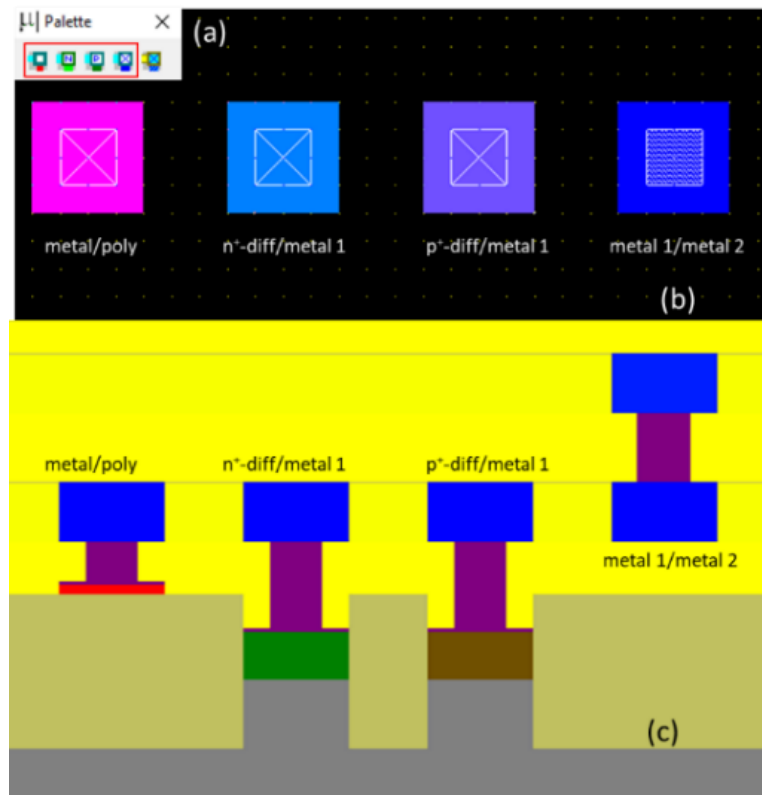
Εικ. 1.1 (a) Παλέτα Microwind που μας δείχνει διάφορα στρώματα και εργαλεία που βοηθούν στη σχεδίαση διατάξεων. (b) 3λ x 3λ τετράγωνα απεικονίζονται για κάθε στρώση. Ξεκινώντας από το n-πηγάδι που είναι το πιο βαθύ επίπεδο, τα στρώματα γίνονται πιο ρηχά καθώς η σειρά ανεβαίνει μέχρι το μέταλλο 6 (metal 6). (c) Εγκάρσια τομή μεταξύ διαφόρων στρωμάτων.

Το μέγεθος του λάμδα-πλέγματος υπακούει στη σχέση $\lambda = L/2$, όπου L είναι το ελάχιστο χαρακτηριστικό μήκος που χρησιμοποιείται στους κανόνες σχεδίασης. Για παράδειγμα, αν $L = 0.25 \mu\text{m}$, τότε $\lambda = 0.125 \mu\text{m}$.

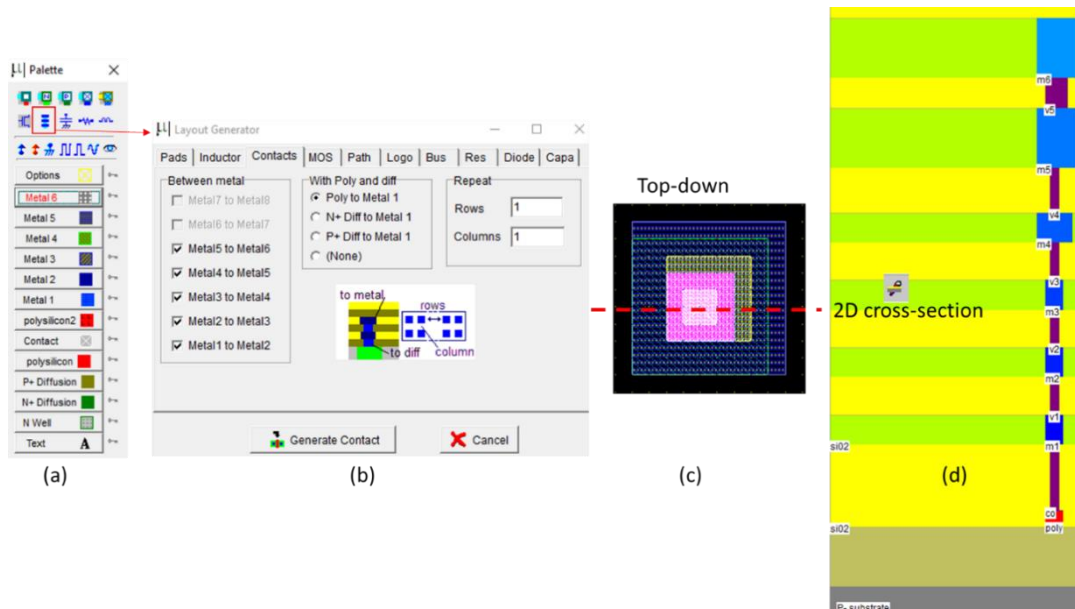
Η σειρά στην προηγούμενη λίστα με τα ονόματα των στρωμάτων στην πραγματικότητα απεικονίζει το επίπεδο βάθους τους σε 2D εγκάρσια τομή της διάταξης. Συγκεκριμένα, οι περιοχές των n-πηγαδιών είναι κατασκευασμένες πρώτα (βρίσκονται βαθύτερα) από τα στρώματα πολυπυριτίου ή μετάλλων (**Εικ. 1.1(c)**).

Οι επαφές είναι απαραίτητες για τις ενώσεις στρωμάτων που βρίσκονται σε διαφορετικό επίπεδο βάθους. Κάθε επαφή είναι βασικά μια κυλινδρική έγχυση μετάλλου που διαπερνάει από το ένα επίπεδο στρώματος στο επόμενο και μια μεταλλική επιφάνεια. Η **Εικ. 1.2** δείχνει τη χωροθεσία και το εγκάρσιο κομμάτι από διάφορες επαφές στο Microwind. Επίσης, η **Εικ. 1.3** δείχνει το μέρος της γεννήτριας στρωμάτων (Layout-Generator) που χρησιμοποιείται για τη δημιουργία περίπλοκων επαφών μεταξύ μερικών στρωμάτων. Επαφές μετάλλων υψηλότερα από το μέταλλο 2 (metal 2) είναι μεγαλύτερες σε εμβαδόν. Το στρώμα επιλογών (option Layer) (**Εικ. 1.4(a)**) είναι ένα εικονικό στρώμα (όχι ακριβώς ένα στρώμα μάσκας) που χρησιμοποιείται για τον ορισμό συγκεκριμένων επιλογών στην περιοχή ζωγραφικής. Η **Εικ. 1.4(b)** μας

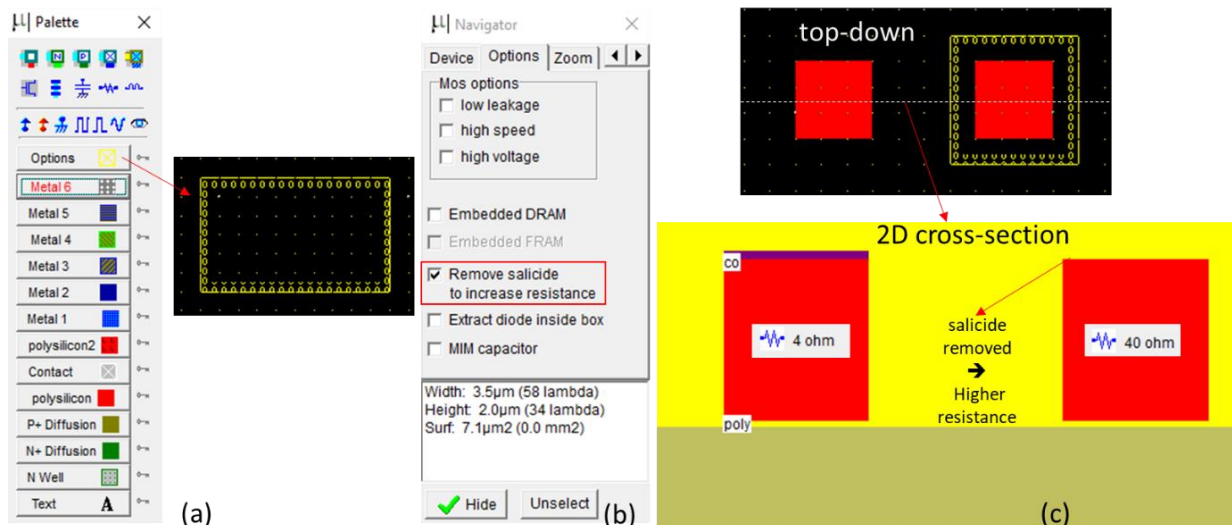
δείχνει επιλογές που προσφέρονται από το Microwind. Μία από αυτές τις επιλογές μας δίνει την ικανότητα να αφαιρέσουμε το πυριτίδιο (salicide) πάνω από το στρώμα πολυπυριτίου, οπότε αυξάνει την αντίστασή του (Εικ. 1.4(c)).



Εικ. 1.2 Επαφές στο Microwind. Εγκάρσια τομή μεταξύ διαφόρων επαφών.



Εικ. 1.3 Η γεννήτρια στρωμάτων μπορεί να χρησιμοποιηθεί για τη δημιουργία περίπλοκων επαφών μεταξύ μεταλλικών στρωμάτων. Οι επαφές μετάλλων υψηλότερες του μετάλλου 2 είναι μεγαλύτερες.



Εικ. 1.4 (α) Επιλογές στρωμάτων. Είναι ένα εικονικό στρώμα (όχι στρώμα μάσκας). (β,γ). Μία από τις ιδιότητές του είναι η αφαίρεση του κοβαλτίου με σκοπό την αύξηση της αντίστασης στρώματος.

1.3 ΣΧΕΔΙΑΣΤΙΚΟΙ ΚΑΝΟΝΕΣ

Η εξέλιξη της μικροηλεκτρονικής βασίζεται στην κλιμάκωση προς τα κάτω (σμίκρυνση) της τεχνολογίας και ουσιαστικά στη συρρίκνωση των τρανζίστορ σε υπομικρονικό μέγεθος μέχρι την περιοχή των νανομέτρων. Λόγω των τεχνικών δυσκολιών στην παραγωγή των σχεδιασμένων διατάξεων σε τόσο μικρή κλίμακα μήκους, υπάρχουν συγκεκριμένοι και αυστηροί σχεδιαστικοί κανόνες στους οποίους το σχέδιο πρέπει να συμμορφώνεται. Οι κανόνες αυτοί θέτουν καθορισμένα όρια στο «**πόσο κοντά**» μπορεί να βρίσκονται δύο επιφάνειες του ίδιου υλικού (και ως εκ τούτου στο ίδιο επίπεδο) ή τη «**μικρότερη διάσταση**» που μπορεί να έχουν σε κάθε τεχνολογία (**rule**).

Αυτοί οι σχεδιαστικοί κανόνες αναφέρονται σε μm ή μονάδες λάμδα (λ). Η τιμή του λ είναι το ελάχιστο μήκος της πύλης πολυπυριτίου ή $\lambda = L/2$ και με το L να είναι η ελάχιστη διάσταση της πύλης πολυπυριτίου που μπορεί να κατασκευαστεί σε κάθε τεχνολογία. Για παράδειγμα, σε τεχνολογία κατασκευής $0.25 \mu\text{m}$, το $\lambda = 0.125 \mu\text{m}$.

Το λογισμικό του Microwind βασίζεται στο πλέγμα λάμδα και όχι σε πλέγμα μm . Κατά συνέπεια, το ίδιο σχέδιο μπορεί να προσομοιωθεί σε οποιαδήποτε CMOS τεχνολογία. Το λογισμικό μπορεί να χειριστεί διάφορες τεχνολογίες. Οι παράμετροι διαδικασίας αποθηκεύονται σε αρχεία με το προσάρτημα “**.RUL**”. Η προεπιλεγμένη τεχνολογία του Microwind ανταποκρίνεται σε αρχιτεκτονική 6-μετάλλων $0.12 \mu\text{m}$ CMOS διεργασίας. Το προεπιλεγμένο αρχείο είναι **CMOS012.RUL**.

Με σκοπό την επιλογή καινούργιου σετ σχεδιαστικών κανόνων (**new foundry**), ο χρήστης θα πρέπει να επιλέξει **File → Select Foundry** και να διαλέξει την κατάλληλη τεχνολογία από τη λίστα. Τα αρχεία κανόνων (**Rule files**) περιέχουν σε περιγραφή κειμένου τις ελάχιστες διαστάσεις. Για παράδειγμα, ο **Πίνακας 1.1** μας δείχνει ένα μικρό τμήμα από το αρχείο των σχεδιαστικών κανόνων για τεχνολογία CMOS $0.12 \mu\text{m}$. Για να παράγουμε δηλαδή κυκλώματα που θα λειτουργούν σωστά στην τεχνολογία ελάχιστης διάστασης $0.12 \mu\text{m}$, είναι απαραίτητο να ακολουθούμε αυτούς τους κανόνες σχεδιασμού σε όλο το σχέδιο του κυκλώματος.

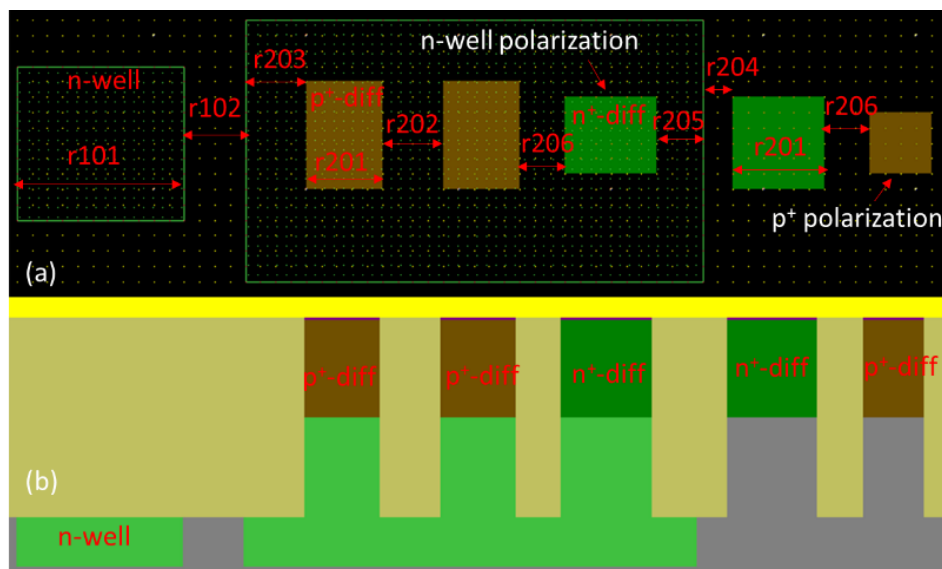
Πίνακας 1.1. Τμήμα περιεχομένου από CMOS012.RUL αρχείο που δείχνει τους σχεδιαστικούς κανόνες για τις διαστάσεις στρωμάτων και τοποθέτησης. Οι τιμές των κανόνων είναι σε μονάδες λάμδα.

NAME CMOS 0.12μm - 6 Metal * * Design rules associated to each layer * * Well(πηγάδι) * r101 = 10 (πλάτος πηγαδιού) r102 = 11 (απόσταση πηγαδιού)	* * Diffusion(διάχυση) * r201 = 4 (πλάτος διάχυσης) r202 = 4 (απόσταση διάχυσης) r203 = 6 (απόσταση του ν-πηγαδιού από p-διάχυση) r204 = 6 (ν-πηγάδι μέχρι την επόμενη διάχυση p) r205 = 0 (διάχυση-n με διάχυση-p) r210 = 16 (ελάχιστη επιφάνεια διάχυσης λάμδα ²)
* * Poly(πολυπυρίτιο) * r301 = 2 (πλάτος πολυπυριτίου) r302 = 2 (μήκος πύλης) r303 = 4 (υψηλό δυναμικό μήκος πύλης) r304 = 3 (απόσταση πολυπυριτίου) r305 = 1 (απόσταση πολυπυριτίου με άσχετη διάχυση) r306 = 4 (πλάτος απαγωγού και πηγής διάχυσης) r307 = 3 (επιπλέον πολυπυρίτιο πύλης) r310 = 16 (ελάχιστη επιφάνεια πολυπυριτίου λάμδα ²)	* * Poly 2(πολυπυρίτιο 2) * r311 = 2 (πλάτος πολυπυρίτιο 2) r312 = 2 (απόσταση πολυπυρίτιο 2)
* * Contact(επαφή) * r401 = 2 (πλάτος επαφής) r402 = 4 (απόσταση επαφής) r403 = 1 (μεταλλικό όριο επαφής) r404 = 1 (όριο πολυπυριτίου για επαφής) r405 = 1 (όριο διάχυσης για επαφή) r406 = 2 (επαφή στην πύλη) r407 = 1 (πολυπυρίτιο 2 όριο για επαφή)	* * Pad rules (κανόνες βάσεων) * rp01 = 1330 (πλάτος βάσης 80μm) rp02 = 1330 (απόσταση βάσης 80μm) rp03 = 40 (όριο διασύνδεσης) rp04 = 40 (διασύνδεση μετάλλου) rp05 = 200 (σε άσχετες ενεργές περιοχές)
* * metal (μέταλλο) * r501 = 3 (πλάτος μετάλλου) r502 = 4 (απόσταση μετάλλου) r510 = 16 (ελάχιστη επιφάνεια)	* * via (διασύνδεση) * r601 = 2 (πλάτος διασύνδεσης) r602 = 4 (απόσταση) r604 = 1 (όριο μετάλλου) r605 = 1 (όριο μετάλλου 2)
* * metal 2 (μέταλλο 2) * r701 = 3 (Πλάτος μετάλλου 2) r702 = 4 r710 = 16 (ελάχιστη επιφάνεια)	* * via 2 (διασύνδεση 2) * r801 = 2 (πλάτος διασύνδεσης) r802 = 4 (απόσταση) r804 = 1 (όριο μετάλλου 2) r805 = 1 (όριο μετάλλου 3)
* * metal 3 (μέταλλο 3) * r901 = 3 (πλάτος) r902 = 4 (απόσταση)	* * via 3 (διασύνδεση 3) * ra01 = 2 (πλάτος διασύνδεσης) ra02 = 4 (απόσταση)

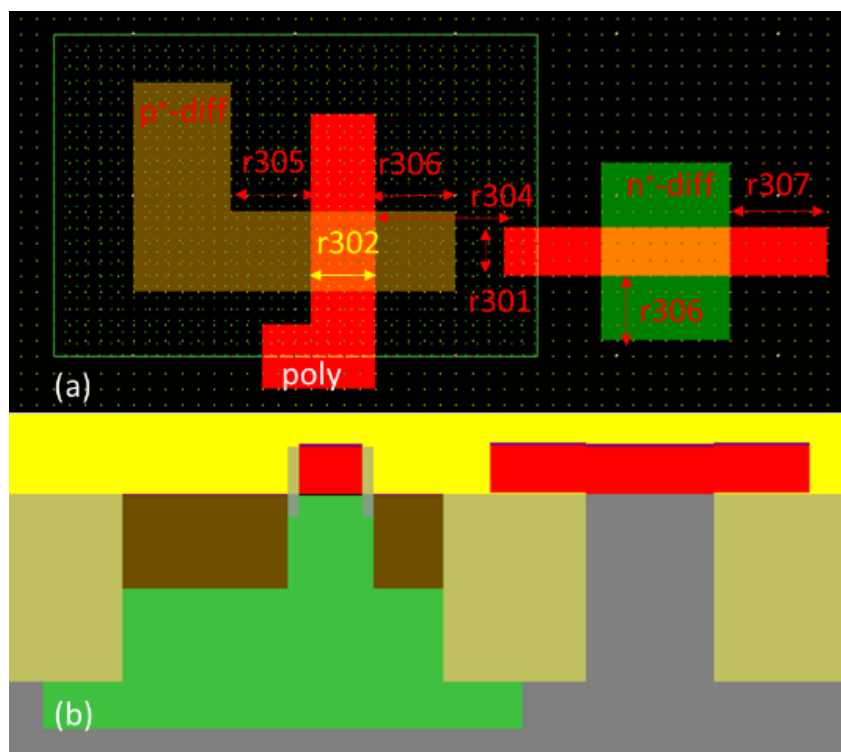
r910 = 16 (ελάχιστη επιφάνεια)	ra04 = 1 (όριο μετάλλου 3) ra05 = 1 (όριο μετάλλου 4)
* * metal 4 (μέταλλο 4) * rb01 = 3 (πλάτος) rb02 = 4 (απόσταση) rb10 = 16 (ελάχιστη επιφάνεια)	* * via 4 (διασύνδεση 4) * rc01 = 2 (πλάτος διασύνδεσης) rc02 = 4 (απόσταση) rc04 = 1 (όριο μετάλλου 4) rc05 = 3 (όριο μετάλλου 5)
* * metal 5 (μέταλλο 5) * rd01 = 8 (πλάτος) rd02 = 8 (απόσταση) rd10 = 64 (ελάχιστη επιφάνεια)	* * via 5 (διασύνδεση 5) * re01 = 5 (πλάτος διασύνδεσης) re02 = 5 (απόσταση) re04 = 2 (όριο μετάλλου 5) re05 = 2 (όριο μετάλλου 6)
* metal 6 (μέταλλο 6) rf01 = 8 (πλάτος) rf02 = 8 (απόσταση) rf10 = 144 (ελάχιστη επιφάνεια)	

Ο ελεγκτής-κανόνων-σχεδιασμού (**DRC**) του λογισμικού μπορεί ανά πάσα στιγμή να ελέγξει αν κάποιος από τους κανόνες δεν τηρείται και τότε θα ενημερώσει τον σχεδιαστή για το ακριβές σημείο πάνω στο σχέδιο όπου υπάρχει σφάλμα.

Η **Εικ. 1.5(a)** παρουσιάζει ένα παράδειγμα σχεδιαστικών κανόνων σχετικά με το n-πηγάδι, p+ διάχυση, n+ διάχυση και την αντίστοιχη πόλωση. Η **Εικ. 1.5(b)** παρουσιάζει την αντίστοιχη εγκάρσια τομή. Η **Εικ. 1.6(a)** παρουσιάζει τους σχεδιαστικούς κανόνες σχετικά με το στρώμα πολυπυριτίου και η **Εικ. 1.6(b)** παρουσιάζει την εγκάρσια τομή.

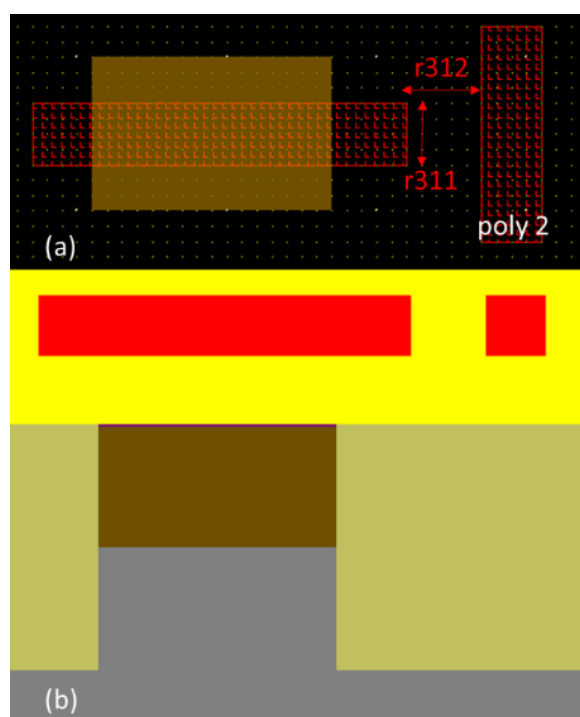


Εικ. 1.5 Αναλυτική προβολή από πάνω προς τα κάτω και εγκάρσιας τομής για n-πηγάδι, n+, p+ διάχυση με σχεδιαστικούς κανόνες.



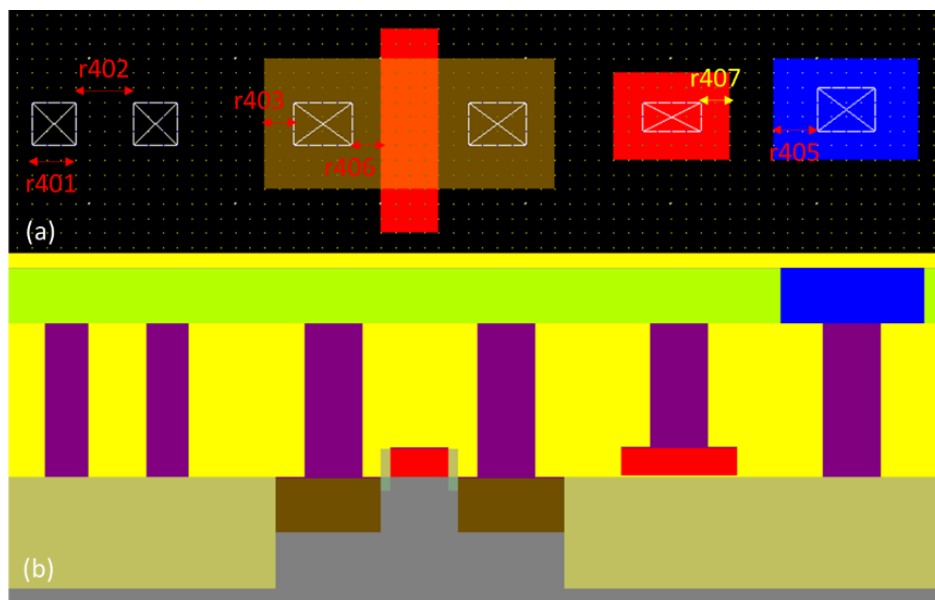
Εικ. 1.6 Αναλυτική προβολή από πάνω προς τα κάτω και εγκάρσια τομής για τοποθέτηση πολυπυριτίου με σχεδιαστικούς κανόνες.

Η **Εικ. 1.7(a)** παρουσιάζει τους σχεδιαστικούς κανόνες σχετικά με το στρώμα πολυπυριτίου-2 και η **Εικ. 1.7(b)** το εγκάρσιο κομμάτι.



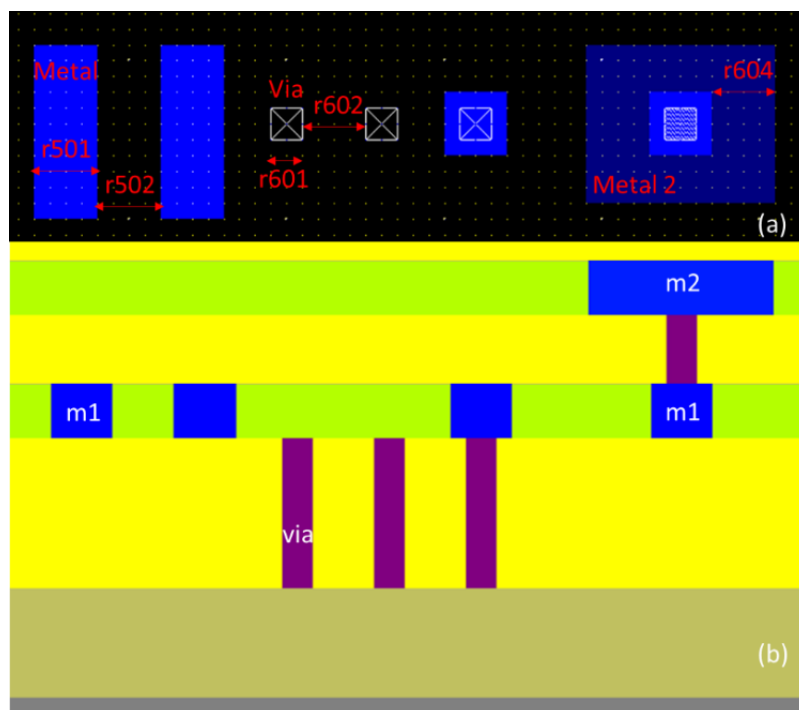
Εικ. 1.7 Αναλυτική προβολή από πάνω προς τα κάτω και εγκάρσια τομή του πολυπυριτίου 2 με την τοποθέτηση σχεδιαστικών κανόνων.

Η **Εικ. 1.8(a)** παρουσιάζει τους σχεδιαστικούς κανόνες σχετικά με την τοποθέτηση των (δρόμων) επαφών και η **Εικ. 1.8(b)** το εγκάρσιο κομμάτι.



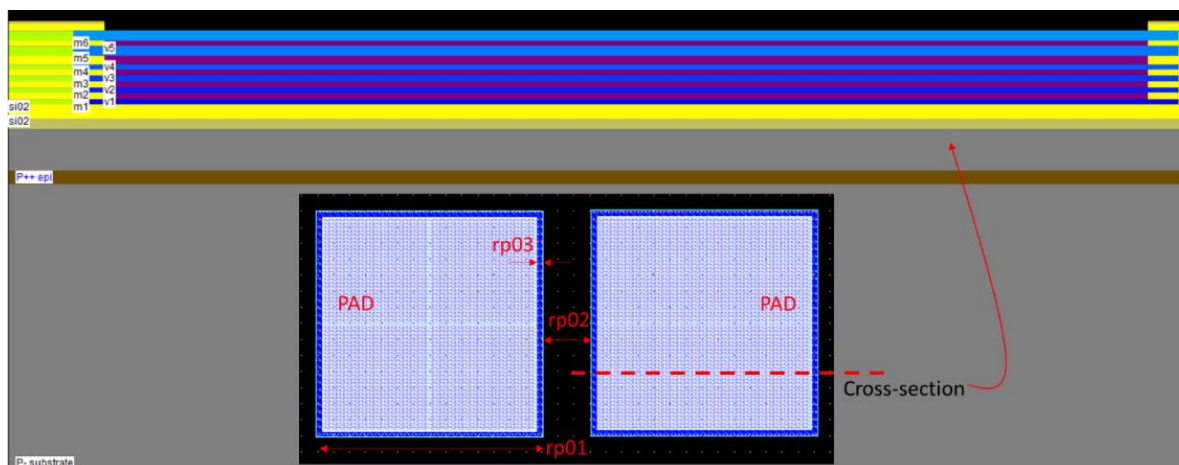
Εικ. 1.8 Αναλυτική προβολή από πάνω προς τα κάτω και εγκάρσια τομή με σχεδιαστικούς κανόνες τοποθέτησης επαφών.

Στην **Εικ. 1.9(a)** παρουσιάζονται οι σχεδιαστικοί κανόνες σχετικά με το μέταλλο-1 και στην **Εικ. 1.9(b)** το εγκάρσιο κομμάτι.



Εικ. 1.9 Αναλυτική προβολή από πάνω προς τα κάτω και εγκάρσια τομή μετάλλων και δρόμων με σχεδιαστικούς κανόνες. Παρόμοιοι κανόνες εφαρμόζονται και σε υψηλότερα επίπεδα στρωμάτων μετάλλου και αντίστοιχες θεωρήσεις.

Στην **Εικ. 1.10** παρουσιάζονται οι σχεδιαστικοί κανόνες σχετικά με τη βάση ολοκληρωμένου κυκλώματος (PAD) και η εγκάρσια τομή του.



Εικ. 1.10 Αναλυτική προβολή από πάνω προς τα κάτω και εγκάρσια τομή για βάσεις ολοκληρωμένων κυκλωμάτων (PADs) βάσει σχεδιαστικών κανόνων.

1.4 ΣΧΕΔΙΑΣΜΟΣ ΤΩΝ MOSFETs

Στην παρούσα ενότητα θα εξετάσουμε τη σχεδίαση της χωροθεσίας απλών διατάξεων nMOS και pMOS. Αυτό θα μπορούσε να γίνει είτε σχεδιάζοντας το κάθε στρώμα με το χέρι ή χρησιμοποιώντας το λογισμικό γεννήτριας στρωμάτων (Layout Generator) (το κουμπί με το MOS σύμβολο στην παλέτα του Microwind).

Νέα είδη MOS διατάξεων έχουν εισαχθεί στις τεχνολογίες υπομικρονικών διαστάσεων, ξεκινώντας από την παραγωγή CMOS 0.18 μm . Η έκδοση του Microwind που χρησιμοποιούμε εδώ ενσωματώνει χαμηλής διαρροής MOS, γρήγορης ταχύτητας MOS και υψηλής τάσης MOS. Όλα αυτά τα σχέδια των MOS μπορούν να δημιουργηθούν εύκολα χρησιμοποιώντας τη γεννήτρια στρωμάτων.

Η Εικ.1. 11(a) δείχνει τις επιλογές της γεννήτριας στρωμάτων για αυτού του είδους MOS, ενώ στην Εικ. 1.11(b) και Εικ. 1.11(c) παρουσιάζονται αντίστοιχα οι κατόψεις και οι εγκάρσιες τομές τους. Παρατηρούμε ότι δεν υπάρχει καμία διαφορά μεταξύ γρήγορης-ταχύτητας-MOS και χαμηλής-διαρροής, από την οπτική της κάτοψης, εκτός από την επιλογή-στρώματος (κίτρινο περίγραμμα) για την αντιστοίχιση σε γρήγορης-ταχύτητας-MOS. Τα υψηλής-τάσης-MOS έχουν σημαντική διαφορά στο σχέδιο, λόγω του διευρυμένου μήκους και πλάτους καναλιού.

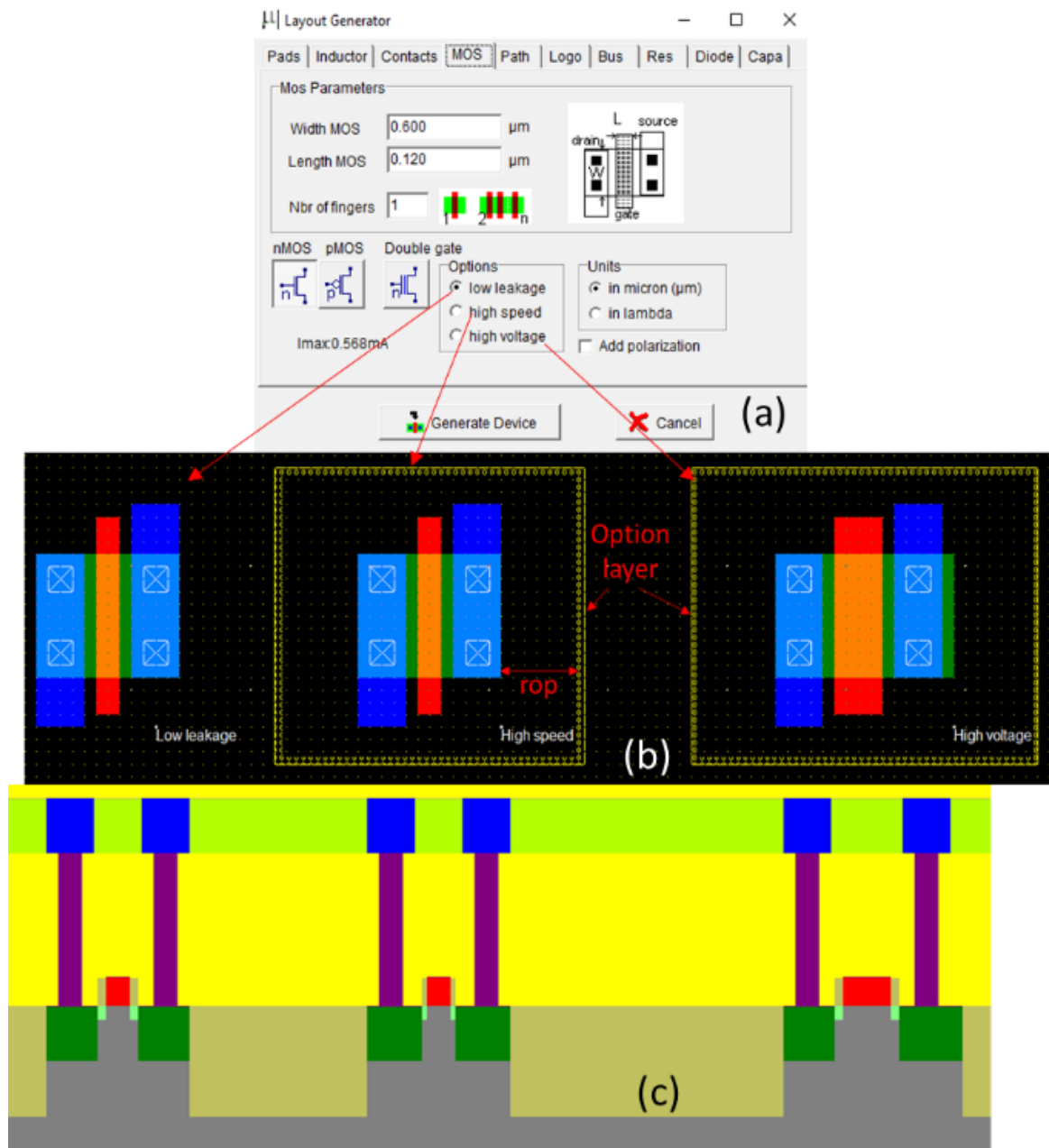
Η Εικ. 1.12(a) και (b) δείχνει τις κατόψεις των nMOS και pMOS, συγκρίνοντας τις εγκάρσιες τομές τους. Αυτά έχουν δημιουργηθεί αυτόματα χρησιμοποιώντας τη γεννήτρια στρωμάτων.

Στη με-το-χέρι σχεδίαση, για τη διάταξη nMOS θα πρέπει να:

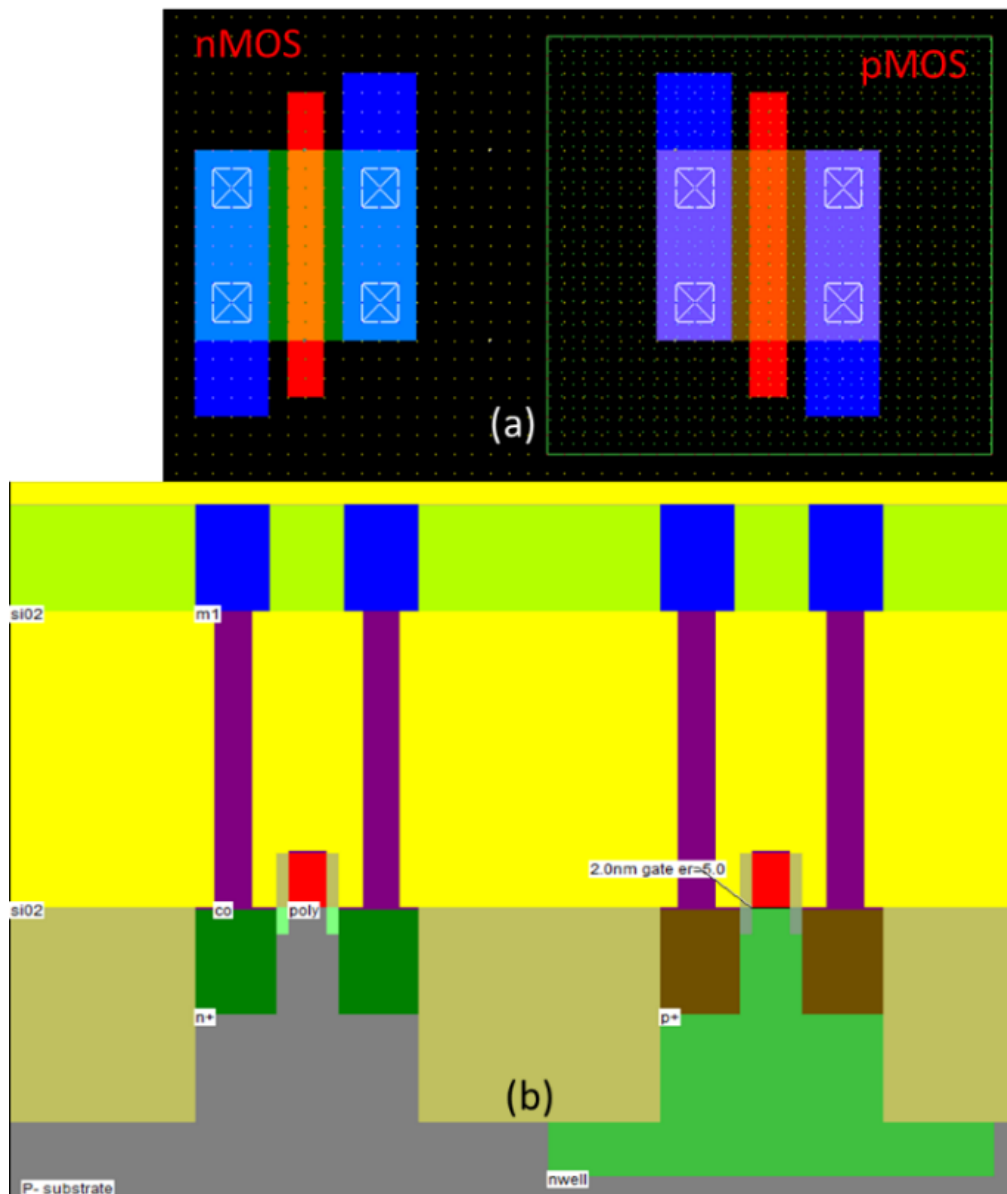
- 1) σχεδιάσουμε την πύλη,
- 2) τοποθετήσουμε την n+ διάχυση,
- 3) τοποθετήσουμε τις επαφές στις περιοχές απαγωγού και πηγής (η τοποθέτηση περισσότερων επαφών είναι καλύτερη),
- 4) προσθέσουμε παραμέτρους προσομοίωσης (Εικ. 1.13(a)).

Αντίστοιχα για τη διάταξη pMOS τα βήματα είναι:

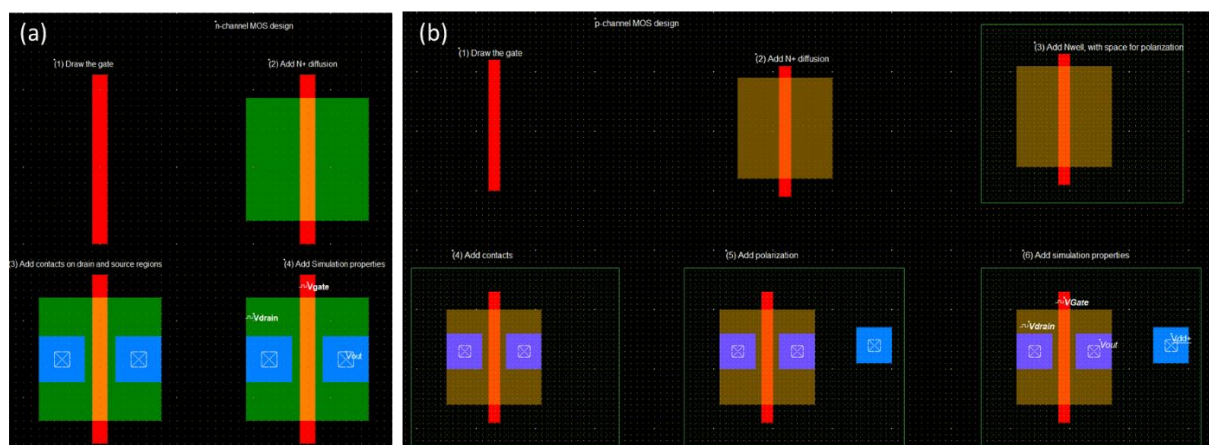
- 1) σχεδίαση πύλης,
- 2) τοποθέτηση p+ διάχυση,
- 3) τοποθέτηση n-πηγάδι με κενό για πόλωση,
- 4) τοποθέτηση των επαφών,
- 5) τοποθέτηση n-πηγάδι για πόλωση και
- 6) πρόσθεση παραμέτρων για την προσομοίωση (Εικ. 1.13(b)).



Εικ. 1.11 (a) Γεννήτρια στρωμάτων (Layout Generator), (b) κάτοψη χωροθεσίας και (c) προβολή εγκάρσιας τομής του χαμηλής διαρροής, γρήγορης ταχύτητας και υψηλής τάσης συσκευή nMOS.



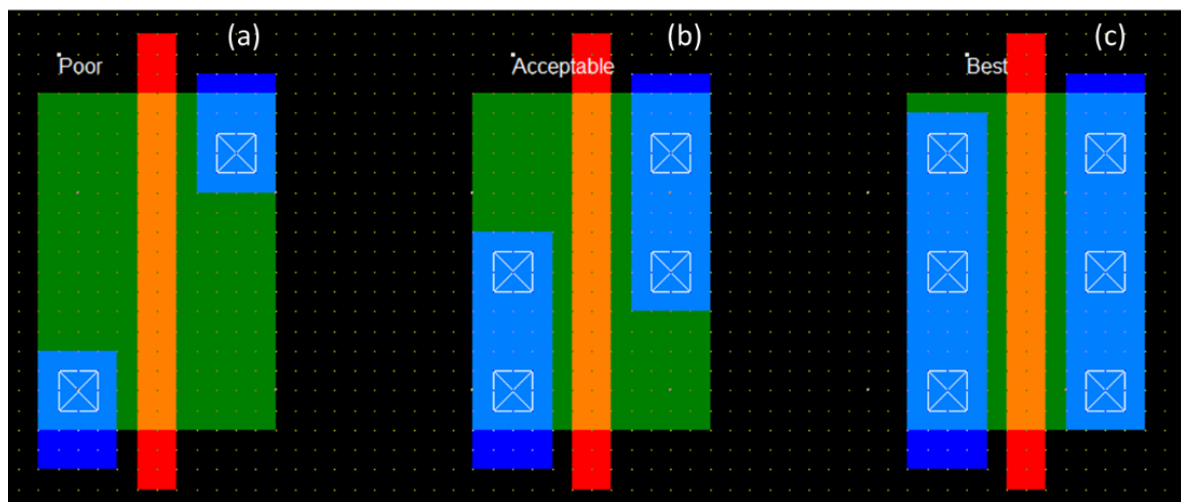
Εικ. 1.12 nMOS and pMOS προβολή σχεδίου και εγκάρσια προβολή.



Εικ. 1.13 Βήματα για με-το-χέρι σχεδίαση απλής διάταξης MOS. (a) nMOS. (b) pMOS.

Συνεχίζοντας, πρέπει να μιλήσουμε λίγο για τη σημασία των πολλαπλών επαφών και της πόλωσης του n-well. Αυτές οι δύο έννοιες συζητούνται παρακάτω.

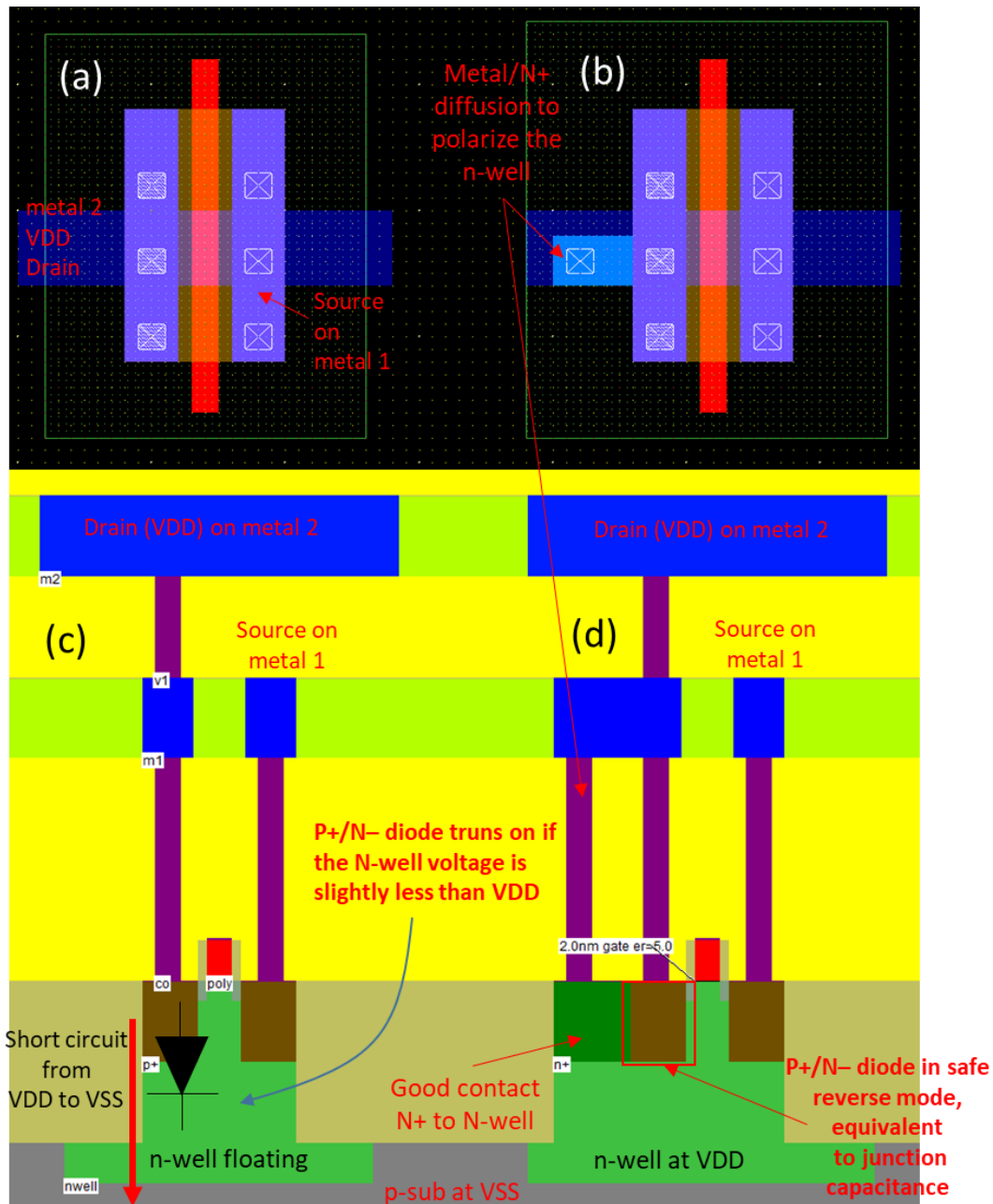
Οι μεταλλικές επαφές είναι απαραίτητες για την όδευση του ηλεκτρικού σήματος στις περιοχές πηγής και απαγωγού της κάθε διάταξης. Ο λόγος προσθήκης πολλαπλών επαφών είναι ο εσωτερικός περιορισμός του ρεύματος, καθώς και η μεγάλη αντίσταση μιας και μόνο επαφής. Μια μεμονωμένη επαφή μπορεί να αντέξει λιγότερο από 1 mA ρεύμα χωρίς κανένα πρόβλημα αξιοπιστίας. Όταν το ρεύμα όμως είναι περισσότερο από 1 mA, η επαφή μπορεί να υποστεί ζημιά. Το φαινόμενο αυτό ονομάζεται *ηλεκτρομετανάστευση* (electromigration). Αν περνάει πολύ ρεύμα μέσω των επαφών, η μεταλλική κατασκευή φορτίζεται όσο τα άτομα κινούνται μέσα στον ημιαγωγό. Ένα πολύ ισχυρό ρεύμα των 10 mA θα κατέστρεφε μία μοναδική επαφή. Τοποθετώντας όμως, τόσες επαφές όσες μας επιτρέπουν οι σχεδιαστικοί κανόνες, θα μειώσει την αντίσταση επαφής. Η ισοδύναμη αντίσταση της περιοχής από τον απαγωγό στην πηγή μειώνεται αναλόγως με τον αριθμό των επαφών. Η Εικ. 1.14 δείχνει ποιοτικά την προηγούμενη ανάλυση.



Εικ. 1.14 Η τοποθέτηση περισσότερων επαφών είναι επιθυμητή. (a) Μέτρια σχεδιασμένο nMOS. (b) Αποδεκτή σχεδίαση nMOS. (c) Βέλτιστη σχεδίαση nMOS.

Στην περίπτωση της διάταξης pMOS, η περιοχή του n-πηγαδιού (n-well) δεν μπορεί να βρίσκεται στον αέρα. Στην Εικ. 1.15(a) και (b) βλέπουμε τη χωροθεσία του pMOS, με και χωρίς πόλωση στο n-πηγάδι αντίστοιχα. Η Εικ. 1.15 (c) και (d) δείχνει τις αντίστοιχες τομές.

Μία ειδική επαφή που μπορεί να δει κανείς στο αριστερό κομμάτι του n-πηγαδιού στην Εικ. 1.15 (b) εξυπηρετεί ως μόνιμη επαφή στο υψηλό δυναμικό (VDD) πάνω στο στρώμα μετάλλου-2. Το υπόστρωμα (p-τύπου) είναι υποθετικά συνδεδεμένο στο VSS. Η πηγή είναι σε μέταλλο 1. Στην περίπτωση της Εικ. 1.15 (c), η περιοχή n-πηγαδιού ρισκάρει κατά τη λειτουργία της διάταξης να μειώσει αρκετά το δυναμικό της ώστε να ενεργοποιήσει ορθά (forward) την εικονική pn επαφή που σχηματίζει με το υπόστρωμα και έτσι η τροφοδοσία VDD του απαγωγού να «ενωθεί» με τη γείωση του υποστρώματος με συνέπεια το κύκλωμα να κινδυνεύει να καταστραφεί.



Εικ. 1.15 (α) pMOS σχέδιο χωρίς πόλωση στο n-πηγάδι. (β) pMOS σχέδιο με πόλωση στο n-πηγάδι. (γ) Εγκάρσια τομή του pMOS χωρίς πόλωση στο n-πηγάδι. (δ) Εγκάρσια τομή του pMOS με πόλωση στο n-πηγάδι.

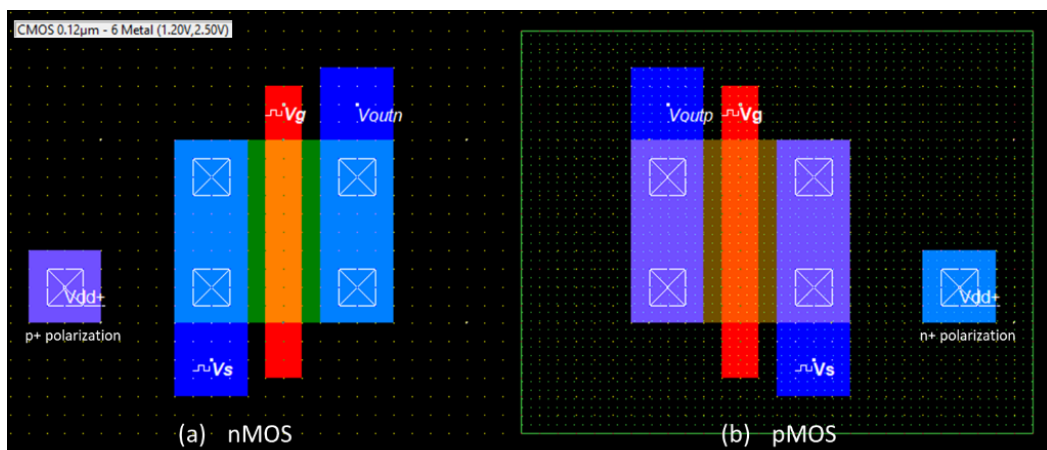
Μια σωστή προσέγγιση που αποφεύγει αυτόν τον κίνδυνο φαίνεται στην Εικ. 1.15(c, d). Μια επαφή πόλωσης μεταφέρει την τροφοδοσία VDD μέχρι και την περιοχή του n-πηγαδιού, μέσω n+ διάχυσης. Πλέον δεν υπάρχει φόβος από παρασιτικές αντιδράσεις, διότι οι συνδέσεις πηγαδιού p+/n- είναι σε ανεστραμμένη λειτουργία (reverse bias) και έτσι μπορούν να θεωρηθούν σαν χωρητικότητες επαφών.

Η τοποθέτηση λοιπόν της πόλωσης VDD στην περιοχή του n-πηγαδιού είναι από τους πιο αυστηρούς κανόνες στη σχεδίαση VLSI. Παρόμοιο σκεπτικό έχουμε και στο υπόστρωμα nMOS. Οπότε, είναι επίσης υποχρεωτικό να τοποθετήσουμε πόλωση και στην περίπτωση του p-υποστρώματος του nMOS. Αυτό θα συζητηθεί στην επόμενη ενότητα.

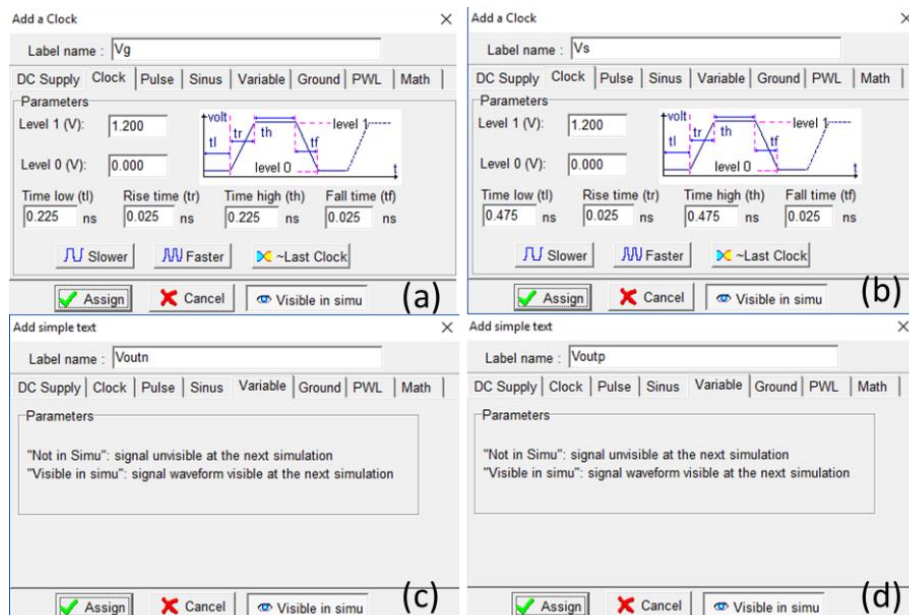
1.5 ΠΡΟΣΟΜΟΙΩΣΗ ΔΥΝΑΜΙΚΗΣ ΣΥΜΠΕΡΙΦΟΡΑΣ ΤΩΝ MOS

Στη συνέχεια θα εξετάσουμε τα χαρακτηριστικά της απόκρισης του σήματος ρολογιού όταν εφαρμοστεί στην πύλη και την πηγή nMOS και pMOS στην πύλη. Η **Εικ. 1.16** δείχνει τις χωροθεσίες nMOS και pMOS σχεδιασμένες με κανόνες 0.12 μm και με την προσθήκη των κατάλληλων πολώσεων στο υπόστρωμά τους (p+ polarization, n+ polarization). Το ίδιο σήμα ρολογιού **Vg** τοποθετείται στην πύλη κάθε διάταξης.

Η **Εικ. 1.17 (a)** μας δείχνει τα χαρακτηριστικά του ρολογιού **Vg**. Η **Εικ. 1.17 (b)** δείχνει τα χαρακτηριστικά για το ρολόι **Vs** που τοποθετείται στην πηγή στην κάθε διάταξη (έχει περίπου διπλάσια περίοδο από το Vg). Μία τάση V_{DD} των 1.2V τοποθετείται σε κάθε πόλωση. Τέλος, οι **Voutn** και **Voutp** μεταβλητές (**visible in simulation**) τοποθετούνται στον απαγωγό της κάθε διάταξης αντίστοιχα (**Εικ. 1.17(c, d)**).



Εικ. 1.16 (a) nMOS και (b) pMOS συσκευές με την τοποθέτηση ιδιοτήτων για προσομοίωση και κατάλληλες πολώσεις.

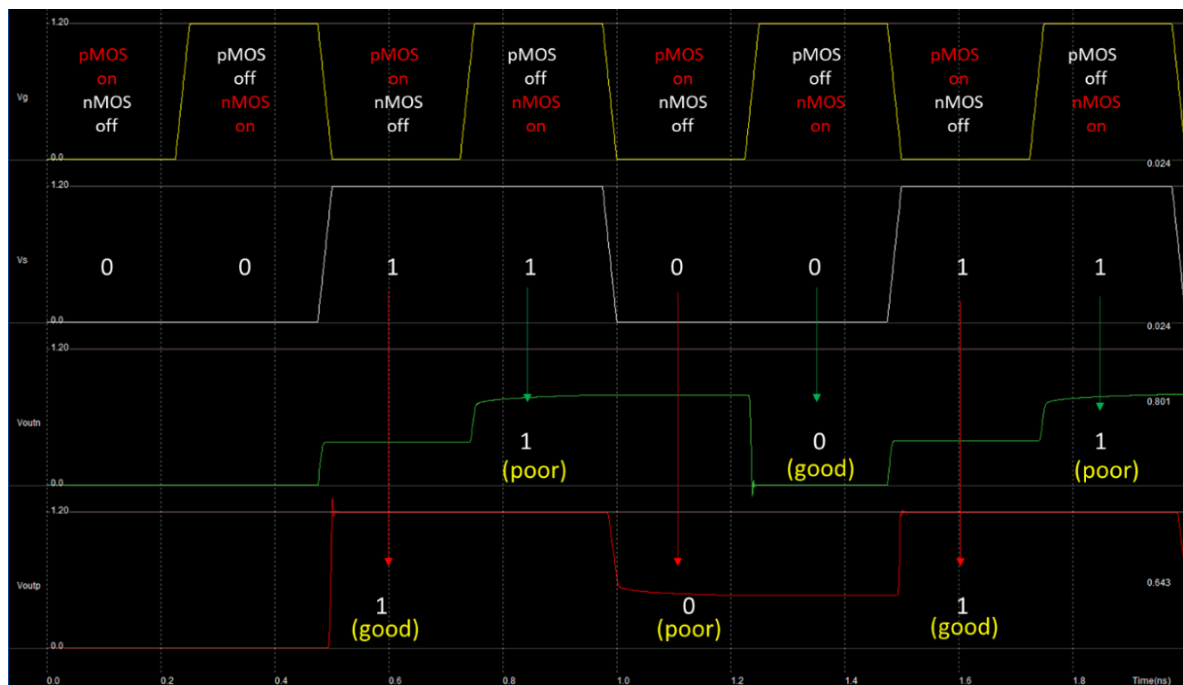


Εικ. 1.17 Ιδιότητες προσομοίωσης. (a) Vg, (b) Vs, (c) Voutn, (d) Voutp.

Η **Εικ. 1.18** μας δείχνει τα αποτελέσματα ανάλυσης στον χρόνο για τις διατάξεις. Θεωρητικά η διάταξη nMOS αρχίζει να άγει όταν η πύλη βρίσκεται πάνω από το κατώφλι (threshold) ή στην ψηφιακή ορολογία όταν η πύλη είναι "1" και δεν άγει όταν η πύλη είναι "0". Από την άλλη πλευρά, η pMOS διάταξη άγει όταν η πύλη είναι "0" και δεν άγει όταν η πύλη βρίσκεται σε κατάσταση "1". Αυτή η συμπεριφορά απεικονίζεται στην **Εικ. 1.18** με τα σχόλια "**pMOS on/off**" και "**nMOS on/off**". Το ρολόι **Vs** είναι περίπου η μισή συχνότητα του ρολογιού **Vg**, ώστε να ελέγχουμε όλους τους συνδυασμούς αγωγιμότητας και για το nMOS αλλά και το pMOS.

Ας λάβουμε υπόψιν για αρχή το nMOS. Όταν είναι on, το σήμα από το **Vs** θα πρέπει θεωρητικά να εμφανίζεται στο **Voutn**. Έτσι, αν το nMOS είναι on (**Vg = "1"**), τότε αν **Vs = "1"** → **Voutn = "1"** και αν **Vs = "0"** → **Voutn = "0"**. Αν δούμε τη γραμμή του **Voutn** στο διάγραμμα, παρατηρούμε ότι μόνο το πέρασμα του "0" είναι καλό (**good**), ενώ το πέρασμα του "1" είναι κακό (**poor**) (το **Voutn** δεν φτάνει τα $V_{DD}=1.2V$, αλλά τα $V_{DD}-V_{tn}$, όπου V_{tn} η τάση κατωφλίου για το nMOS).

Τώρα ας μελετήσουμε την περίπτωση του pMOS. Όταν το pMOS είναι on, το σήμα από το **Vs** θα πρέπει να εμφανίζεται στην **Voutp**. Έτσι αν το pMOS είναι on (**Vg = "0"**), τότε αν **Vs = "1"** → **Voutp = "1"** και αν **Vs = "0"** → **Voutp = "0"**. Αν δούμε τη γραμμή του **Voutp** στο διάγραμμα, παρατηρούμε ότι μόνο το "1" είναι καλό (**good**), ενώ το "0" είναι κακό (**poor**) (το **Voutp** δεν φτάνει ποτέ τα 0V, αλλά τα $0-V_{tp}$ όπου $V_{tp}<0$ η τάση κατωφλίου του pMOS).

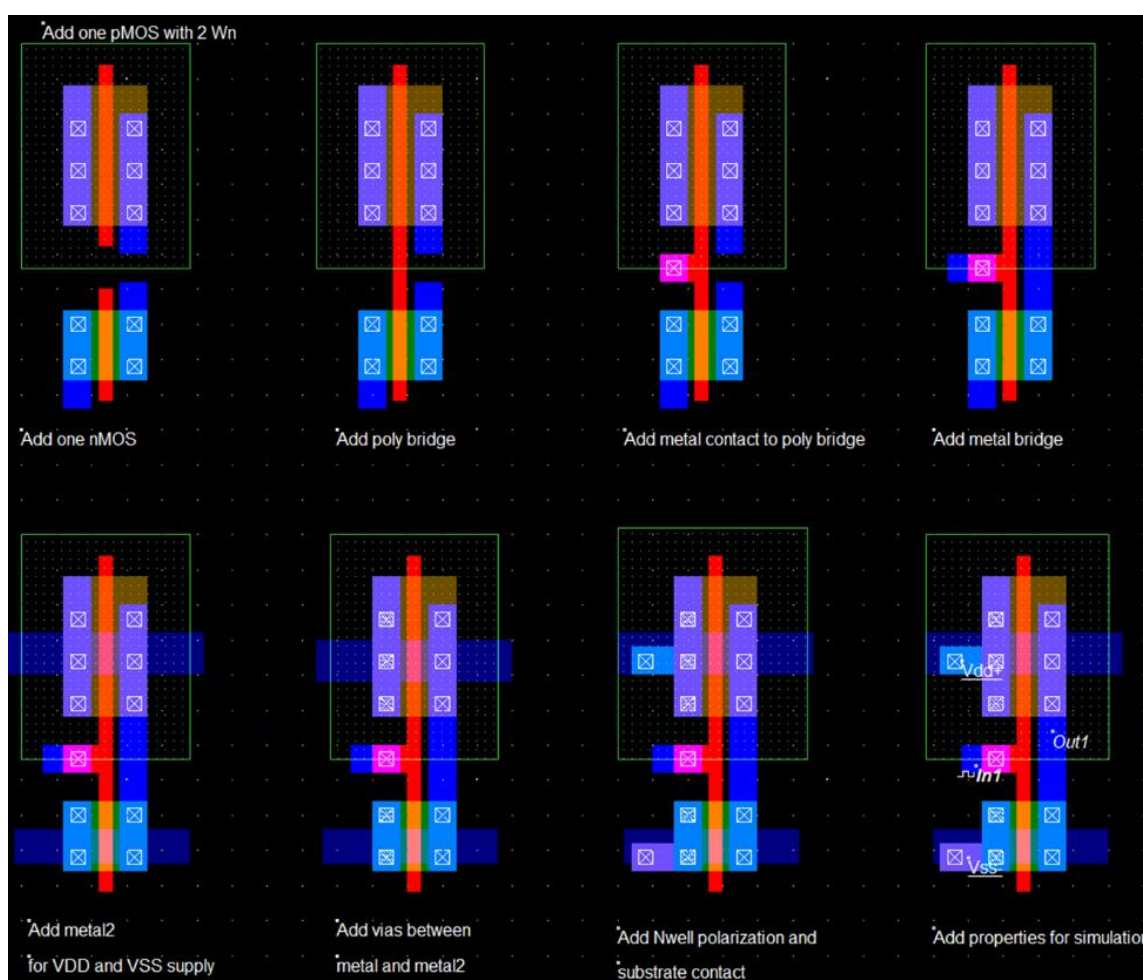


Εικ. 1.18 Προσομοίωση δυναμικής συμπεριφοράς για nMOS και pMOS.

Έτσι είναι ξεκάθαρο ότι η διάταξη nMOS κάνει καλή δουλειά στο να μεταφέρει το "0" από την πηγή στον απαγωγό, αλλά όχι τόσο καλή δουλειά για τη μεταφορά του "1". Ενώ η συσκευή pMOS κάνει το αντίστροφο, περνάει αξιόπιστα το "1" από την πηγή στον απαγωγό, αλλά όχι τόσο καλά το "0". Η CMOS τεχνολογία χρησιμοποιεί και τα δύο είδη συσκευών για κάθε σχεδίαση ώστε να πετυχαίνει και καλό "0" και καλό "1". Αυτό θα φανεί στη συνέχεια στη μελέτη της CMOS πύλης not και της CMOS πύλης μετάδοσης.

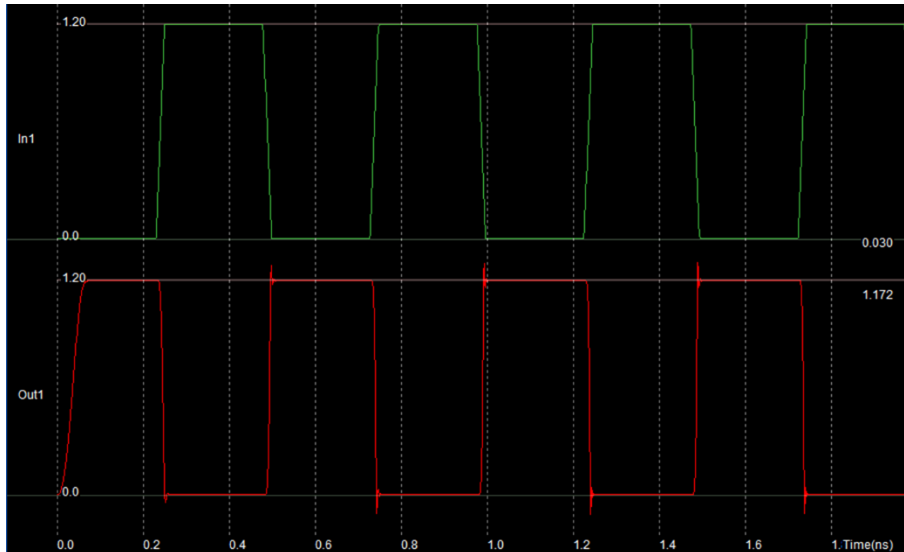
1.6 ΣΧΕΔΙΑΣΗ ΚΑΙ ΠΡΟΣΟΜΟΙΩΣΗ ΤΟΥ ΑΝΤΙΣΤΡΟΦΕΑ (NOT-GATE)

Έχοντας στη διάθεσή μας τη χωροθεσία των nMOS και pMOS είναι εύκολο να τις συνδυάσουμε σε ένα κύκλωμα αντιστροφέα (*inverter*). Η **Εικ. 1.19** δείχνει τα διάφορα βήματα για τη σχεδόν αυτόματη δημιουργία της χωροθεσίας του αντιστροφέα. Χρησιμοποιώντας τη γεννήτρια στρωμάτων σχεδιάζουμε κοντά ένα nMOS (**Add one nMOS**) και ένα pMOS με διπλάσιο πλάτος καναλιού (**Add one pMOS with 2 Wn**). Στη συνέχεια τοποθετείται μια γέφυρα πολυπυριτίου (**Add poly bridge**) για τη σύνδεση nMOS και pMOS και μια μεταλλική επαφή της γέφυρας πολυπυριτίου με το μέταλλο-1 (**Add metal contact to poly bridge**). Μια γέφυρα με μέταλλο-1 χρησιμοποιείται για τη σύνδεση του απαγωγού των δύο τρανζίστορ (**Add metal bridge**). Στη συνέχεια τοποθετείται μέταλλο-2 για τη μεταφορά του σήματος V_{DD} και V_{SS} (**Add metal2 for VDD and VSS supply**). Τέλος, τοποθετείται διασύνδεση μεταξύ μετάλλου-2 και μετάλλου-1 μαζί με τις κατάλληλες πολώσεις για το nMOS και pMOS (**Add Nwell polarization substrate contact**). Ένα σήμα ρολογιού εισάγεται στην πύλη **In1** και ένας κόμβος **Out1** (text) στην έξοδο της πύλης not.



Εικ. 1.19 Βήματα για τη σχεδίαση των στρωμάτων ενός CMOS πύλης not με τεχνολογία 0.12 μm .

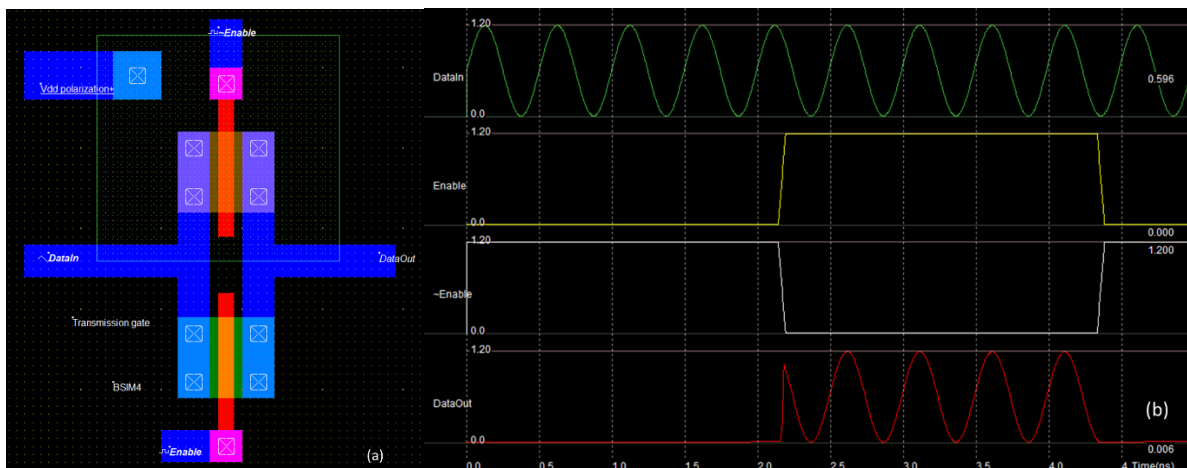
Η προσομοίωση παρουσιάζεται στην **Εικ. 1.20** και επαληθεύει τη λειτουργία της τελικής διάταξης ως πύλης not. Όταν **In1** = "0", το pMOS είναι "on" στην έξοδο **Out1** με καλό "1", ενώ το nMOS είναι "off". Όταν όμως το **In1**="1", το nMOS είναι "on" συνδέοντας την έξοδο **Out1** στη γείωση και έτσι παράγει ένα καλό "0", ενώ το pMOS είναι "off". Έτσι, και σε κάθε περίπτωση, επιλέγεται η κατάλληλη διάταξη (δηλαδή αυτή που δίνει το καλό-1 ή το καλό-0).



Εικ. 1.20 Προσομοίωση χρόνου για την είσοδο/έξοδο CMOS πύλης not.

1.7 ΣΧΕΔΙΑΣΗ ΚΑΙ ΠΡΟΣΟΜΟΙΩΣΗ ΤΗΣ ΠΥΛΗΣ ΜΕΤΑΔΟΣΗΣ (TRANSMISSION GATE)

Μια ακόμη απλή πύλη με μόνο δύο τρανζίστορ είναι το κύκλωμα της πύλης μετάδοσης. Κατασκευάζεται από ένα nMOS και ένα pMOS που είναι συνδεδεμένα στην πηγή και στον απαγωγό, όπως φαίνεται και στην Εικ. 1.21(a). Η πύλη του nMOS συνδέεται με ένα σήμα ρολογιού (**Enable**) και η πύλη του pMOS στο συμπληρωματικό σήμα (**~Enable**). Το σήμα **DataIn** είναι το σήμα εισόδου και βρίσκεται στο κοινό άκρο πηγής των διατάξεων, ενώ η έξοδος **DataOut** βρίσκεται στο κοινό άκρο απαγωγού των διατάξεων. Η Εικ. 1.21 (b) μας παρουσιάζει ένα παράδειγμα προσομοίωσης όπου φαίνεται ότι το **DataOut** είναι ακριβές αντίγραφο του σήματος **DataIn** όταν **Enable** = "1". Αυτό το κύκλωμα CMOS είναι ένα ακόμη παράδειγμα κυκλώματος "best for the job" όπου περνάει καλό "0" ή καλό "1" στην έξοδο. Πιο συγκεκριμένα, όταν **Enable** = "1" το nMOS είναι ενεργό (on). Το ίδιο και το pMOS (επειδή **~Enable**="0") και όταν **Enable** = "0", το nMOS είναι ανενεργό (off) και το ίδιο και το pMOS (επειδή **~Enable**="1").

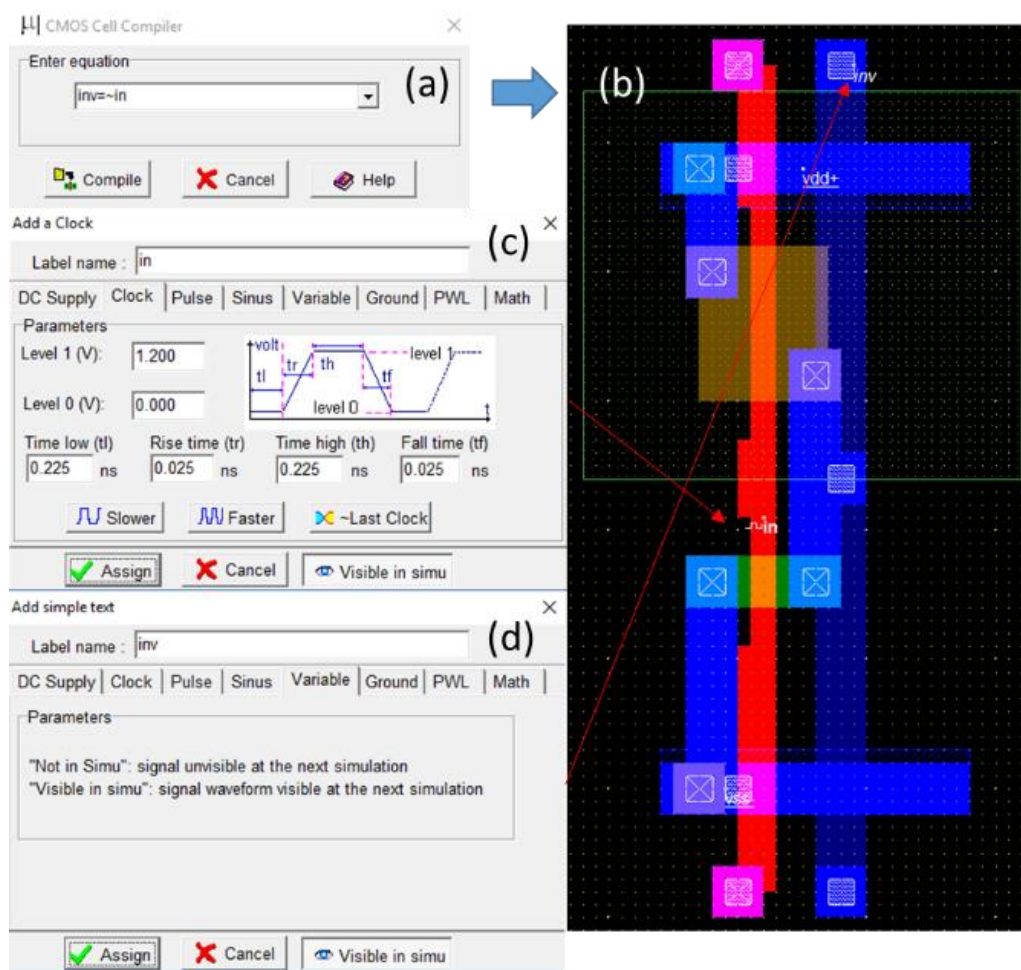


Εικ. 1.21 (a) Σχέδιο της πύλης μετάδοσης. (b) Παράδειγμα τεστ προσομοίωσης για τη λειτουργία της πύλης μετάδοσης.

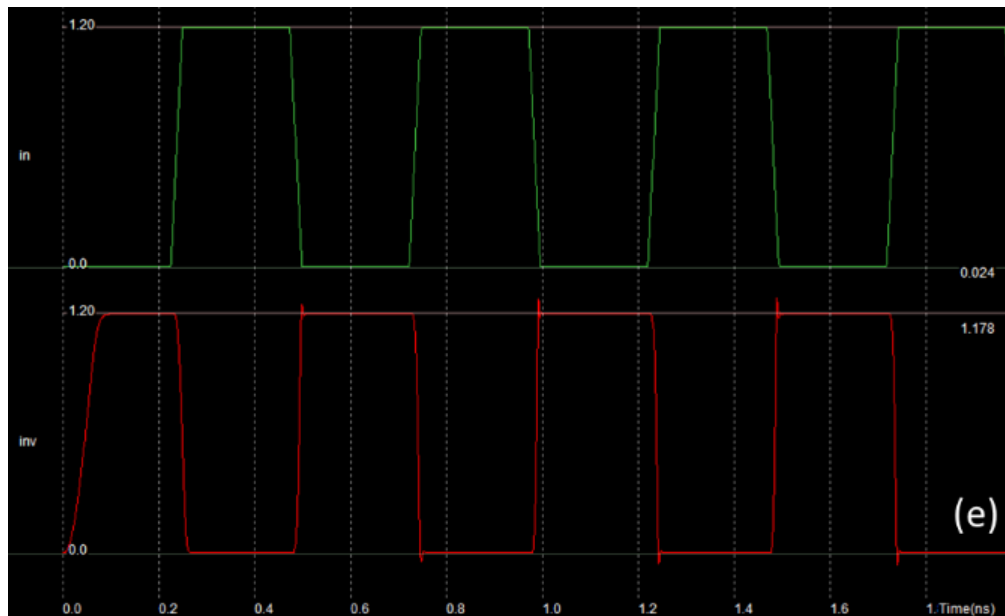
1.8 ΣΧΕΔΙΑΣΗ ΚΑΙ ΠΡΟΣΟΜΟΙΩΣΗ ΑΝΤΙΣΤΡΟΦΕΑ ΜΕ ΧΡΗΣΗ VERILOG

Ένα ακόμη πλεονέκτημα του Microwind είναι ότι έχει ενσωματωμένο μεταγλωττιστή (**compiler**) για κώδικα **Verilog** περιγραφής σχεδίου. Για παράδειγμα, χρησιμοποιώντας **menu Compile → Compile-one-Line** και με την εισαγωγή της εξίσωσης **inv= ~in** πατώντας το κουμπί **Compile** θα δημιουργηθεί αυτόματα το σχέδιο του αντιστροφέα σύμφωνα με τους κανόνες από το **selected technology rule file (File→Select Foundry)** τη στιγμή της μεταγλώττισης. Οι ιδιότητες της προσομοίωσης θα πρέπει να εισαχθούν με διπλό κλικ στο **input (in)** και να τοποθετηθεί ένα ρολόι ορατό στην προσομοίωση (**visible in simulation**), στη συνέχεια ξανά διπλό κλικ στο **output (inv)** όπου και αυτό να γίνει ορατό για την προσομοίωση.

Στην **Εικ. 1.22 (a, b, c, d)** βλέπουμε τη σχεδιαστική διαδικασία και την περιγραφή των ιδιοτήτων από την προσομοίωση και στην **Εικ. 1.23** το διάγραμμα χρόνου-δυναμικών-εισόδου-εξόδου της προσομοίωσης που επαληθεύει την εγκυρότητα της λειτουργίας του κυκλώματος αντιστροφέα.



Εικ. 1.22 (a, b). Δημιουργία ενός CMOS αντιστροφέα από την περιγραφή κώδικα Verilog. (c, d). Τοποθέτηση ιδιοτήτων στον προσομοιωτή.



Εικ. 1.23 Προσομοίωση χρονοδιαγράμματος του σχεδίου ενός CMOS αντιστροφέα ξεκινώντας από την περιγραφή κώδικα Verilog.

1.9 ΒΙΒΛΙΟΓΡΑΦΙΑ

1. <http://srv-wwwperso.insa-toulouse.fr/~sicard/microwind/microwind.html>
2. Sicard, E., & Bendhia, S.D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.

ΚΕΦΑΛΑΙΟ 2. ΠΡΟΣΟΜΟΙΩΣΕΙΣ ΔΙΑΤΑΞΕΩΝ MOS ΜΕ ΤΟ ΛΟΓΙΣΜΙΚΟ TINA

ΣΥΝΟΨΗ

Η σχεδίαση cmos κυκλωμάτων χρησιμοποιεί και τους δύο τύπους της βασικής διάταξης mosfet. Στο παρόν κεφάλαιο θα παρουσιαστούν τα παραδείγματα σχεδίασης των βασικότερων κυκλωμάτων ψηφιακής λογικής αυτής της κατηγορίας.

ΣΤΟΧΟΣ

Κατανόηση του τρόπου λειτουργίας των επόμενων:

- * του mosfet ως διακόπτη,
- * cmos αντιστροφέα,
- * cmos πύλη μεταφοράς,
- * φόρτιση και εκφόρτιση πυκνωτή μέσω cmos αντιστροφέα,
- * πύλη exclusive or.

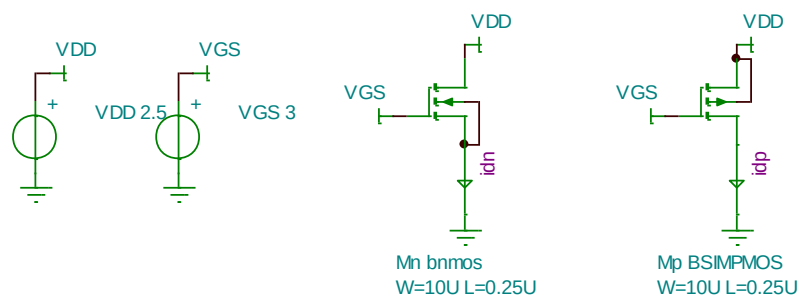
ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Βασικές γνώσεις χειρισμού λογισμικού TINA pro ή σχετικού.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών (πυλών λογικής σχεδίασης).

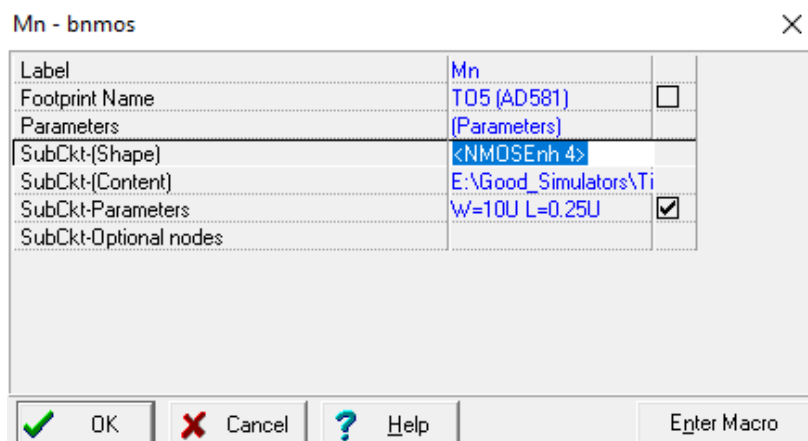
2.1 ΕΙΣΑΓΩΓΗ

Ο στόχος του συγκεκριμένου κεφαλαίου είναι να κάνει μια εισαγωγή στην έννοια του σχεδιασμού κυκλωμάτων με CMOS [1,2] χρησιμοποιώντας το λογισμικό TINA-pro [3]. Είναι βασισμένο στη σχεδίαση βασικών τοπολογιών με ψηφιακές-πύλες, ειδικότερα. Αυτό το κεφάλαιο βασίζεται σε δημοσιεύσεις σχετικά με εκπαιδευτικές παρουσιάσεις πάνω σε σχεδιαστικές έννοιες και τεχνολογίες των VLSI [4-8]. Τα θέματα που θα μελετηθούν αναφέρονται πιο συγκεκριμένα στην κατασκευή των nmos και pmos διατάξεων χρησιμοποιώντας παραμέτρους BSIM3 [9] για αντίστοιχες προσομοιώσεις κυκλωμάτων των βασικών ψηφιακών πυλών. Διατάξεις όπως nmos και pmos σε ένα σχέδιο κυκλώματος είναι απλά σύμβολα που μεταφέρουν πληροφορίες σχετικά με τις ηλεκτρικές ιδιότητες των πραγματικών διατάξεων προερχόμενες από τις εξισώσεις περιγραφής φυσικής συμπεριφοράς. Τα σύμβολα των nmos και pmos είναι μια οπτική αναπαράσταση της περιγραφής SPICE της κάθε διάταξης.

Το λογισμικό TINA έχει ένα dialog window για την παραμετροποίηση των mos-διατάξεων (μοντέλα: Symbolic, Schichman – Hodges, SPICE Level 1, 2, 3, S Level-3 (3F5), και BSIM3). Επίσης (αυτή είναι και η επιλογή σε αυτό το κεφάλαιο) επιτρέπει τη χρήση μοντέλων SPICE με παραμέτρους τεχνολογίας, όπως φαίνεται και στην **Εικ. 2.1.** και **Εικ. 2.2.** Στο συγκεκριμένο κεφάλαιο χρησιμοποιούνται παράμετροι τεχνολογίας CMOS 0.25μm.



(a)



(b)

Εικ. 2.1 (a). Ρυθμίζοντας το nMOS και pMOS για DC-ανάλυση. (b). Παράθυρο με τα περιεχόμενα και τις παραμέτρους που επιτρέπει αλλαγές στα γεωμετρικά χαρακτηριστικά και στις παραμέτρους των τεχνολογικών μοντέλων.

Η **Εικ. 2.1(a)** παρουσιάζει τις σχεδιαστικές ρυθμίσεις για την ανάλυση DC των τρανζίστορ nmos και pmos. Η χρήση των jumpers (σε “ΤΑΦ” σχήμα) χρησιμοποιείται σε αυτό αλλά και σε όλα τα επόμενα σχέδια, ώστε να είναι ξεκάθαρη η αναπαράσταση των σχεδίων, χρησιμοποιώντας ελάχιστο αριθμό καλωδίων για την ένωση κόμβων. Δύο jumpers με το ίδιο όνομα αντιστοιχούν σε ένα καλώδιο που συνδέει αυτούς τους δύο κόμβους. Η **Εικ. 2.1(b)** μας δείχνει το dialog window που ανοίγει με διπλό κλικ στο σύμβολο του nmos. Πατώντας “Enter Macro”, ανοίγει ένα netlist όπως φαίνεται στην **Εικ. 2.2(a)**. Αυτό είναι το μοντέλο περιγραφής SPICE για το nmos χρησιμοποιώντας μοντέλα εξισώσεων BSIM3 και 0.25μm παράμετρους CMOS τεχνολογίας. Η **Εικ. 2.2(b)** μας δείχνει το αντίστοιχο αρχείο SPICE για το pmos. Όπως φαίνεται στην περιγραφή του SPICE, το μοντέλο BSIM3 μπορεί να καλεστεί στο TINA χρησιμοποιώντας τις οδηγίες του LEVEL=7. Οι εντολές PARAMS: W=10u L=0.25 γίνονται προσβάσιμες μέσω των παραμέτρων SubCkt της **Εικ. 2.1(b)**, όπου ο χρήστης μπορεί να αλλάξει τις τιμές του μήκους και πλάτους της διάταξης, χωρίς να χρειάζεται να ανοίξει, αλλάξει και να αποθηκεύσει το netlist.

```
*Berkely-Spice
.SUBCKT nmos4 D G S B PARAMS: W=10u L=0.25u
M1 D G S B nmos4 L={L} W={W}
.MODEL nmos4 NMOS ( LEVEL=7
+TNOM = 27 TOX = 5.7E-9
+XJ = 1E-7 NCH = 2.3549E17 VTH0 = 0.4365497
+K1 = 0.3915623 K2 = 0.0175145 K3 = 1E-3
+K3B = 2.6588343 W0 = 1E-7 NLX = 1.111465E-7
+DVTOW = 0 DVT1W = 0 DVT2W = 0
+DVT0 = -0.0408321 DVT1 = 0.0746768 DVT2 = 0.307109
+U0 = 407.1177485 UA = 9.442714E-11 UB = 1.092986E-18
+UC = 1.63196E-11 VSAT = 1.365087E5 A0 = 1.3189329
+AGS = 0.2711719 B0 = 3.291713E-8 B1 = -1E-7
+KETA = 4.645753E-3 A1 = 0 A2 = 1
+RDSW = 439.9558234 PRWG = 0.0345487 PRWB = -0.0441065
+WR = 1 WINT = 1.645705E-9 LINT = 1.116516E-9
+XL = 3E-8 XW = 0 DWG = -1.494138E-9
+DWB = 1.459097E-8 VOFF = -0.1026054 NFACTOR = 0.1344887
+CIT = 0 CDSC = 1.527511E-3 CDSCD = 0
+CDSCB = 0 ETA0 = 1.930311E-3 ETAB = 2.946158E-4
+DSUB = 0.0214865 PCLM = 1.3387947 PDIBLC1 = 0.480652
+PDIBLC2 = 9.034986E-3 PDIBLCB = -1E-3 DROUT = 0.5593223
+PSCBE1 = 9.843289E9 PSCBE2 = 2.10878E-9 PVAG = 1.0033136
+DELTA = 0.01 MOBMOD = 1 PRT = 0
+UTE = -1.5 KT1 = -0.11 KT1L = 0
+KT2 = 0.022 UA1 = 4.31E-9 UB1 = -7.61E-18
+UC1 = -5.6E-11 AT = 3.3E4 WL = 0
+WLN = 1 WW = -1.22182E-16 WWN = 1.2127
+WWL = 0 LL = 0 LLN = 1
+LW = 0 LWN = 1 LWL = 0
+CAPMOD = 2 XPART = 0.4 CGDO = 3.11E-10
+CGSO = 3.11E-10 CGBO = 1E-11 CJ = 1.758521E-3
+PB = 0.99 MJ = 0.457547 CJSW = 4.085057E-10
+PBSW = 0.8507757 MJSW = 0.3374073 PVTH0 = 7.147521E-5
+PRDSW = -67.2161633 PK2 = -1.344599E-3 WKETA = 3.035972E-3
+LKETA = -9.0406E-3 LAGS = -0.3012 )
.ENDS nmos4
```

(a)

```

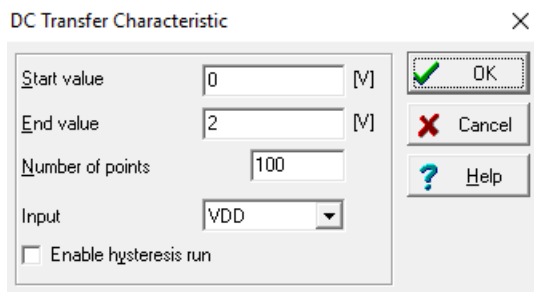
.SUBCKT BSIMPMOS 1 2 3 4 PARAMS: W=10u L=0.25u
M1 1 2 3 4 PMOS W={W} L={L}
.model PMOS PMOS (Level= 7
+TNOM      = 27          TOX      = 5.7E-9          VTH0      = -0.6586391
+XJ        = 1E-7        NCH      = 4.1589E17        K3        = 0
+K1        = 0.5199897   K2       = 0.0357513        NLX       = 1E-9
+K3B       = 15.5613889   WO       = 1E-6          DVT1W     = 0
+DVTOW     = 0          DVT1     = 0.4363142        DVT2     = -0.042436
+DVT0      = 2.6100181   UA       = 2.767112E-9      UB       = 1.90709E-18
+UO        = 196.024903   VSAT    = 1.975064E5      AO       = 0.2398712
+UC        = 6.166867E-11 B0     = 3.21184E-6      B1       = 5E-6
+AGS       = 0.0943234   A1     = 0          A2       = 1
+KETA      = 0.0312217   PRWG    = -0.1916111    PRWB     = -0.495
+RDSW      = 997.072701  WINT    = 2.527293E-9    LINT     = 1.254514E-8
+WR        = 1          XW      = 0          DWG      = -3.253948E-8
+XL        = 3E-8        VOFF    = -0.15        NFACTOR  = 1.5460516
+DWB       = 4.92072E-8  CDSC    = 1.413317E-4    CDSCD    = 0
+CIT       = 0          ETA0    = 0.7241245    ETAB     = -0.240523
+CDSCB     = 0          PCLM    = 2.0772083    PDIBLC1  = 4.31459E-4
+DSUB      = 1.0813613   PDIBLCB = -9.960722E-4   DROUT    = 0.0432774
+PDIBLC2   = 0.0252121   PSCBE2  = 1.323218E-8    PVAG     = 0.0420525
+PSCBE1    = 3.191047E10 MOBMOD  = 1          PRT      = 0
+DELTA     = 0.01        KT1     = -0.11        KT1L     = 0
+UTE       = -1.5        UA1     = 4.31E-9      UB1      = -7.61E-18
+KT2       = 0.022       AT      = 3.3E4        WL       = 0
+UC1       = -5.6E-11    WW      = 0          WVN      = 1
+WLN       = 1          LL       = 0          LLN      = 1
+WWL       = 0          LWN     = 1          LWL      = 0
+LW        = 0          XPART   = 0.4        CGDO     = 2.68E-10
+CAPMOD    = 2          CGBO    = 1E-11        CJ       = 1.902493E-3
+PB        = 0.9810285   MJ      = 0.4644362    CJSW     = 3.142741E-10
+PBSW      = 0.9048624   MJSW    = 0.3304452    PVTB     = 4.952976E-3
+PRDSW     = 29.8169373  PK2     = 3.383373E-3    WKETA    = -7.913501E-3
+LKETA     = -0.0208318 )
.ENDS

```

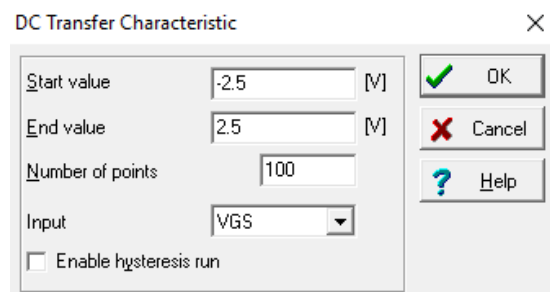
(b)

Εικ. 2.2 BSIM3 0.25μm παράμετροι των (a) nMOS και (b) pMOS.

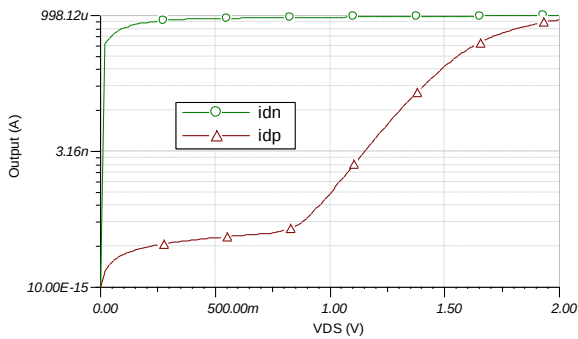
Για να προσομοιώσουμε τη χαρακτηριστική ρεύματος-τάσης (IV) των δύο διατάξεων, πρέπει να πραγματοποιηθεί μια ανάλυση DC. Η **Εικ.3(a)** μας δείχνει τις ρυθμίσεις για να έχουμε χαρακτηριστική ρεύματος I_{DS} συναρτήσει V_{DS} και **Εικ. 3(b)**, τις ρυθμίσεις για χαρακτηριστική ρεύματος I_{DS} συναρτήσει V_{GS} . Η **Εικ. 3(c)** μας δείχνει τη χαρακτηριστική ρεύματος I_{DS} συναρτήσει V_{DS} για τα τρανζίστορ nmos (idn) και pmos (idp) σε κλίμακα log-lin. Στην **Εικ. 3(d)** βλέπουμε τη χαρακτηριστική ρεύματος I_{DS} συναρτήσει V_{GS} για το nmos (idn) και pmos (idp). Η χρήση των συμβόλων ρεύματος idn και idp στο κύκλωμα σχεδίασης (φαίνεται στην **Εικ. 1(a)**) δίνει εντολή στον προεπεξεργαστή του TINA να υπολογίσει το ρεύμα πηγής-απαγωγού για κάθε τιμή τάσης κατά την ανάλυση DC, δίνοντας τα δεδομένα που φαίνονται στην **Εικ. 3**.



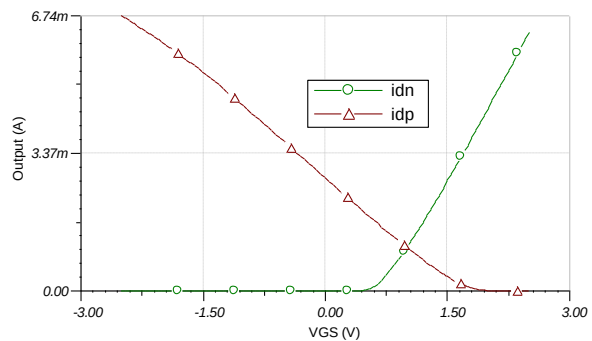
(a)



(b)



(c)

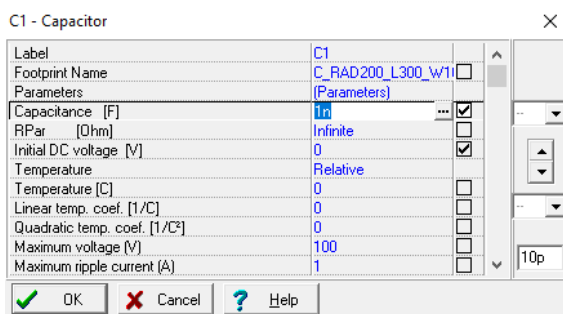


(d)

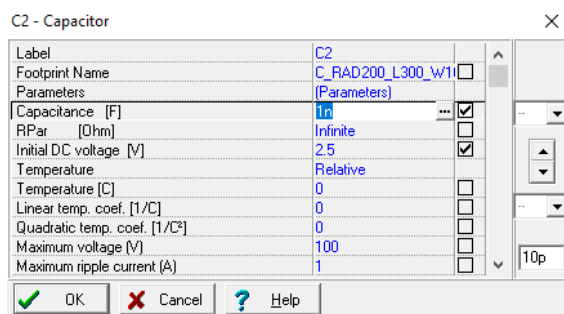
Εικ. 2.3 (a). Ρυθμίσεις I_{DS} συναρτήσει V_{DS} DC ανάλυσης. (b). Ρυθμίσεις I_{DS} συναρτήσει V_{GS} DC ανάλυσης. (c). I_{DS} συναρτήσει V_{DS} . (d). I_{DS} συναρτήσει V_{GS} .

2.2 ΤΟ MOS ΩΣ ΔΙΑΚΟΠΤΗΣ – TRANSIENT ANALYSIS

Έχοντας ρυθμίσει και διενεργήσει την ανάλυση DC μίας μόνο διάταξης nmos και pmos, το επόμενο βήμα είναι να ελέγξουμε τις ιδιότητες διακοπτικής λειτουργίας (switching properties). Στην **Εικ 5(a)** παρουσιάζονται οι ρυθμίσεις σε κύκλωμα για τη μελέτη της ικανότητας των διατάξεων για αξιόπιστη οδήγηση της φόρτισης και αποφόρτισης πυκνωτή. Ο πυκνωτής που χρησιμοποιείται για κάθε περίπτωση είναι αρχικά είτε πλήρως αποφορτισμένος ή πλήρως φορτισμένος. Στην **Εικ. 4(a)** φαίνονται οι ρυθμίσεις στο dialog-window του πυκνωτή, με (αρχική DC τάση) Initial-DC-Voltage= 0V και στην **Εικ. 4(b)** φαίνονται τα ίδια στο dialog-window για Initial-DC-Voltage = 2.5V. Οι ρυθμίσεις (αρχικής τάσης πυκνωτή) initial-capacitor-voltage χρησιμοποιούνται στις ρυθμίσεις του προσομοιωτή στην **Εικ. 5(a)**.



(a)



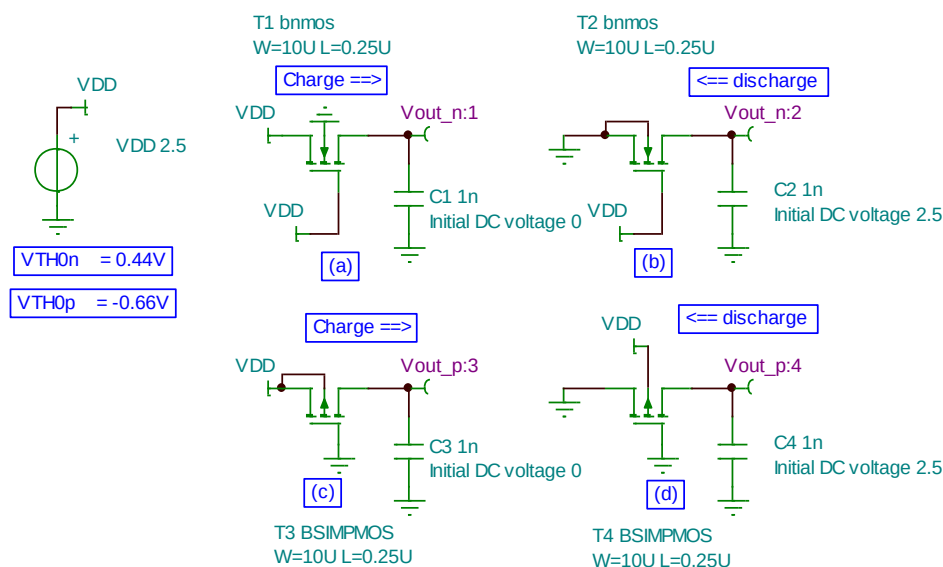
(b)

Εικ. 2.4 (a) Πυκνωτής με αρχική DC τάση 0V. (b) Πυκνωτής με αρχική DC τάση 2.5V.

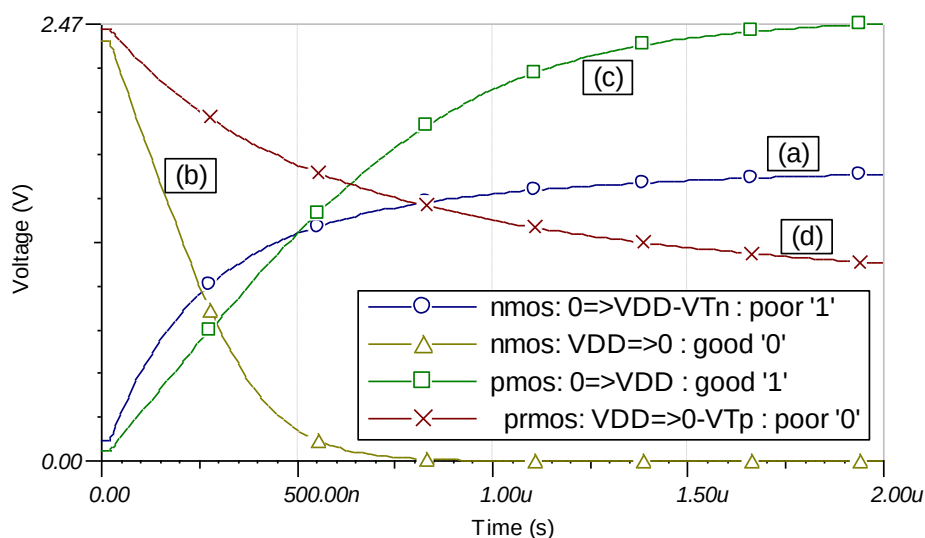
Οι δοκιμές στην **Εικ. 2.5(a)** είναι οι ακόλουθες: Η **Εικ. 2.5(a)-κύκλωμα-(a)** παρουσιάζει συνδεσμολογία του nmos για την οδήγηση της φόρτισης πυκνωτή που αρχικά έχει 0 φορτίο. Αυτό το nmos έχει ως είσοδο το V_{DD} και V_{DD} ως πηγή. Η **Εικ. 2.5(a)-κύκλωμα-(b)** παρουσιάζει ένα nmos σε συνδεσμολογία αποφόρτισης ενός αρχικά πλήρους φορτισμένου πυκνωτή, στη γείωση. Αυτό το nmos έχει V_{DD} στη πύλη και γείωση στην πηγή. Αντίστοιχες συνδεσμολογίες φαίνονται για το pmos στις **Εικ. 2.5(a)-κύκλωμα-(c)** και **Εικ. 2.5(a)-κύκλωμα-(d)**.

Η **Εικ. 2.5(b)** δείχνει τα αποτελέσματα της transient analysis (χρονική/μεταβατική ανάλυση). Συγκεκριμένα, η τάση πυκνωτή $V_{out_n:1}$, $V_{out_n:2}$, $V_{out_p:3}$, $V_{out_p:4}$, λαμβάνοντας υπόψιν ότι το nmos και το pmos άγει όταν η τάση στην πύλη είναι μεγαλύτερη από την τάση κατωφλίου V_{th} και αντίστοιχα

μικρότερη από την τάση V_{tp} . Ότι φαίνεται στο γράφημα επιβεβαιώνεται από γνωστά αποτελέσματα στη βιβλιογραφία των CMOS. [1,2]: (a) Το nmos δίνει κακό (poor) "1", π.χ. δεν μπορεί να φορτίσει τον πυκνωτή μέχρι την τάση V_{DD} , αλλά μόνο μέχρι την $V_{DD}-V_{tn}$. (b) Το nmos δίνει καλό (good) "0", π.χ. μπορεί να αποφορτίσει τον πυκνωτή μέχρι την τάση των 0 volts. (c) Το pmos δίνει καλό "1", π.χ. μπορεί να φορτίσει τον πυκνωτή μέχρι την τάση V_{DD} . (d) Το pmos δίνει κακό "0", π.χ. δεν μπορεί να αποφορτίσει τον φορτισμένο πυκνωτή μέχρι την τάση των 0 volts, αλλά μόνο μέχρι την $|V_{tp}|$.



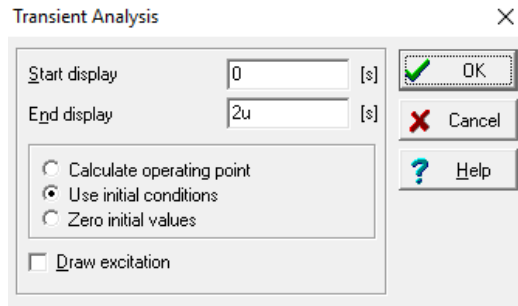
(a)



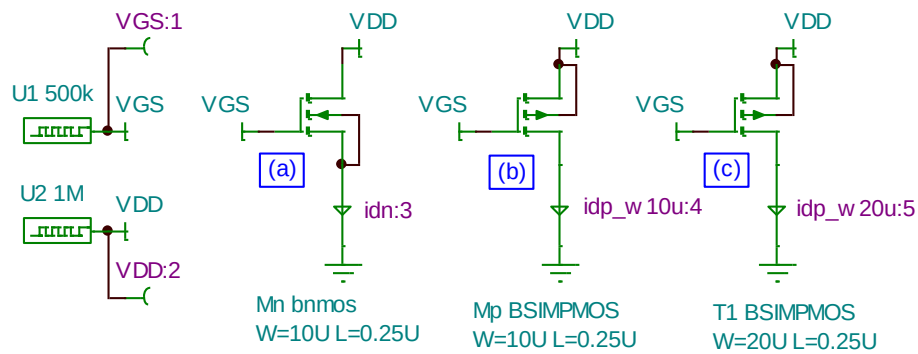
(b)

Εικ. 2.5 (a). Κύκλωμα για τον έλεγχο αλλαγών των nMOS και pMOS. (b). Αποτελέσματα από ανάλυση στον χρόνο.

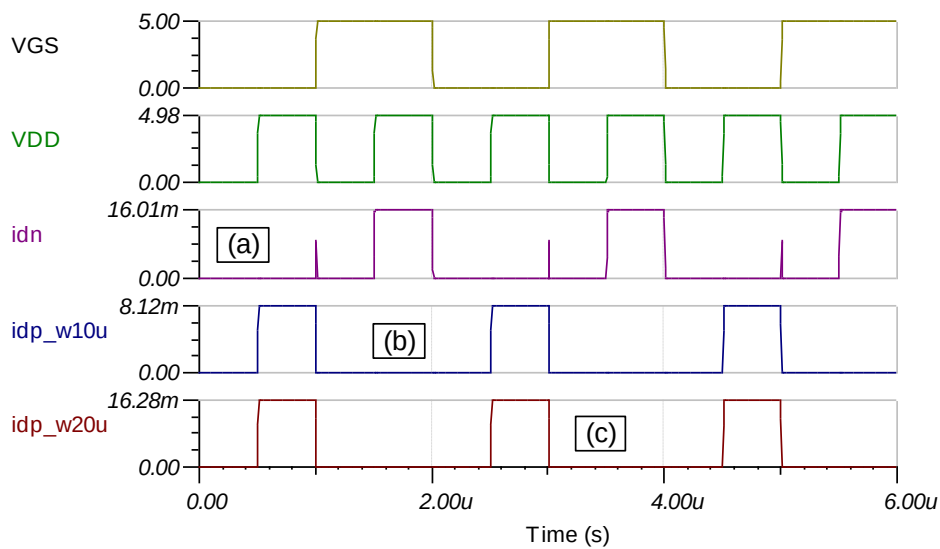
Η **Εικ. 2.6** δείχνει το παράθυρο του transient analysis με τις ρυθμίσεις για την παραγωγή του διαγράμματος της **Εικ. 2.5(b)**. Σημειώνουμε ότι η ρύθμιση για τη «χρήση αρχικών συνθηκών» (Use initial conditions) είναι επιλεγμένη ώστε να λαμβάνει υπόψιν το initial DC voltage των πυκνωτών.



Εικ. 2.6 Ρυθμίσεις για transient analysis.



(a)



(b)

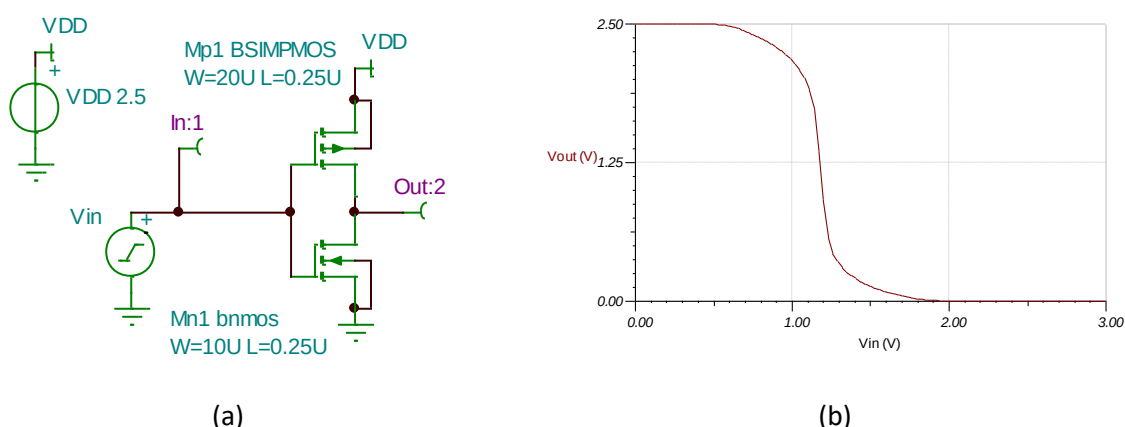
Εικ. 2.7 (a) Ανάλυση χρονισμών του κυκλώματος χρησιμοποιώντας πηγές ψηφιακού σήματος για nmos και pmos με το ίδιο πλάτος και rmos με διπλάσιο πλάτος για σύγκριση. (b) Αποτελέσματα ανάλυσης μεταβολών.

Μια άλλη ανάλυση μεταβολών με ψηφιακές πηγές εισόδου φαίνεται στη συνέχεια. Η **Εικ. 2.7(a)** μας δείχνει τις ρυθμίσεις του κυκλώματος. Η V_{GS} έχει 500kHz ρολόι και η V_{DD} 1MHz ρολόι. Στην **Εικ. 2.7(b)** φαίνεται η χαρακτηριστική ρεύματος ως προς τον χρόνο. Παρατηρούμε τη συμπληρωματικότητα στη λειτουργία των nmos και pmos. Επίσης, φαίνεται ότι το ρεύμα του nmos (idn) είναι σχεδόν διπλάσιο σε σύγκριση με το rmos με τον ίδιο λόγο W/L (idp_w10u). Αυτό οφείλεται στο ότι το nmos έχει περίπου διπλάσια κινητικότητα (mobility) φορέων. Για αντιστάθμιση, το W του rmos ορίζεται διπλάσιο από ότι στο nmos και το αποτέλεσμα

του ρεύματος (i_{dr_w20u}) είναι περίπου ίσο με το i_{dn} . Αυτή η ανάλυση παρουσιάζει επίσης την πρακτική δυνατότητα που προσφέρει το TINA στον σχεδιαστή στο να πραγματοποιεί διάφορες προσομοιώσεις σε μοντέλα διατάξεων με αναλογικές και ψηφιακές πηγές πάνω στο ίδιο σχηματικό του κυκλώματος.

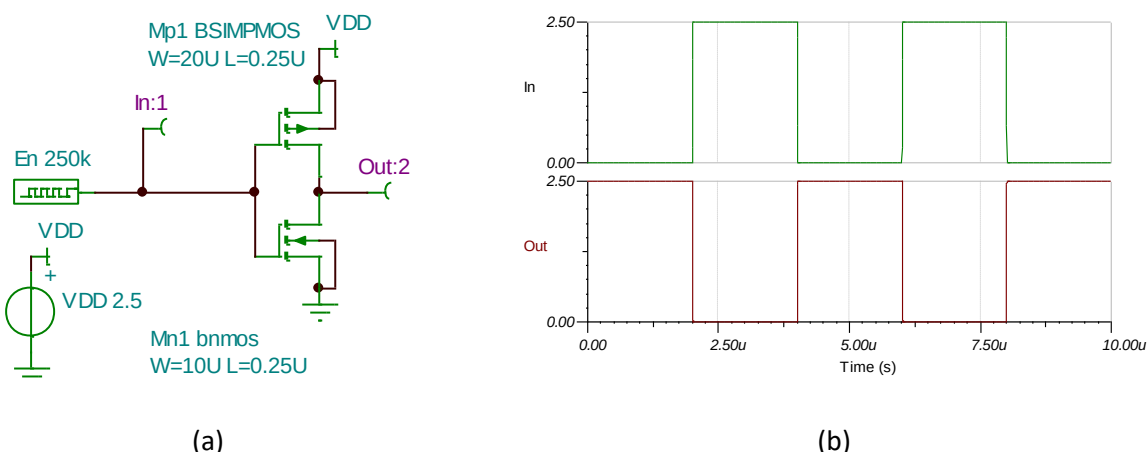
2.3 ΠΥΛΕΣ ΜΕ 2 ΤΡΑΝΖΙΣΤΟΡ - ΑΝΤΙΣΤΡΟΦΕΑΣ ΚΑΙ ΠΥΛΗ ΜΕΤΑΦΟΡΑΣ

Η απλούστερη CMOS πύλη με δύο διατάξεις είναι αυτή του αντιστροφέα (inverter) και της πύλης μετάδοσης (transmission gate). Και οι δύο αποτελούνται από ένα $nmos$ και $pmos$. Η δομή τους βασίζεται στη χρήση της πιο αξιόπιστης από τις δύο διατάξεις ανάλογα με τις συνθήκες εισόδων, ως προς την παραγωγή καλού 0 ή καλού 1. Για παράδειγμα, στην **Εικ.8(a)** φαίνεται ένα κύκλωμα CMOS αντιστροφέα και στην **Εικ.8(b)** η χαρακτηριστική απόκριση της τάσης εξόδου, παρουσιάζοντας το σημείο μετάβασης του αντιστροφέα περίπου στα 1.2V της τάσης εισόδου για αυτήν την περίπτωση.



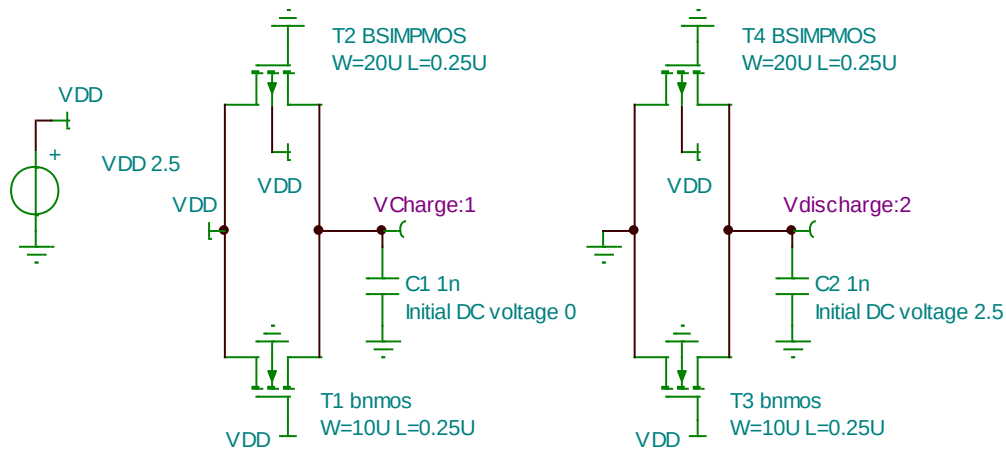
Εικ. 2.8 (a). CMOS κύκλωμα αντιστροφέα. (b) Χαρακτηριστική της τάσης μεταφοράς.

Η **Εικ. 2.9(a)** δείχνει τις ρυθμίσεις του κυκλώματος αντιστροφέα για τη χρονική ανάλυση και η **Εικ. 2.9(b)** επιβεβαιώνει την αναστροφή της εξόδου ως προς την είσοδο. Η τοπολογία του αντιστροφέα είναι κατάλληλη, ώστε όταν η είσοδος είναι "1", μόνο η διάταξη $nmos$ είναι "on", συνδέοντας την έξοδο στη γείωση, ενώ όταν η είσοδος είναι "0", μόνο η διάταξη $pmos$ είναι "on", συνδέοντας την έξοδο στην τροφοδοσία. Σε κάθε περίπτωση, επιτυγχάνεται δυνατό "0" και δυνατό "1".

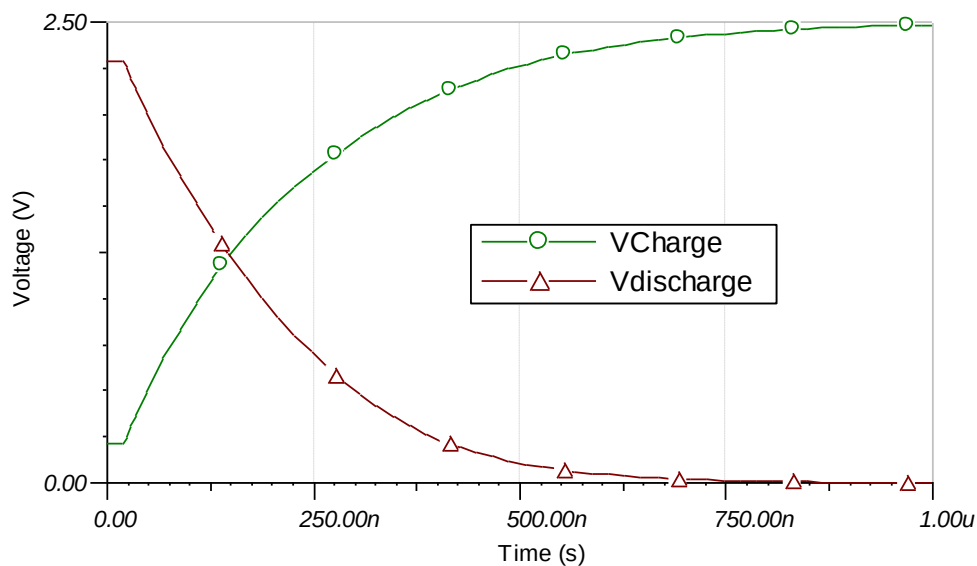


Εικ. 2.9 (a) CMOS κύκλωμα αντιστροφέα για ψηφιακή ανάλυση χρονισμού. (b). In/Out ανάλυση χρονισμού.

Η δεύτερη απλή πύλη με δύο τρανζίστορ είναι η πύλη μετάδοσης που φαίνεται στην **Εικ. 2.10(a)**. Στο πρώτο κύκλωμα στόχος είναι η παρατήρηση της φόρτισης πυκνωτή, ενώ στο δεύτερο κύκλωμα στόχος είναι η παρατήρηση της απόκρισης όταν ο πυκνωτής αποφορτίζεται. Η **Εικ. 2.10(b)**, δείχνει ότι και στις δύο περιπτώσεις η πύλη μεταφοράς μεταφέρει «καλό» αποτέλεσμα "1" ή "0".



(a)



(b)

Εικ. 2.10 (a). Πύλη μετάδοσης, διάταξη για φόρτιση και αποφόρτιση. (b). Αποτελέσματα ανάλυσης χρονισμού.

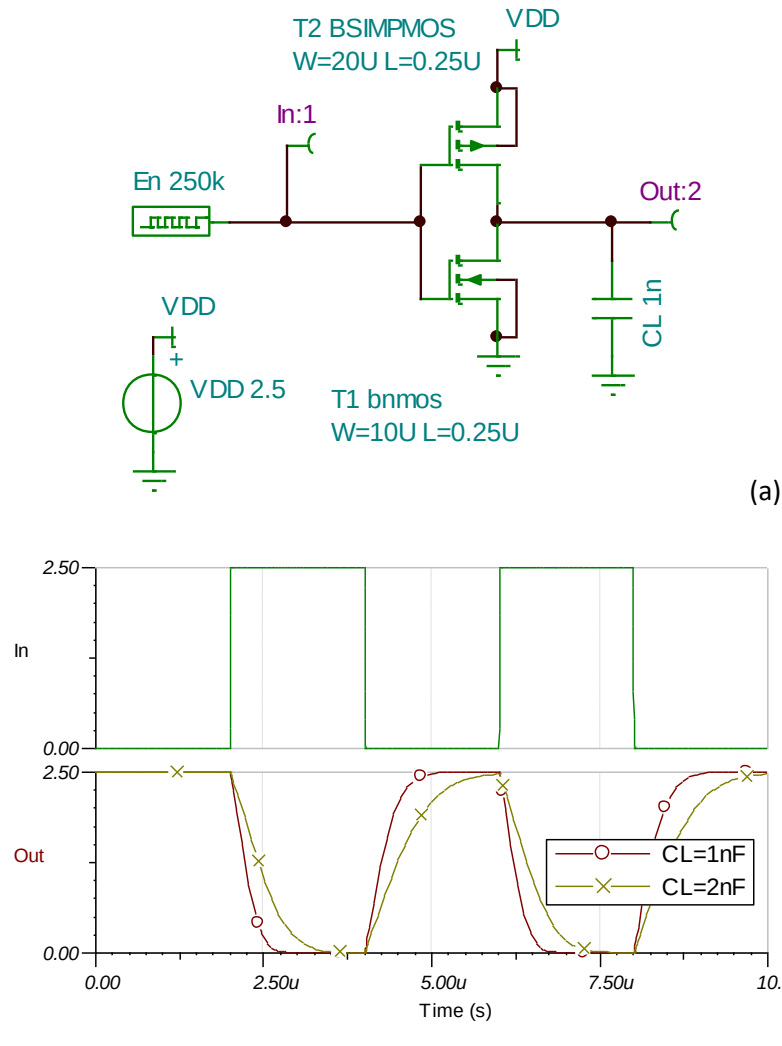
Στην **Εικ. 2.11(a)** φαίνεται η CMOS διάταξη κυκλώματος για την προσομοίωση της ψηφιακής λειτουργίας της πύλης μετάδοσης. Η **Εικ. 2.11(b)** επαληθεύει ότι η μεταφορά της εισόδου D στην έξοδο Out είναι επιτυχής με τον συγχρονισμό των σημάτων $E_n=1$ και $E_p=0$, ώστε και οι δύο διατάξεις (nmos και pmos) της πύλης μετάδοσης να είναι on.



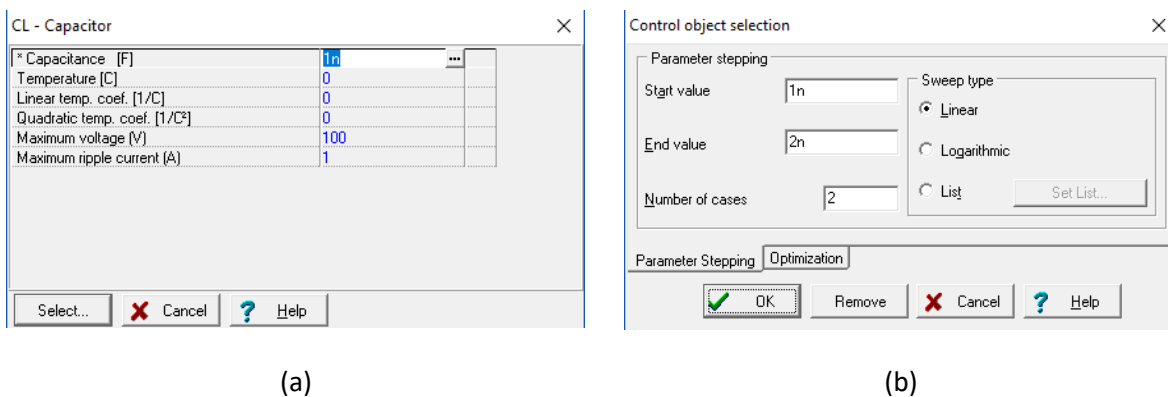
2.4 ΟΔΗΓΗΣΗ ΜΕΣΩ ΑΝΤΙΣΤΡΟΦΕΑ ΤΗΣ ΦΟΡΤΙΣΗΣ-ΑΠΟΦΟΡΤΙΣΗΣ ΠΥΚΝΩΤΗ

Γεώργιος Πάτσης

χρονισμού. Φαίνεται πώς όταν αυξάνει η χωρητικότητα οδεύει σε μεγαλύτερο χρόνο φόρτισης και έτσι αυξάνει ο απαιτούμενος χρόνος μετάδοσης του σήματος.



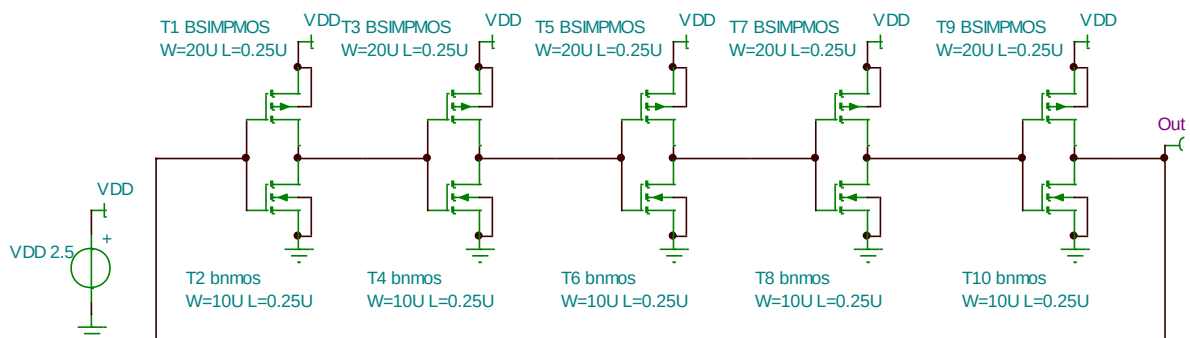
Εικ. 2.12 (α). CMOS αντιστροφέας που φορτίζει έναν πυκνωτή στην έξοδο. (β). Αποτελέσματα ανάλυσης χρονισμού.



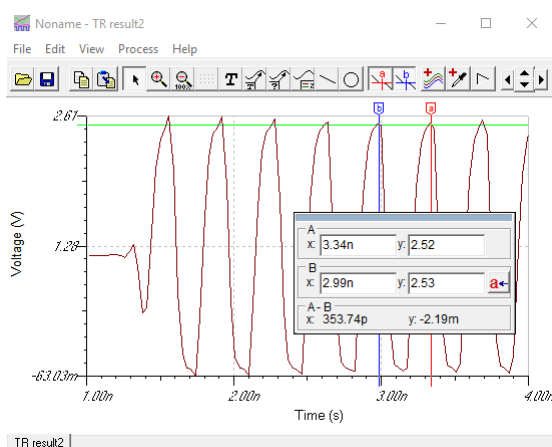
Εικ. 2.13 (α). Επιλογή control object. (β). Ρύθμιση control object selection.

2.5 ΤΑΛΑΝΤΩΤΗΣ ΔΑΚΤΥΛΙΟΥ ΜΕ ΑΝΤΙΣΤΡΟΦΕΙΣ

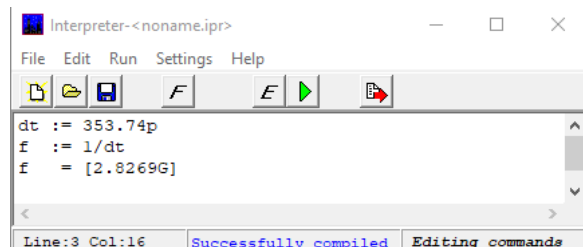
Στην **Εικ. 2.14** φαίνεται το σχέδιο κυκλώματος από 5 διαδοχικούς CMOS αντιστροφείς. Ένα τέτοιο κύκλωμα είναι γνωστό στη βιβλιογραφία ως *ταλαντωτής δακτυλίου*, επειδή παράγει ταλαντώσεις στην τάση εξόδου στο κόμβο Out, λόγω της σύνδεσης ανάδρασης. Στην **Εικ. 2.15** φαίνεται η ανάλυση στον χρόνο για τα πρώτα 4ns όπου καταγράφονται οι ταλαντώσεις. Χρησιμοποιώντας τον 'α' και 'b' κέρσορα πάνω στο παράθυρο του γραφήματος, το TINA μετρά την περίοδο των ταλαντώσεων (353.7ps). Έτσι, το αντίστροφο είναι η αντίστοιχη συχνότητα ταλάντωσης. Αυτοί οι απλοί αριθμητικοί υπολογισμοί μπορούν να γίνουν στον διερμηνέα (interpreter) του TINA, όπως φαίνεται και στην **Εικ. 2.16**, δίνοντας αποτέλεσμα σε συχνότητα περίπου 2.8GHz. Ο διερμηνέας μπορεί να χρησιμοποιηθεί επίσης για πιο προχωρημένους υπολογισμούς, καθώς υποστηρίζει μερικές μαθηματικές συναρτήσεις και δομές προγραμμάτων.



Εικ. 2.14 Ταλαντωτής δακτυλίου με πέντε αντιστροφείς.



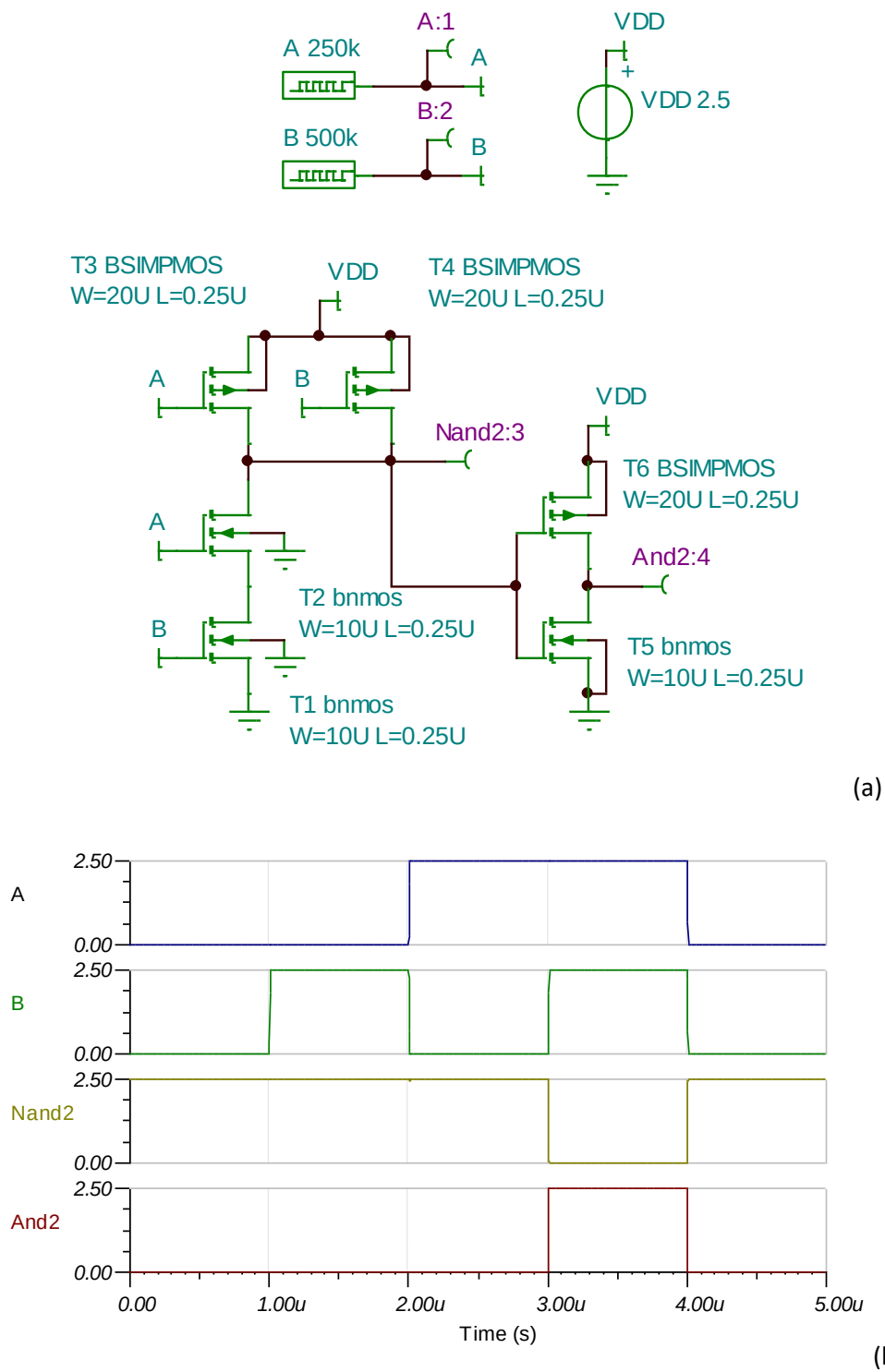
Εικ. 2.15 Έξοδος του ταλαντωτή δακτυλίου και μετρήσεις με σκοπό τον καθορισμό της συχνότητας ταλαντώσεων.



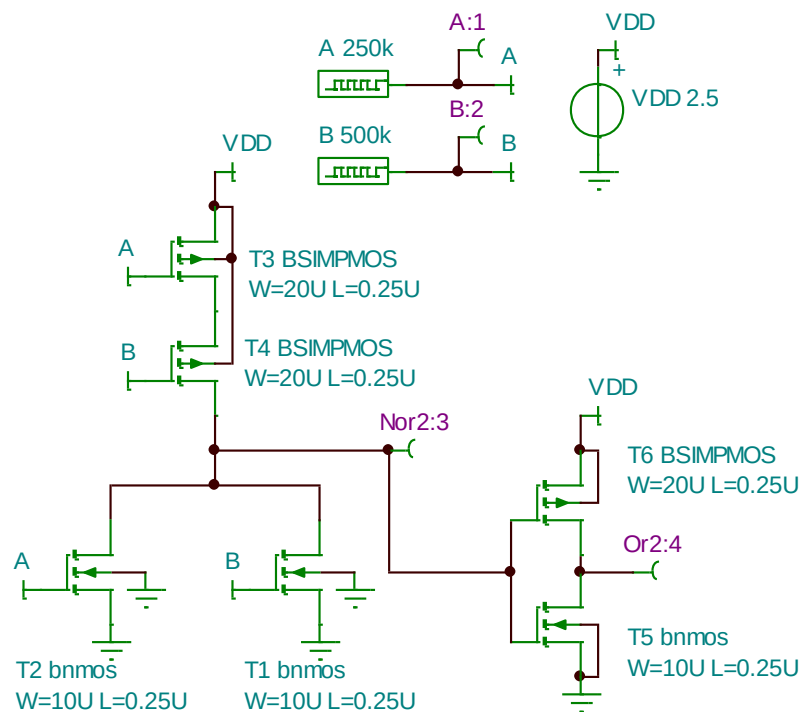
Εικ. 2.16 Το παράθυρο του διερμηνέα του TINA που χρησιμοποιείται για βασικούς υπολογισμούς.

2.6 ΚΑΘΟΛΙΚΕΣ ΠΥΛΕΣ CMOS 2-ΕΙΣΟΔΩΝ

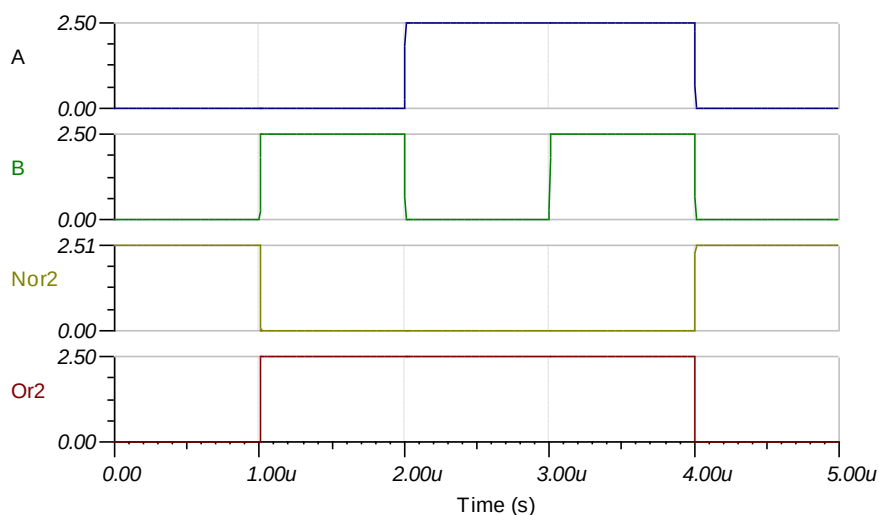
Στην **Εικ. 2.17(a)** φαίνονται οι πύλες δύο εισόδων CMOS NAND και AND και στην **Εικ. 2.17(b)** η ανάλυση χρονισμού που επαληθεύει τη συμπεριφορά των πυλών. Στην **Εικ. 2.18(a)** φαίνονται οι πύλες δύο εισόδων CMOS NOR και OR και στην **Εικ. 2.18(b)** η ανάλυση χρονισμού που επαληθεύει τη συμπεριφορά τους.



Εικ. 2.17 (a). CMOS NAND και AND πύλες δύο εισόδων. (b). Γράφημα ανάλυσης χρονισμού.



(a)

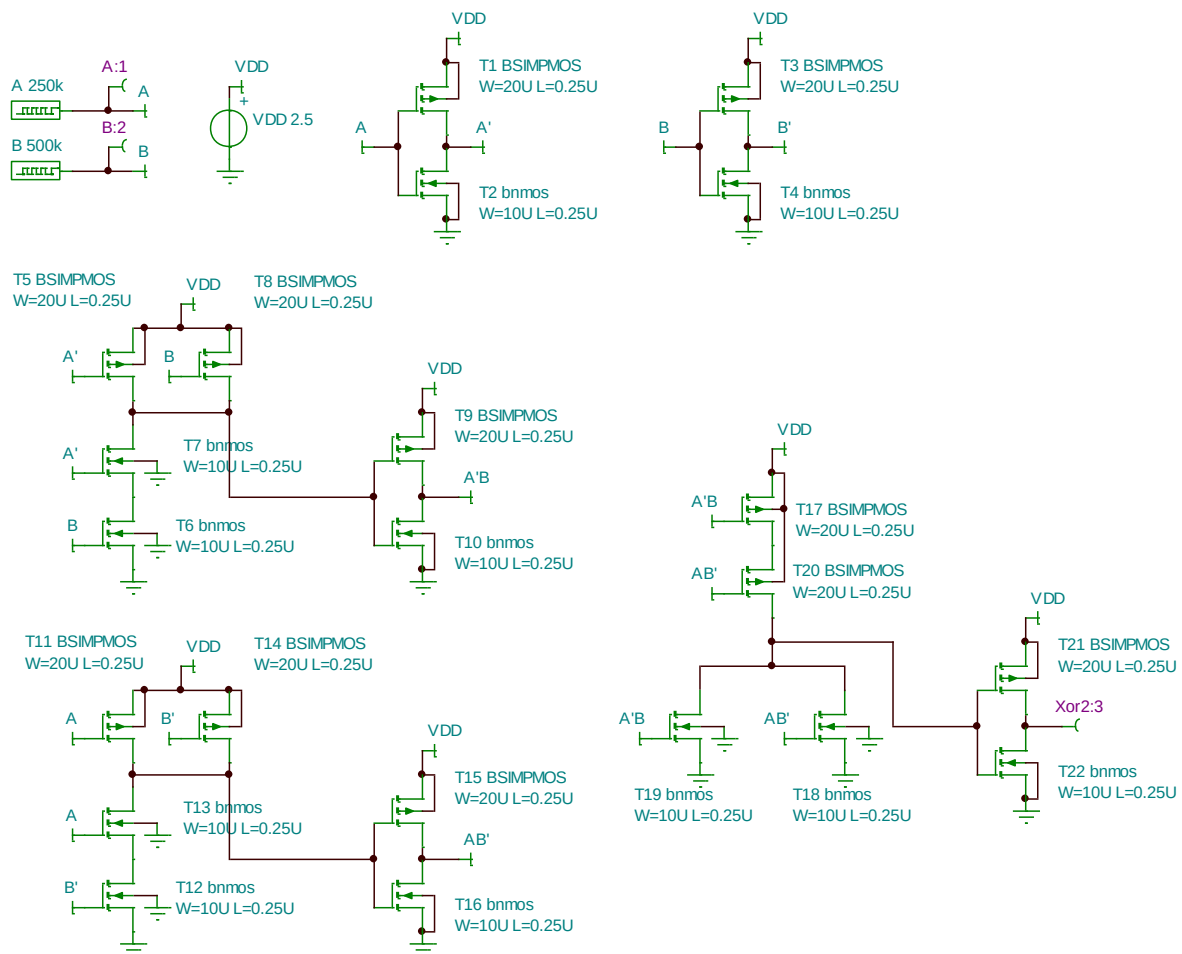


(b)

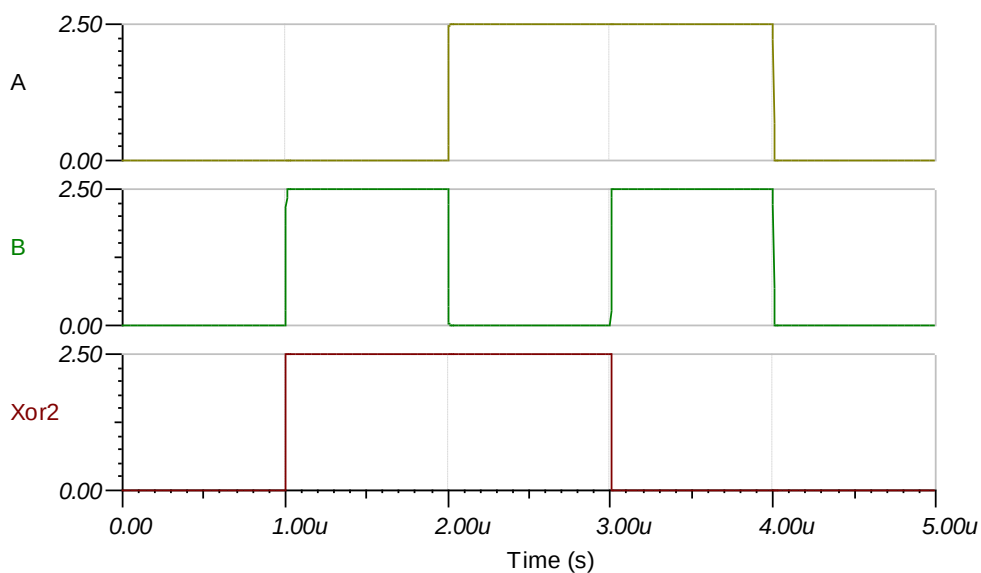
Εικ. 2.18 (a). CMOS NOR και OR πύλες δύο εισόδων. (b). Γράφημα ανάλυσης χρονισμού.

2.7 CMOS XOR ΠΥΛΗ

Η πύλη XOR δεν είναι καθολική, αλλά χρησιμοποιείται εδώ με σκοπό την παρουσίαση της ιεραρχικής σχεδιαστικής διαδικασίας και τη χρήση των σχεδιαστικών κουτιών (block-design) με το TINA. Στην **Εικ. 2.19** φαίνεται η δομή μιας πύλης XOR δύο εισόδων. Το κύκλωμα υλοποιείται με την CMOS συνάρτηση λογικής $XOR(A,B) = A'B + AB'$ ($A' = \text{not}(A)$ and $B' = \text{not}(B)$), η οποία είναι και ο ορισμός της XOR, χρησιμοποιώντας CMOS πύλες συγκεκριμένα 2 NOT (αντιστροφείς), 2 AND, 1 OR, δηλαδή συνολικά 22 τρανζίστορ. Η **Εικ. 2.20** επαληθεύει με την ανάλυση χρονισμού τη σωστή συνάρτηση της πύλης XOR.



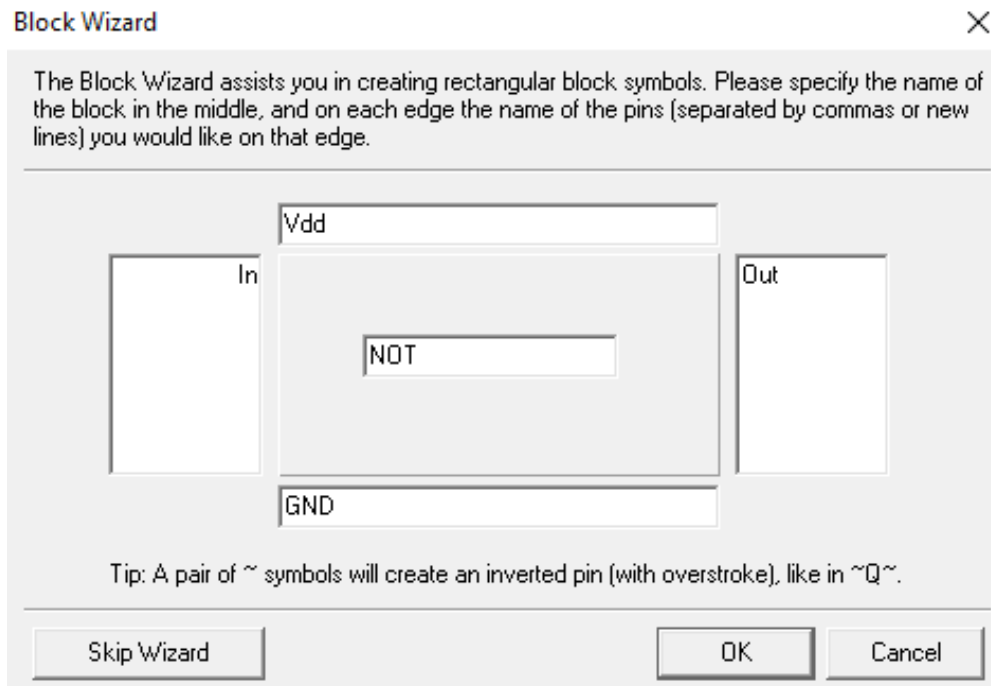
Εικ. 2.19 CMOS XOR πύλη με δύο εισόδους. Υλοποίηση με 22 τρανζίστορ.



Εικ. 2.20 Γράφημα ανάλυσης χρονισμού της CMOS XOR πύλης δύο-εισόδων.

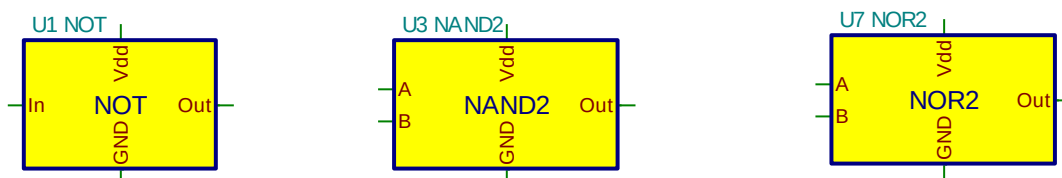
Συνίσταται όταν υλοποιούνται περίπλοκες λειτουργίες CMOS να αποκρύπτονται οι πολλές λεπτομέρειες και να αναπαρίσταται μόνο ο γενικός Boolean χαρακτήρας του κυκλώματος. Αυτό επιτυγχάνεται

χρησιμοποιώντας την τεχνική μπλοκ-διαγραμμάτων. Με την επιλογή Insert > Block, εμφανίζεται το πλαίσιο διαλόγου της **Εικ. 2.21**. Η αρχή της μεθόδου είναι απλή: Ο χρήστης εισάγει ένα όνομα από το block και εισάγει ένα όνομα για τις εισόδους και εξόδους. Στο παράδειγμα της **Εικ. 2.21** δημιουργείται μπλοκ διάγραμμα για την πύλη NOT. Από τη στιγμή που το μπλοκ διάγραμμα δημιουργηθεί, με δεξί κλικ πάνω του και πατώντας "Enter Macro", ο χρήστης «κατευθύνεται» στην «εσωτερική δομή» (internal structure) του μπλοκ, όπου μπορεί να τοποθετήσει τα διάφορα στοιχεία διάταξης για την αντίστοιχη συνάρτηση του μπλοκ.

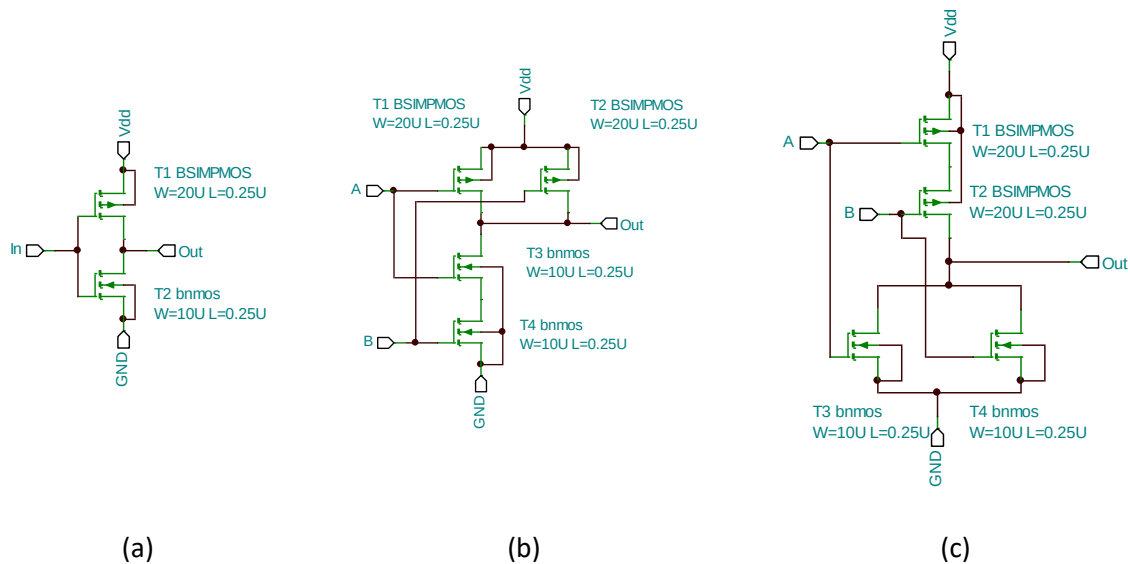


Εικ. 2.21 Insert block dialog window. Είσοδος-έξοδος, ακροδέκτες και όνομα μπλοκ εισάγονται κατευθείαν. Υπάρχουν μερικά άλλα εργαλεία επεξεργασίας και γίνονται προσβάσιμα αφού πατηθεί το κουμπί OK.

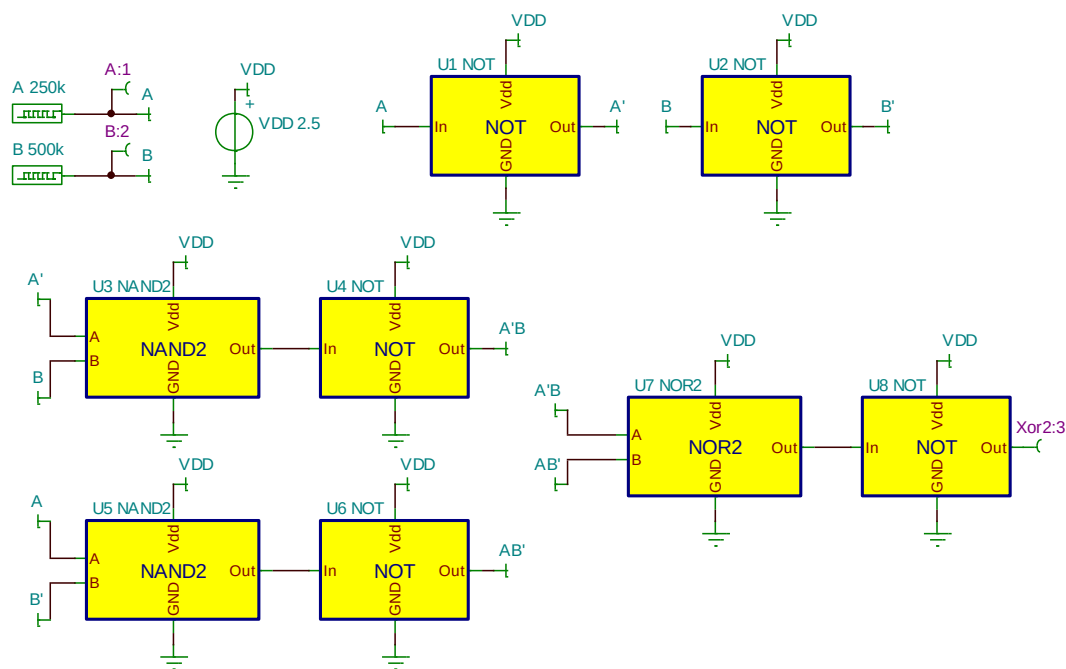
Στην **Εικ. 2.22** παρουσιάζονται παραδείγματα μπλοκ διαγραμμάτων και των αντίστοιχων εσωτερικών δομών των NOT, NAND και NOR CMOS πυλών. Χρησιμοποιώντας τέτοια block elements (με αντιγραφή και επικόλληση όσες φορές χρειάζεται), η XOR πύλη επανασχεδιάζεται, όπως φαίνεται στην **Εικ. 2.23**. Αυτό το κύκλωμα εκτελεί την ίδια λειτουργία (XOR2) όπως το αντίστοιχο της **Εικ. 2.19**, αλλά είναι ευκολότερο να καταλάβουμε τη Boolean λειτουργία του. Η ιεραρχική σχεδίαση μπορεί να προχωρήσει όσο βαθύτερα χρειάζεται, π.χ. όλο το σύστημα των μπλοκ διαγράμματος της **Εικ. 2.23**, μπορεί να εισαχθεί και αυτό σε μόνο ένα μπλοκ με όνομα XOR με δύο εισόδους και μία έξοδο (**Εικ. 2.24**), κρύβοντας εντελώς τις εσωτερικές λειτουργίες και αφήνοντας να φαίνεται μόνο το όνομα. Μια τέτοια ιεραρχική σχεδίαση οδηγεί σε κυκλώματα που είναι ευέλικτα σε χρήση και διατηρούνται ή ενημερώνονται ευκολότερα.



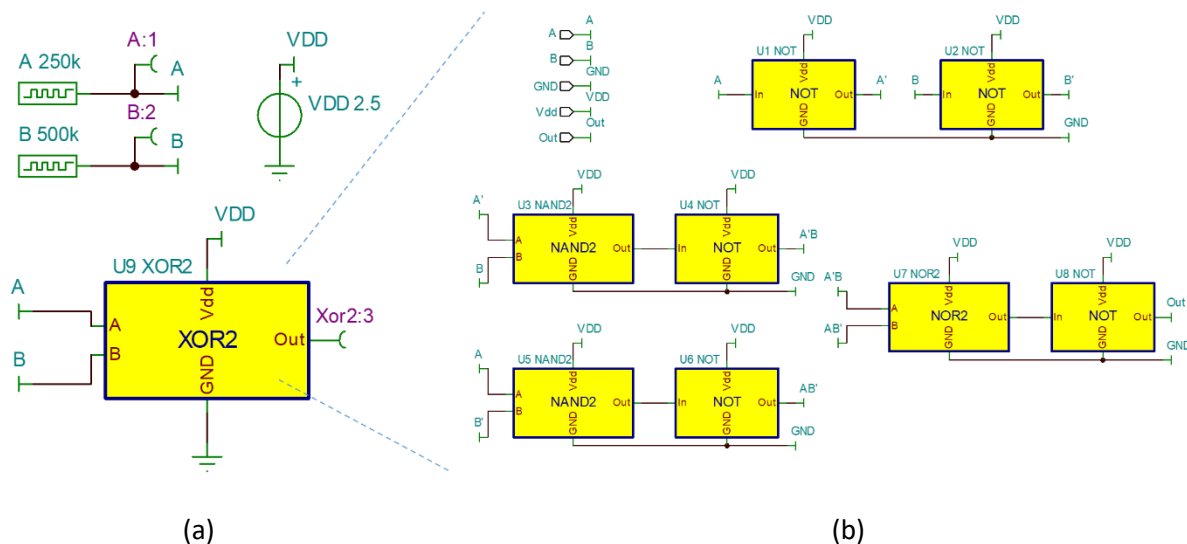
z



Εικ. 2.22 Μπλοκ διαγράμματος και εσωτερική διάταξη του μπλοκ για (α). πύλη NOT, (β). πύλη NAND2, (γ). πύλη NOR2. Τα Macro pins συνδέουν την εσωτερική δομή του μπλοκ με τις εξωτερικές συνδέσεις όλου του κυκλώματος.



Εικ. 2.23 Πύλη CMOS XOR2 με ιεραρχική σχεδίαση χρησιμοποιώντας block diagrams με σκοπό να γίνει ευκολότερη η κατασκευή κυκλώματος.



Εικ. 2.24 Περισσότερες σχεδιαστικές πληροφορίες κρύβονται βαθύτερα στην ιεραρχική σχεδίαση. Εδώ έχουμε το παράδειγμα της XOR2 (blocks within block).

2.8 ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Carusone, T. C., Johns, D., & Martin, K. (2011). *Analog Integrated Circuit Design*, 2nd Edition. Wiley
2. Cheng, Y., & Hu, C. (2002). *MOSFET Modeling & BSIM3 User's Guide*. Kluwer Academic Publishers.
3. Patsis, G. P. (2017). Process-simulation-flow and metrology of VLSI layout fine-features. *IOSR Journal of VLSI and Signal Processing*, vol. 7, no. 6, 23-28.
4. Patsis, G. P. (2017). VHDL-AMS macromodels of MOSFET. Consideration of gate length variability and single-electron-transistors. *IOSR Journal of VLSI and Signal Processing*, vol. 7, no. 6, 29-33.
5. Patsis, G. P. (2018). Basic topologies of MOS single-stage amplifiers. DC analysis for maximum input-voltage swing and amplification. *IOSR Journal of VLSI and Signal Processing*, vol. 8, no. 1, 47-59.
6. Patsis, G. P. (2018). MOSFET EKV Verilog-A model implementation in Genesys. *IOSR Journal of VLSI and Signal Processing*, vol. 8, no. 2, 73-86.
7. Patsis, G. P. (2018). Educational Introduction to VLSI Layout Design with Microwind, *IOSR Journal of VLSI and Signal Processing*, vol. 8, no. 5, 18-29.
8. <https://www.tina.com/>
9. Uyemura, J. P. (1999). *CMOS Logic Circuit Design*. Springer Science & Business Media.

ΚΕΦΑΛΑΙΟ 3. ΑΝΑΣΚΟΠΗΣΗ ΒΑΣΙΚΩΝ ΑΝΑΛΟΓΙΚΩΝ ΔΙΑΤΑΞΕΩΝ ΣΤΗ VLSI ΣΧΕΔΙΑΣΗ

ΣΥΝΟΨΗ

Περιγράφεται με παραδείγματα ο τρόπος σχεδίασης χωροθεσίας των θεμελιωδών αναλογικών εξαρτημάτων, καθώς και βασικών κυκλωμάτων υποβοήθησης της αναλογικής λειτουργίας.

ΣΤΟΧΟΣ

Κατανόηση του τρόπου σχεδίασης σε φυσικό επίπεδο χωροθεσίας των επόμενων εξαρτημάτων:

- * ωμικών αντιστάσεων,
- * πυκνωτών,
- * μεταλλικών επαφών,
- * πηνίων,
- * κυκλώματος τάσης αναφοράς,
- * κυκλώματος καθρέπτη ρεύματος.

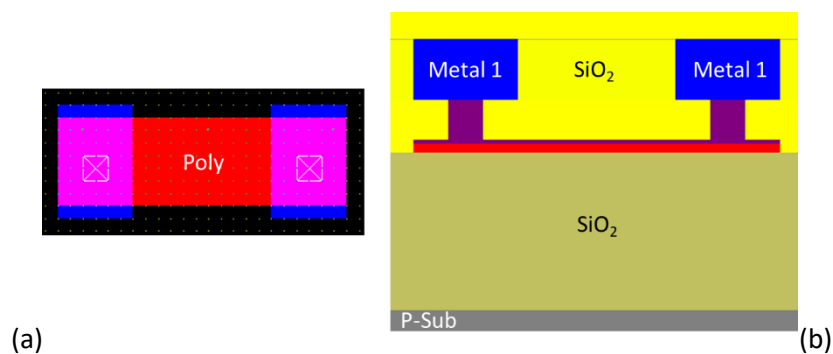
ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Βασικές γνώσεις χειρισμού λογισμικού Microwind ή σχετικού.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Βασικοί κανόνες ηλεκτρικών κυκλωμάτων (Kirchhoff).
- * Συμπεριφορά αντιστάσεων, πυκνωτών, πηνίων.
- * Θεωρία κυκλωμάτων ενίσχυσης τάσης.

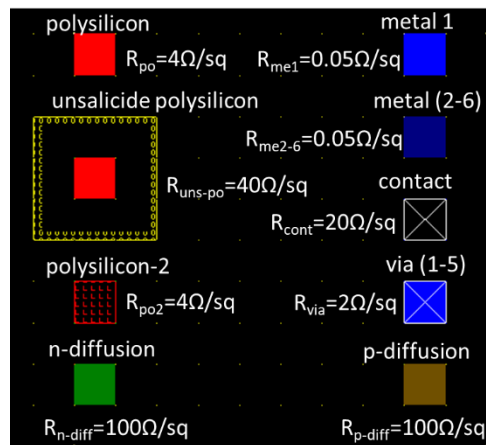
Η υλοποίηση των σχεδίων χωροθεσίας (layout) που εμφανίζονται στις εικόνες αυτού του κεφαλαίου έχει γίνει με χρήση του Microwind και 0.35 μm CMOS σχεδιαστικούς κανόνες.

3.1 ΑΝΤΙΣΤΑΣΕΙΣ

Οι αντιστάτες παρέχουν συγκεκριμένες και ελεγχόμενες ποσότητες ηλεκτρικής αντίστασης. Μια ολοκληρωμένη αντίσταση (integrated resistor) είναι φτιαγμένη από μια λεπτή λωρίδα αντιστατικού (resistive) στρώματος. Οι αντιστάσεις είναι χρήσιμες σε πληθώρα εφαρμογών, όπως ο περιορισμός της έντασης του ρεύματος (current limiting) και η διαίρεση τάσης (voltage division). Τα αναλογικά κυκλώματα συνήθως έχουν μεγάλο πλήθος αντιστάσεων, οπότε είναι βολικό που αυτές υλοποιούνται σχετικά εύκολα στη χωροθεσία του κυκλώματος. Η ανοχή (tolerance), από την άλλη, κάθε αντίστασης στη χωροθεσία, είναι εξαιρετικά χαμηλή. Η επιλογή των υλικών από τα οποία είναι φτιαγμένες οι αντιστάσεις έχει καθοριστικό ρόλο στην απόδοση του τελικού κυκλώματος, καθώς η ακρίβεια (precision) και οι μεταβολές θερμοκρασίας ποικίλλουν αρκετά από υλικό σε υλικό. Ένα μακρύ υμένιο από αντιστατικό υλικό είναι συνδεδεμένο σε μεταλλικούς ακροδέκτες, από δυο ωμικές επαφές με σκοπό να δημιουργηθεί μια αντίσταση (**Εικ. 3.1**). Το σώμα της αντίστασης είναι ηλεκτρικά μονωμένο από το γύρω του περιβάλλον, με τη χρήση ενός οξειδίου ή με μια ανάστροφα πολωμένη επαφή. Η απλούστερη διάταξη αντίστασης, δηλαδή, σχεδιάζεται με ένα απλό ορθογώνιο από κατάλληλο υλικό με επαφές σε κάθε του άκρη. Η χαμηλή αντίσταση της επαφής εύκολα βραχυκυκλώνει το υλικό που βρίσκεται από κάτω της. Μια αντίσταση με μικρή επιφάνεια (area-efficient) σε μια διεργασία τεχνολογίας CMOS αποτελείται από μια λωρίδα polysilicon (**Εικ. 3.1**). Η δεδομένη τιμή αντίστασης polysilicon ανά «ελάχιστο τετράγωνο» (το μικρότερο τετράγωνο υμενίου που επιτρέπει η τεχνολογία κατασκευής (**Εικ. 3.2**)) είναι της τάξης των 10 Ohm (σχετικά μικρή τιμή), αλλά μπορεί να φτάσει στην περιοχή των 200 Ohm αν αφαιρεθεί το υμένιο salicide πάνω στο οποίο αναπτύσσεται το polysilicon. Στην **Εικ. 3.2** παρουσιάζονται «ελάχιστα τετράγωνα» (sq) και οι αντίστοιχες αντιστάσεις τους για διάφορα υμένια, μέταλλα, επαφή και συγκόλληση (via).

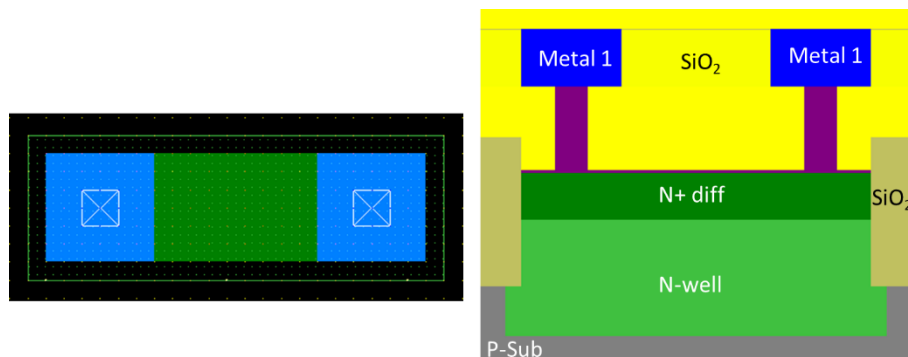


Εικ. 3.1 Τυπική χωροθεσία και διατομή αντίστασης από υμένιο polysilicon.

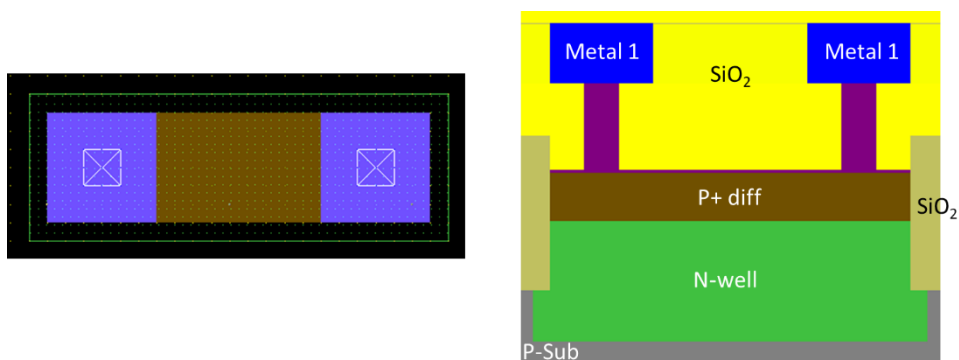


Εικ. 3.2 «Ελάχιστα τετράγωνα» (sq) και οι αντίστοιχες αντιστάσεις τους polysilicon, unsalicide polysilicon, polysilicon-2, n-diffusion, p-diffusion, metal-1, metal 2-6, contact και via 1-5.

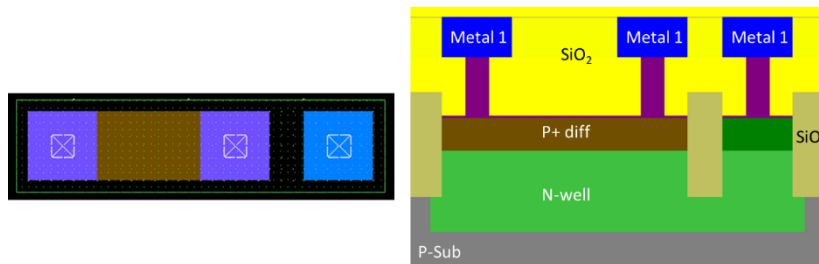
Με αντίστοιχο τρόπο, και συνδυάζοντας διαφορετικού τύπου υμένια, είναι δυνατό να υλοποιηθούν αντιστάτες σε διάφορα επίπεδα της χωροθεσίας, όπως φαίνεται στις **Εικ. 3.3 – 3.7**.



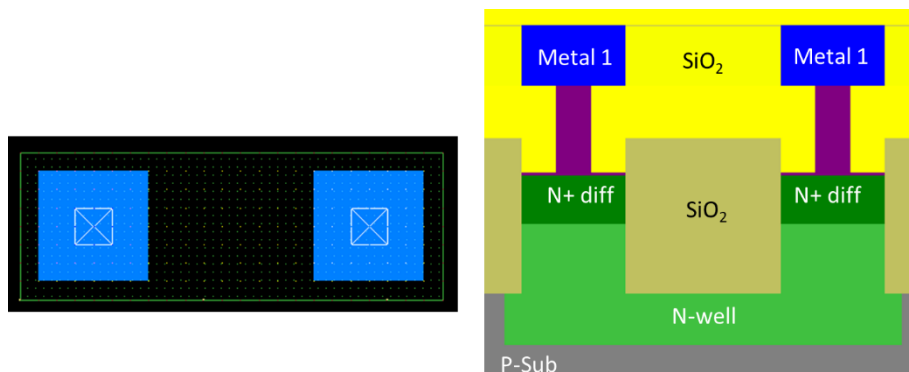
Εικ. 3.3 Τυπική χωροθεσία και διατομή αντίστασης από υμένιο N+ diffusion.



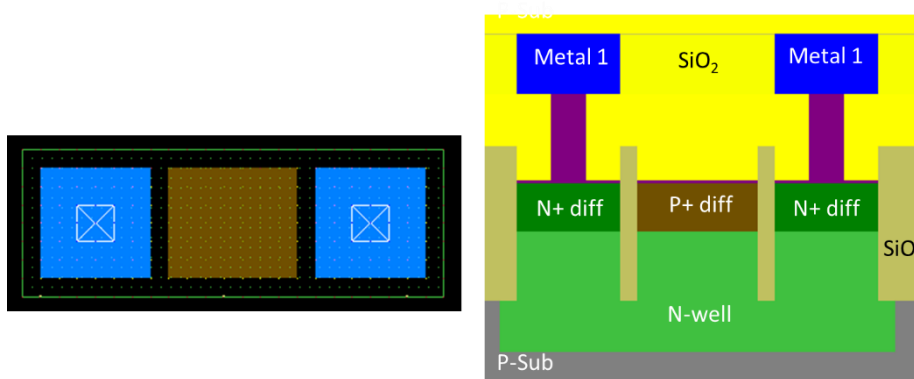
Εικ. 3.4 Τυπική χωροθεσία και διατομή αντίστασης από υμένιο P+ diffusion.



Εικ. 3.5 Τυπική χωροθεσία και διατομή αντίστασης από υμένιο P+ diffusion με ταυτόχρονη δημιουργία ανάστροφης πόλωσης στον N-well.

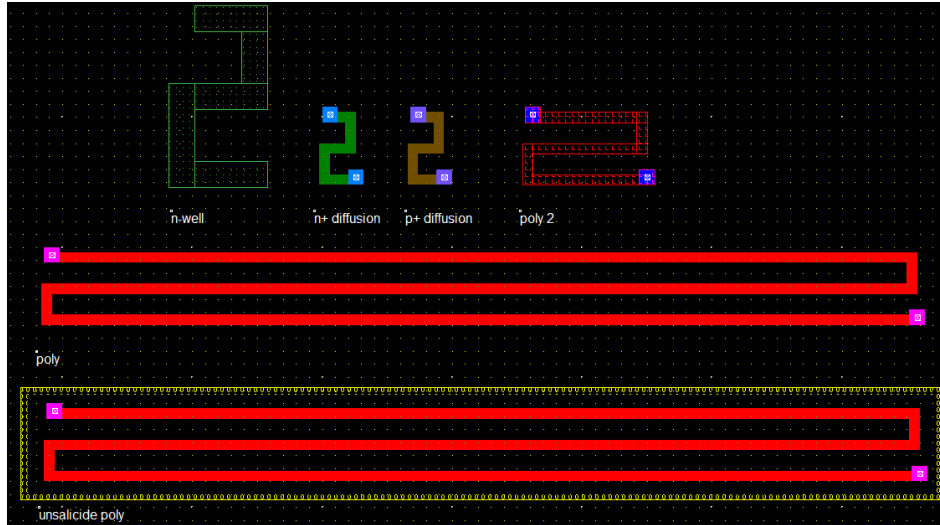


Εικ. 3.6 Τυπική χωροθεσία και διατομή αντίστασης από υμένιο N-well.



Εικ. 3.7 Τυπική χωροθεσία και διατομή αντίστασης από υμένιο N-well με προσάρτηση υμενίου P+ diffusion.

Στο παράδειγμα της **Εικ. 3.8** παρουσιάζεται η κάτοψη αντίστασης σε διάταξη σερπατίνας (serpentine fashion), για κάθε ένα από τα παρακάτω στρώματα: N-well, N+ diffusion, P+ diffusion, polysilicon-2 και μεγαλύτερη αντίσταση από polysilicon και ακόμα μεγαλύτερη από unsalicide polysilicon.



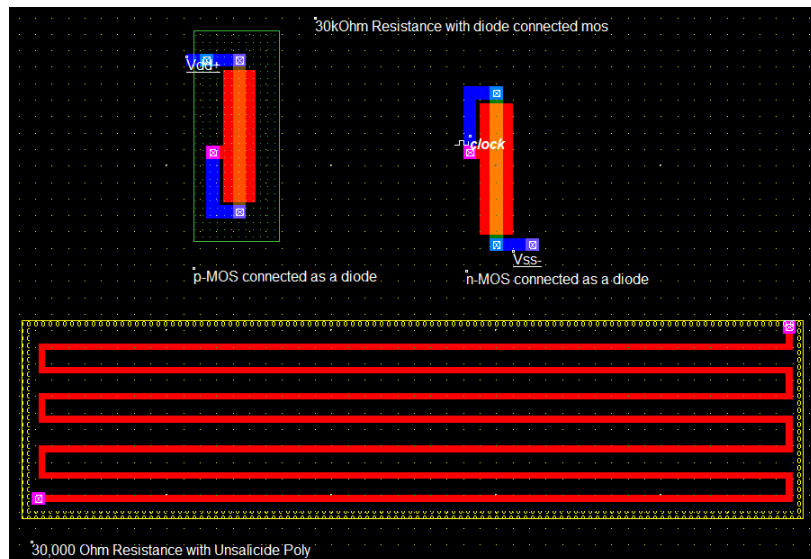
Εικ. 3.8 Κάτοψη αντίστασης σε διάταξη σερπατίνας (serpentine fashion), υλοποιημένη σε διάφορα υμένια.

Γενικά, οι αντιστάσεις polysilicon προσφέρουν υψηλής ακρίβειας λόγους (πηλίκια) αντίστασης. Αυτό οφείλεται κυρίως στο γεγονός ότι το polysilicon εναποτίθεται στην επιφάνεια του FOX (field oxide), ενώ άλλα υλικά αντίστασης εναποτίθενται στο κυρίως σώμα του πυριτίου και σχηματίζουν παρασιτικές ρη επαφές. Από τη στιγμή που τα κοινά χαρακτηριστικά, η συμπεριφορά με τη θερμοκρασία και ο συντελεστής τάσης είναι γενικά καλύτερα για αντιστάσεις polysilicon, συνήθως προτιμώνται για την ενσωμάτωσή τους σε κυκλώματα υψηλής επιθυμητής ακρίβειας. Σε γενικές γραμμές, το πλάτος και το μήκος μιας αντίστασης θα πρέπει να είναι 10 και 100 φορές αντίστοιχα μεγαλύτερο από το ελάχιστο επιτρεπτό όριο που επιτρέπει κάθε κόμβος τεχνολογίας. Η χρήση μεγαλύτερου πλάτους και μήκους για τη δημιουργία αντιστάσεων βοηθάει στο να πετυχαίνουμε καλύτερες προσαρμογές (matching), αλλά και να εξασφαλίσουμε αναισθησία σε φαινόμενα θέρμανσης λόγω της ροής του ηλεκτρικού ρεύματος μέσα από το σώμα τους, που μπορεί να οδηγήσει σε αλλαγή της γραμμικής συμπεριφοράς τους. Αντιστάτης με μεγάλη επιφάνεια διαχέει καλύτερα τη θερμότητα από ίδιας αντίστασης αντιστάτη μικρότερης επιφάνειας.

Το MOS-συνδεσμολογίας-διόδου (diode-connected MOS) μπορεί να δώσει υψηλή αντίσταση χρησιμοποιώντας μικρή επιφάνεια πυριτίου. Για τέτοια συνδεσμολογία, αρκεί να συνδέσουμε τον απαγωγό με την πηγή, όπως φαίνεται στην **Εικ. 3.9**. Επειδή γενικά στο nMOS η πηγή συνδέεται στη γείωση και στο pMOS στην τροφοδοσία, ισχύουν πάντα οι σχέσεις (1), οπότε το τμήμα του καναλιού του MOS μπορεί να αναπαρασταθεί με μια γραμμική αντίσταση που δίνεται προσεγγιστικά από τη σχέση (2). Έτσι, το MOS μπορεί να λειτουργήσει ως μια αντίσταση που ελέγχεται από το δυναμικό $V_{GS}-V_{TH}$ (overdrive voltage). Η συνθήκη αυτή αντιστοιχεί με λειτουργία του MOS σε περιοχή deep triode.

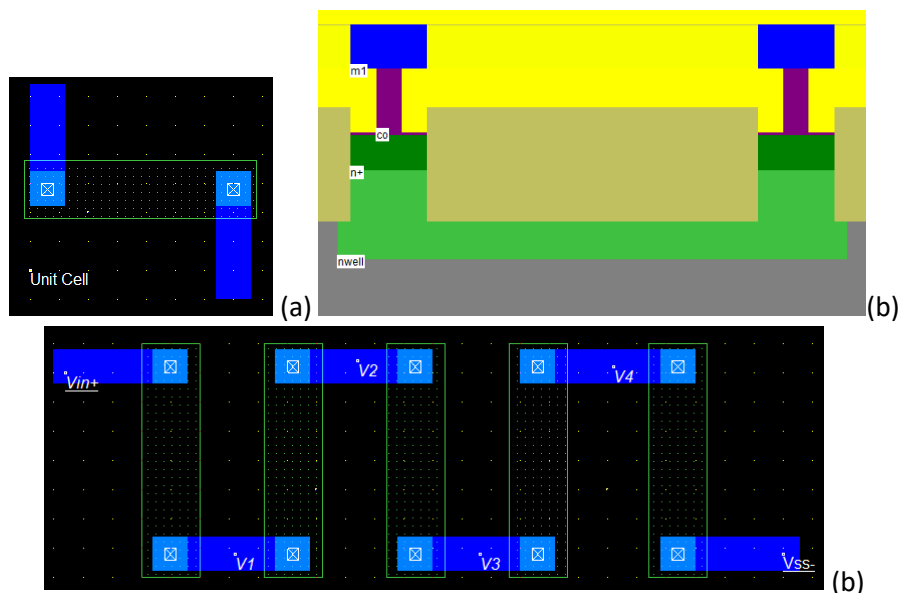
$$V_{DS} \ll 2(V_{GS} - V_{TH}) \quad I_D \simeq \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (1)$$

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2)$$



Εικ. 3.9 Συνδεσμολογία-διόδου για pMOS και nMOS που ισοδυναμεί με ισοδύναμη αντίσταση 30 kΩ και η αντίστοιχη αντίσταση υλοποιημένη με unsalicide polysilicon που καταλαμβάνει πολύ μεγαλύτερη επιφάνεια πυριτίου.

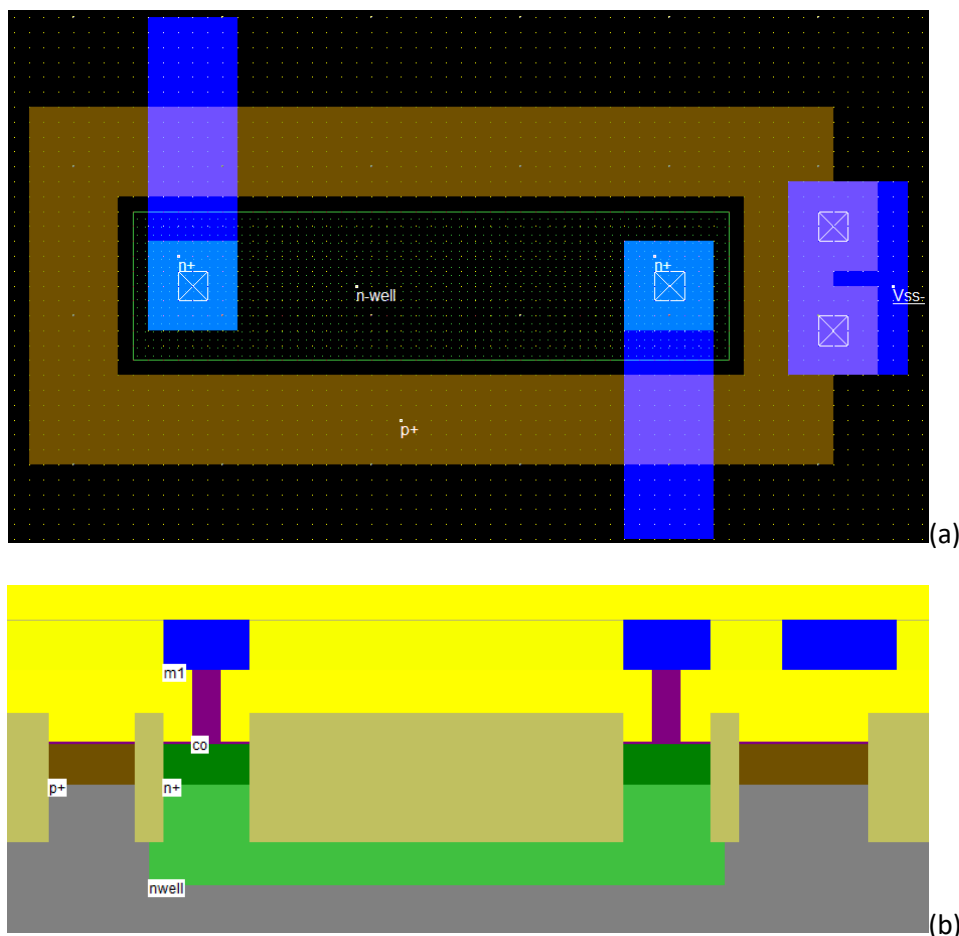
Είναι βολικό στη σχεδίαση να περιλαμβάνονται κανονικοποιημένες διατάξεις. Π.χ., στην περίπτωση των αντιστάσεων, μια μοναδιαία αντίσταση φαίνεται στην **Εικ. 3.10(a)** υλοποιημένη στο επίπεδο του n-well (διατομή στην **Εικ. 3.10(b)**) με τιμή περίπου 1kΩ. Στη συνέχεια χρησιμοποιούμε αντίγραφά της για να δημιουργηθεί αντίσταση 5 kΩ (**Εικ. 3.10(c)**).



Εικ. 3.10 (α) Μονάδα αντίστασης (1kΩ) σε n-well. (β) Αντίστοιχη διατομή μονάδας αντίστασης. (γ) Σχηματισμός 5πλάσιας αντίστασης.

Κάθε κύκλωμα επηρεάζεται από τον θόρυβο υποστρώματος (substrate noise). Πρόκειται για θόρυβο που οφείλεται στην έγχυση ρεύματος στο υπόστρωμα στην περιοχή μεταξύ διαφόρων κυκλωματικών στοιχείων. Ο πιο απλός τρόπος για να ελαττώσουμε τον θόρυβο υποστρώματος μεταξύ γειτονικών κυκλωμάτων είναι να τοποθετήσουμε ανάμεσά τους μια p+ implant, όπως στο παράδειγμα της **Εικ. 3.11** σε μορφή δακτυλιδιού.

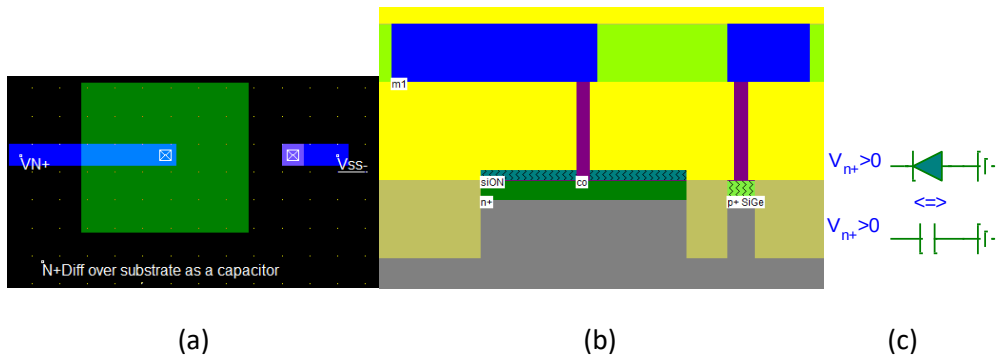
Αυτό το προστατευτικό δακτυλίδι (guard ring) περιορίζει και κατακρατά την έγχυση φορέων από γειτονικά κυκλωματικά στοιχεία.



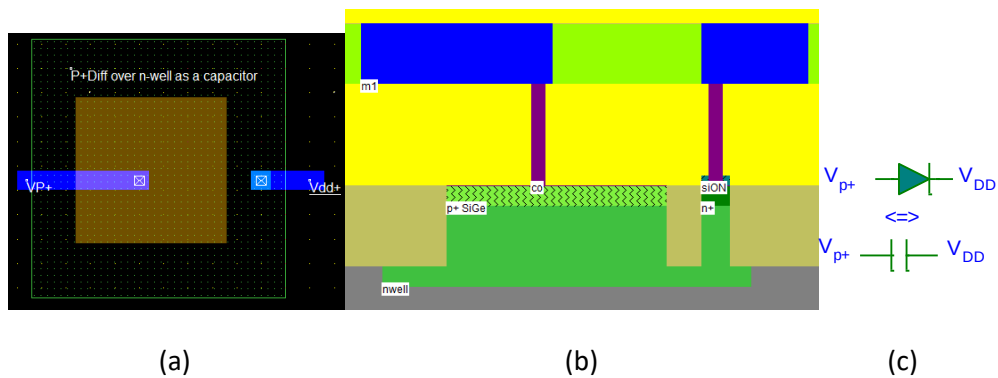
Εικ. 3.11 P+ implant guard ring γύρω από αντίσταση n-well. (a) Χωροθεσία (layout/κάτοψη) (b). Διατομή.

3.2 ΠΥΚΝΩΤΕΣ

Οι πυκνωτές είναι μια κλάση από παθητικά στοιχεία, χρήσιμα για τη σύζευξη σημάτων εναλλασσόμενου ρεύματος και για την κατασκευή δικτύων χρονισμού και ολίσθησης φάσης. Είναι σχετικά ογκώδεις διατάξεις που αποθηκεύουν ενέργεια σε ηλεκτροστατικά πεδία. Οι διαστάσεις των ολοκληρωμένων κυκλωμάτων δεν επιτρέπουν την ολοκλήρωση χωρητικότητας στο τσιπ μεγαλύτερης των μερικών εκατοντάδων pFs. Ακόμα και τόσο μικρή χωρητικότητα είναι χρήσιμη σε ορισμένες εφαρμογές, ειδικά σε βρόγχους αντιστάθμισης (compensating feedback loops). Τα περισσότερα αναλογικά ολοκληρωμένα κυκλώματα περιέχουν τουλάχιστον έναν πυκνωτή. Οι πυκνωτές χρησιμοποιούνται στην αναλογική σχεδίαση για να κατασκευαστούν φίλτρα, αντισταθμίσεις, αποζεύξεις κ.ά. Ιδανικά, η τιμή του πυκνωτή δεν πρέπει να εξαρτάται από τις συνθήκες πόλωσης, ούτως ώστε η λειτουργία του φίλτρου να εντοπίζεται σε ορισμένη συχνότητα. Στην VLSI σχεδίαση οι πυκνωτές υλοποιούνται με διόδους, MOSFETs, poly-to-poly2 στρώματα ή ακόμα χρησιμοποιώντας μεταλλικά στρώματα. Παραδείγματα παρουσιάζονται στη συνέχεια.

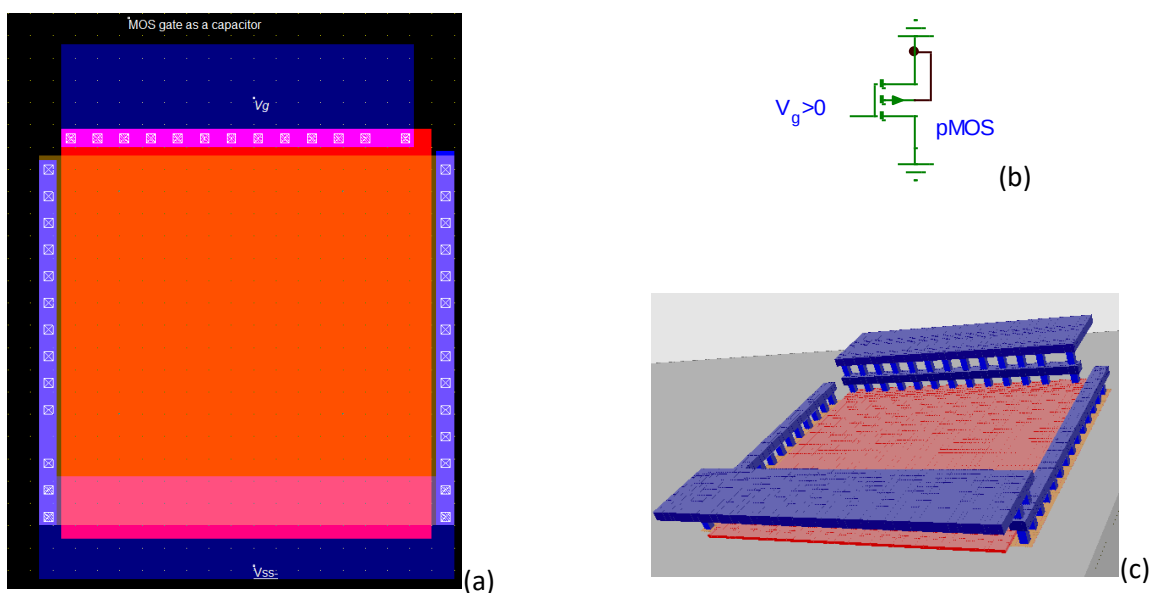


Εικ. 3.12α Δίοδος N+ diffusion/substrate για υλοποίηση πυκνωτή.

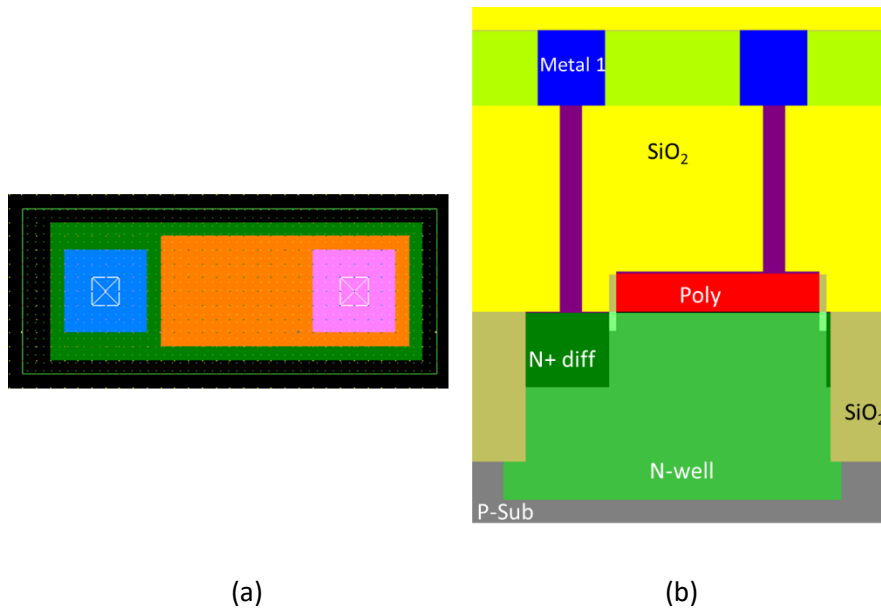


Εικ. 3.12β Δίοδος P+ diffusion/n-well για υλοποίηση πυκνωτή.

Οι διόδοι σε αντίστροφη πόλωση έχουν τη συμπεριφορά ενός πυκνωτή (depletion capacitance). Η τιμή της χωρητικότητάς τους εξαρτάται από τις συνθήκες πόλωσης. Μια απλή n+ διάχυση σε ένα p υπόστρωμα σχηματίζει μια pn-δίοδο και συμπεριφέρεται ως πυκνωτής, εφόσον η n+ περιοχή είναι πολωμένη σε μια μεγαλύτερη τάση από το p υπόστρωμα, όπως και συνήθως συμβαίνει, γιατί το υπόστρωμα είναι γειωμένο. Στην Εικ. 3.12α παρουσιάζεται η κάτοψη και η διατομή διόδου που σχηματίζεται από εναπόθεση n-diffusion υμενίου πάνω στο υπόστρωμα πυριτίου και στην Εικ. 3.12β η συμπληρωματική της δομή, με εναπόθεση p-diffusion πάνω από n-well.

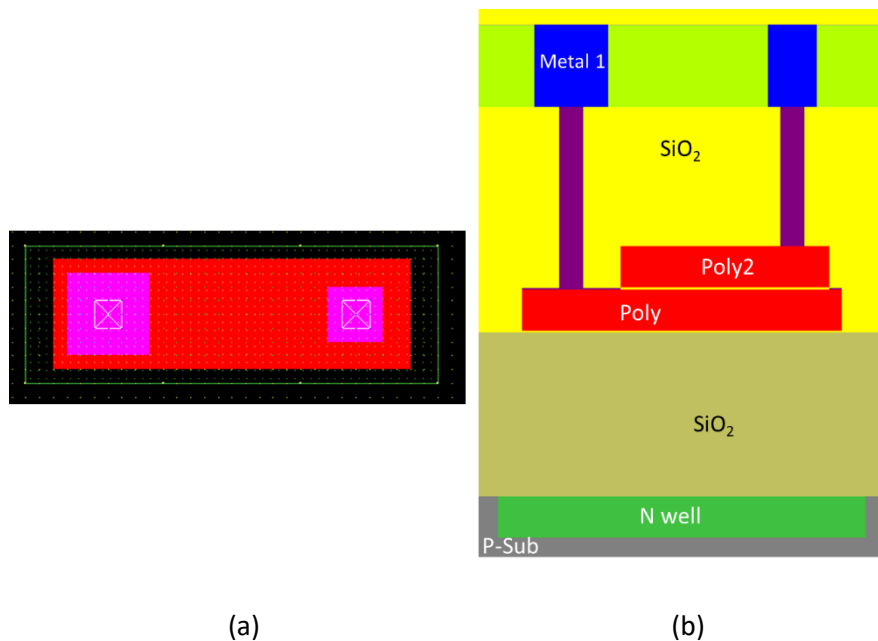


Εικ. 3.13 Πύλη MOS ως πυκνωτής.

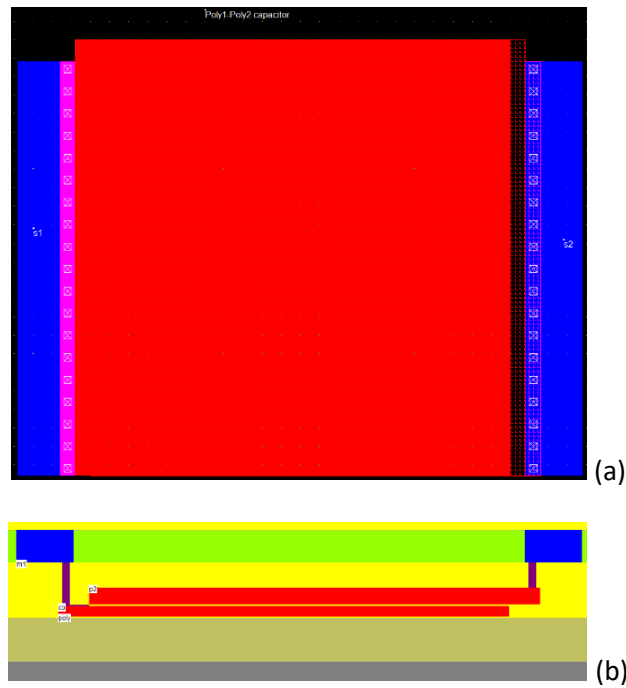


Εικ. 3.14 Διατομή ενσωματωμένου πυκνωτή.

Ένα MOS transistor συχνά μπορεί να χρησιμοποιηθεί ως πυκνωτής. Στην αναλογική σχεδίαση, ο πυκνωτής πύλης είναι περικυκλωμένος από ένα δαχτυλίδι-φρουρό (guard-ring). Είναι συχνά αρκετά δύσκολο να ενσωματωθούν πυκνωτές περισσότερο από μερικές εκατοντάδες pF μέσα στο τσίπ. Αν χρειάζονται πυκνωτές της τάξης των nF, τα εξαρτήματα αυτά είναι πολύ μεγάλα και πρέπει να τοποθετηθούν ως διακριτά στοιχεία, εκτός chip. Η χρήση του λεπτού οξειδίου της πύλης του MOS αυξάνει τη χωρητικότητα, με κίνδυνο όμως την πρόκληση βλάβης στο οξύδιο λόγω του overstress που δέχεται κατά τη λειτουργία. Στην **Εικ. 3.13** φαίνεται η κάτοψη της πύλης του MOS που σχηματίζει το πάνω μέρος του αντίστοιχου πυκνωτή. Στην **Εικ. 3.14** φαίνεται καλύτερη η ιδέα χρήσης της δομής του MOS για τη δημιουργία χωρητικότητας, ειδικά στη διατομή.

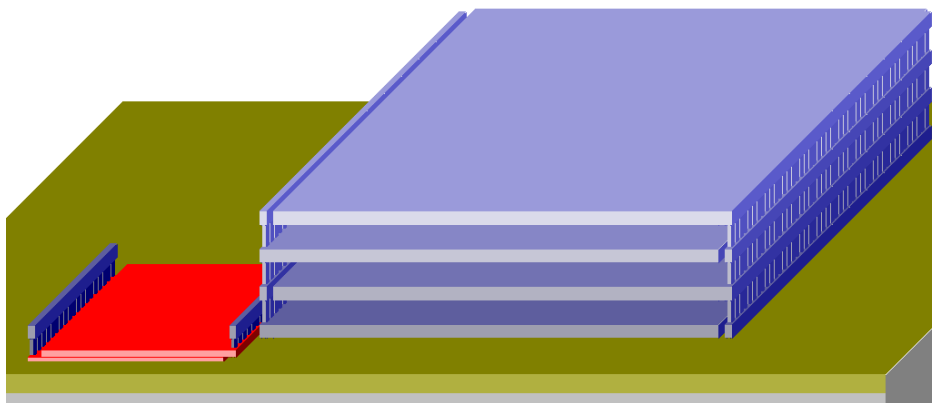


Εικ. 3.15 Διατομή ενσωματωμένου πυκνωτή.

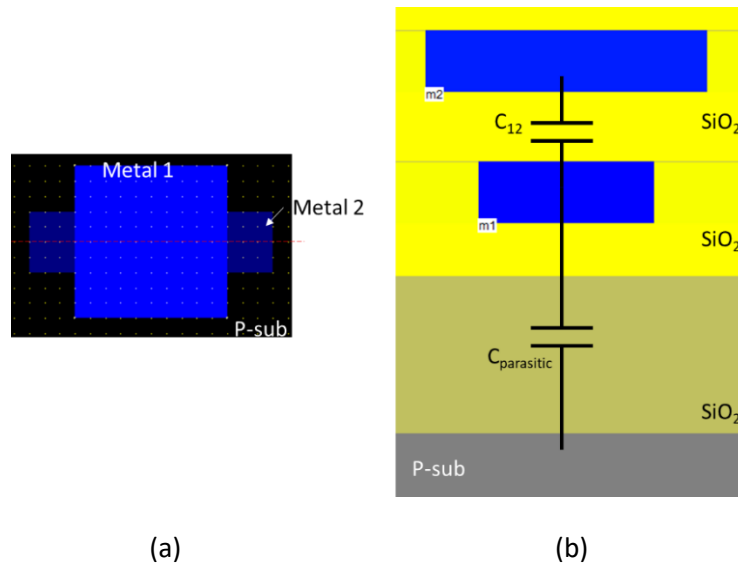


Εικ. 3.16 Poly-poly2 πυκνωτής.

Οι περισσότερες υπομικρονικές τεχνολογίες CMOS προσφέρουν και ένα δεύτερο στρώμα polysilicon (poly 2) πιο ψηλά από το κλασικό poly στη δομή, ώστε να είναι δυνατή η υλοποίηση πλέουσων πυλών (floating gates) για EEPROM. Μια περιοχή από οξείδιο 20 nm παρεμβάλλεται ως διηλεκτρικό ανάμεσα στα poly και poly2 υμένια. Με τον τρόπο αυτόν επιτυγχάνεται χωρητικότητας της τάξης $1.7\text{fF}/\mu\text{m}^2$. Οι **Εικ. 3.15** και **Εικ. 3.16** δείχνουν παραδείγματα υλοποίησης πυκνωτή με τον τρόπο αυτόν.

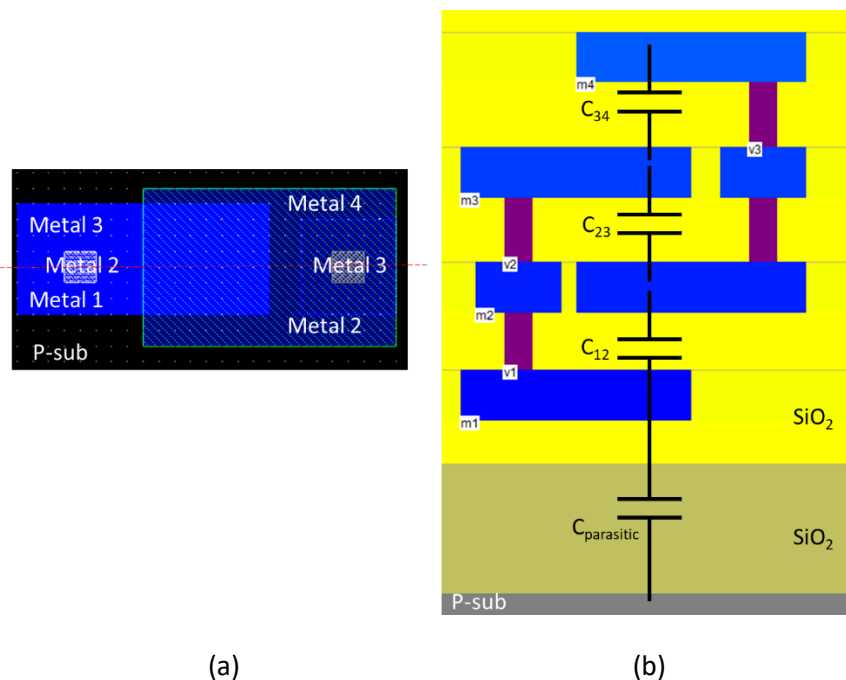


Εικ. 3.17 Inter-metal capacitor.



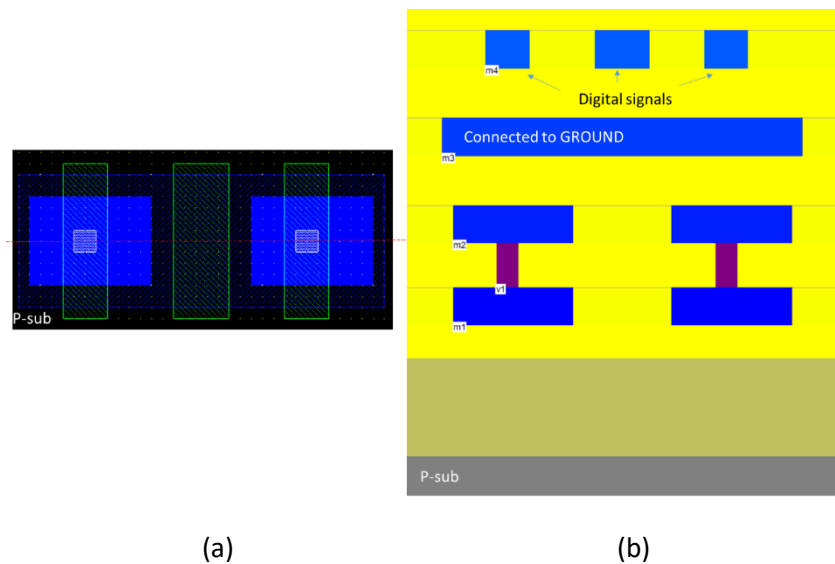
Εικ. 3.18 Χωρητικότητα του μετάλλου-1 με το υπόστρωμα (a) Κάτοψη (b) τομή με σχεδίαση των παρασιτικών χωρητικότητων.

Η πολλαπλότητα των μεταλλικών στρωμάτων εντός του τσιπ δημιουργεί πλευρικές και κάθετες χωρητικότητες αρκετά μεγάλης σημασίας (**Εικ. 3.17**). Παρόλο που το ενδομεταλλικό οξείδιο είναι 10 με 50 φορές παχύτερο από το υπέρλεπτο οξείδιο της πύλης, η διαθέσιμη επιφάνεια πυριτίου στα ανωτέρω μεταλλικά στρώματα μπορεί να χρησιμοποιηθεί για υλοποίηση μικρού μεγέθους χωρητικότητων, αρκετών για εφαρμογές αντιστάθμισης ή τοπικής αποσύζευξης. Το κυρίως πρόβλημα με τη χρήση μεταλλικών στρωμάτων για τις διατάξεις χωρητικότητας υφίσταται λόγω της εξαιρετικά μεγάλης παρασιτικής χωρητικότητας που έχει ο πυθμένος τους, δηλαδή η χωρητικότητα του μετάλλου-1 με το υπόστρωμα (**Εικ. 3.18**). Αυτή η παρασιτική χωρητικότητα που μπορεί να είναι μεταξύ του 90 – 100% της επιθυμητής χωρητικότητας μειώνει την ταχύτητα απόκρισης του κυκλώματος και έχει ως αποτέλεσμα τη σπατάλη ενέργειας.



Εικ. 3.19 (a) Κάτοψη (b) τομή με σχεδίαση των παρασιτικών χωρητικότητων.

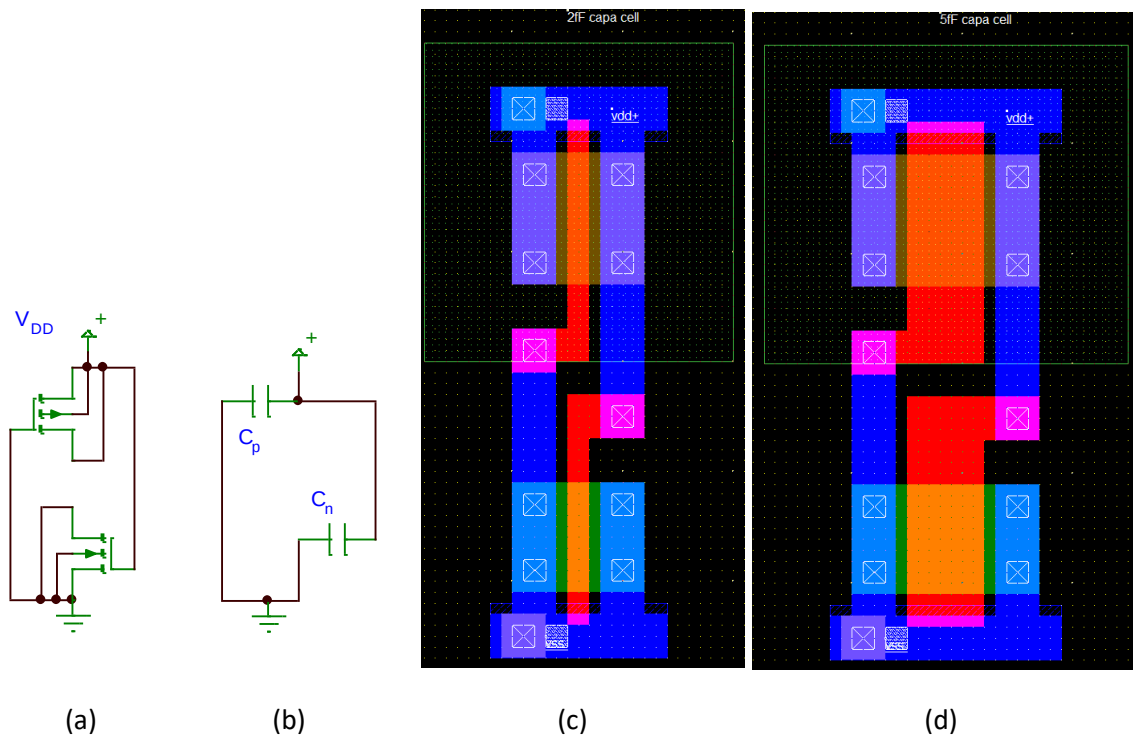
Για να μειωθεί το ποσοστό της επιθυμητής χωρητικότητα στον πυθμένα, η τεχνική της **Εικ. 3.19** χρησιμοποιεί τέσσερις μεταλλικές στρώσεις για να υλοποιήσει τον πυκνωτή. Η χωρητικότητα αυτής της κατασκευής είναι το άθροισμα των ενδιάμεσων χωρητικότητων.



Εικ. 3.20 Εισαγωγή μεταλλικής περιοχή σε ρόλο γείωσης, πάνω από τους πυκνωτές μετάλλου.

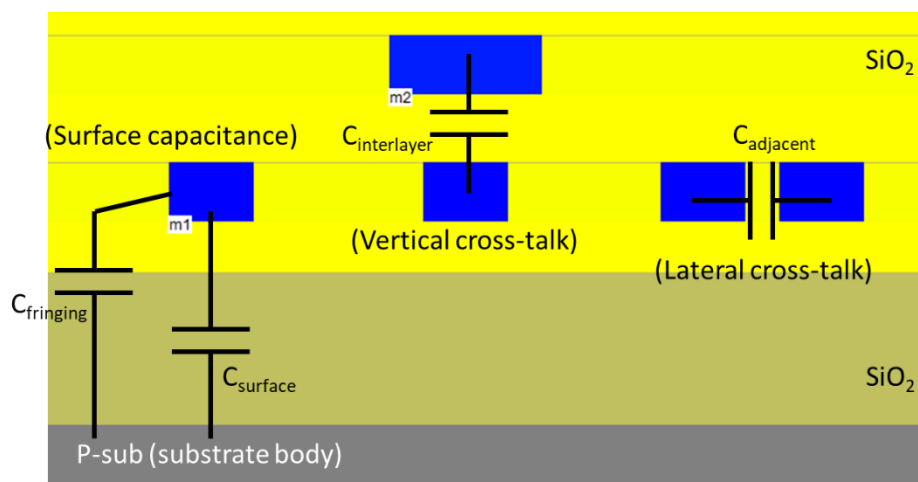
Είναι επίσης πιθανό να έχουμε παρασιτικά στοιχεία στην επιφάνεια της μεταλλικής δομής. Αυτό το πρόβλημα αντιμετωπίζεται όπως στην **Εικ. 3.20**, με την εισαγωγή μιας μεταλλικής περιοχής σε ρόλο γείωσης, πάνω από τους πυκνωτές μετάλλου.

Αξίζει να σημειωθεί ότι ένας πυκνωτής μπορεί να συμπεριλαμβάνεται ως κυψελίδα (cell) στις περισσότερες βιβλιοθήκες λογικής (logic cell libraries) (**Εικ. 3.21**). Για παράδειγμα, μια τέτοια διάταξη μπορεί να τοποθετείται συχνά κατά τη σχεδίαση μεταξύ των γραμμών παροχής ενέργειας V_{DD} και V_{SS} με σκοπό να προστεθεί εκούσια η χωρητικότητα και να ελαττωθεί ο εξωτερικός παρασιτικός θόρυβος λόγω των εναλλαγών (switching) των πυλών ψηφιακής λογικής (logic gate switching). Το βασικό μειονέκτημα αυτού του πυκνωτή πύλης οξειδίου είναι το μικρό δυναμικό κατάρρευσης και η μη αμελητέα πιθανότητα ύπαρξης ατελειών στο οξειδίο πύλης που μπορεί να έχει ως αποτέλεσμα ένα βραχυκύκλωμα των γραμμών μεταφοράς ενέργειας.

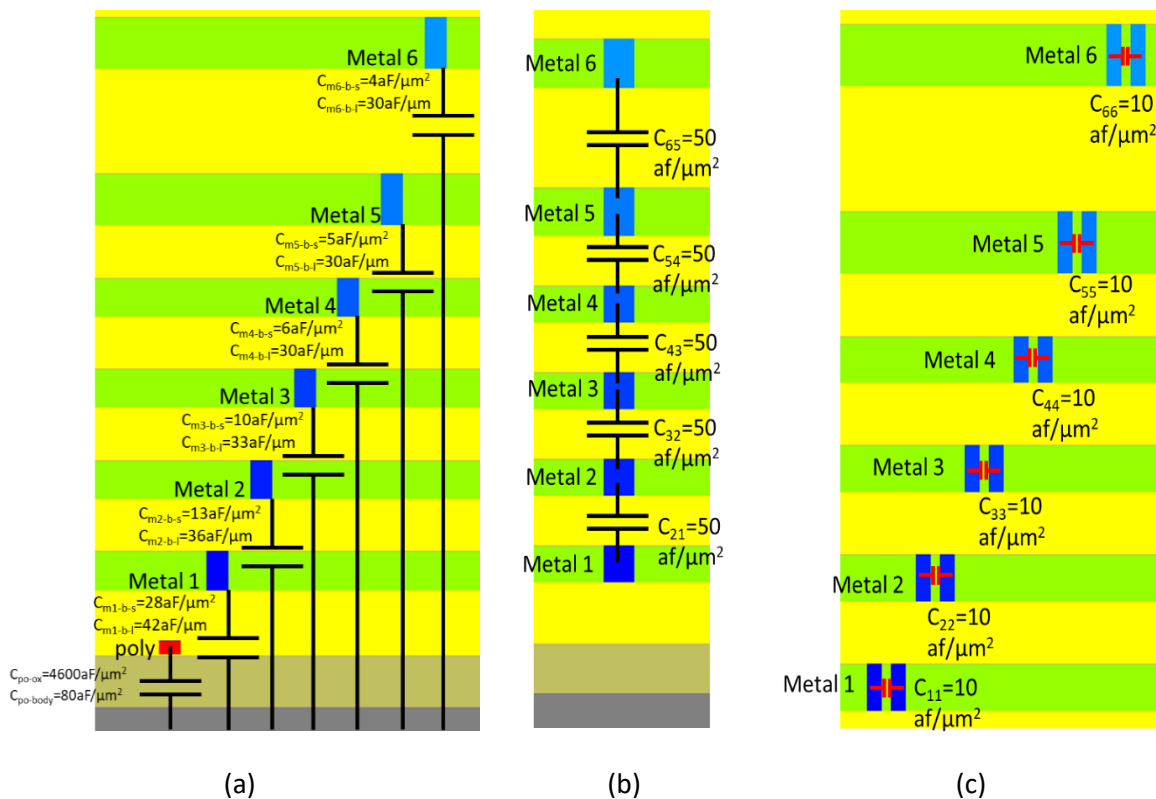


Εικ. 3.21 (a) Σχηματισμός χωρητικότητων (b) Ισοδύναμο του (a) (c), (d) Παραδείγματα χωροθεσίας. Ένας πυκνωτής μπορεί να συμπεριλαμβάνεται ως κυψελίδα (cell) στις περισσότερες βιβλιοθήκες λογικής (logic cell libraries).

Κάθε εναποτιθέμενο υμένιο διαχωρίζεται από το υπόστρωμα με μια περιοχή οξειδίου, οπότε παράγεται παρασιτική χωρητικότητα της τάξης $1\text{aF}/\mu\text{m}^2 = 10^{-18}\text{F}/\mu\text{m}^2$. Ουσιαστικά όλα τα στρώματα παράγουν παρασιτικούς πυκνωτές. Π.χ., είδαμε ότι τα στρώματα διάχυσης παράγουν πυκνωτές τύπου διόδου (n+/p-, p+/n) και ότι χωρητικότητα επιφάνειας σχηματίζει κατακόρυφα και πλευρικά παρασιτικά με το υπόστρωμα. Επίσης, παρασιτικές χωρητικότητες ανάμεσα σε μεταλλικά υμένια μπορεί να σχηματίζονται τόσο κατακόρυφα όσο και οριζόντια (**Εικ. 3.22**, **Εικ. 3.23**).



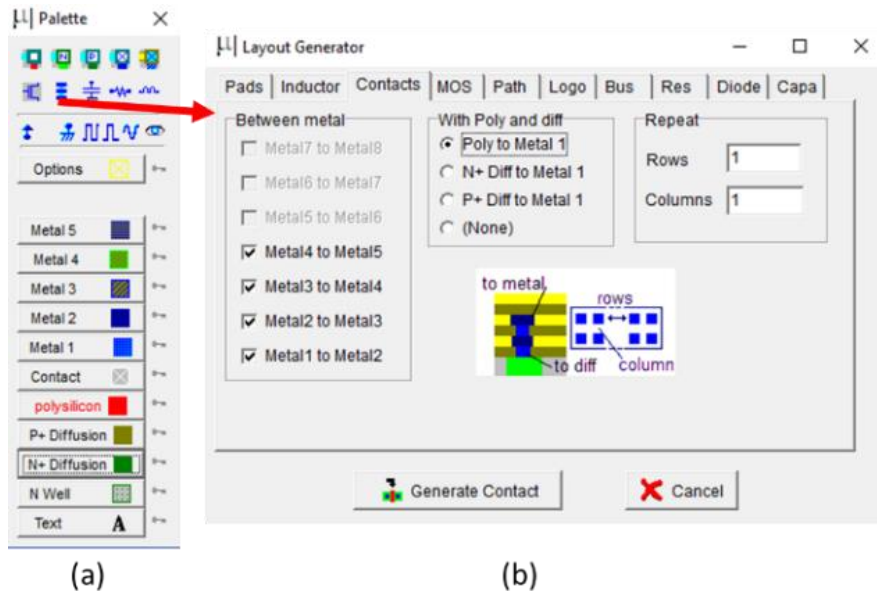
Εικ. 3.22 Παρασιτικές χωρητικότητες ανάμεσα σε μεταλλικά υμένια.



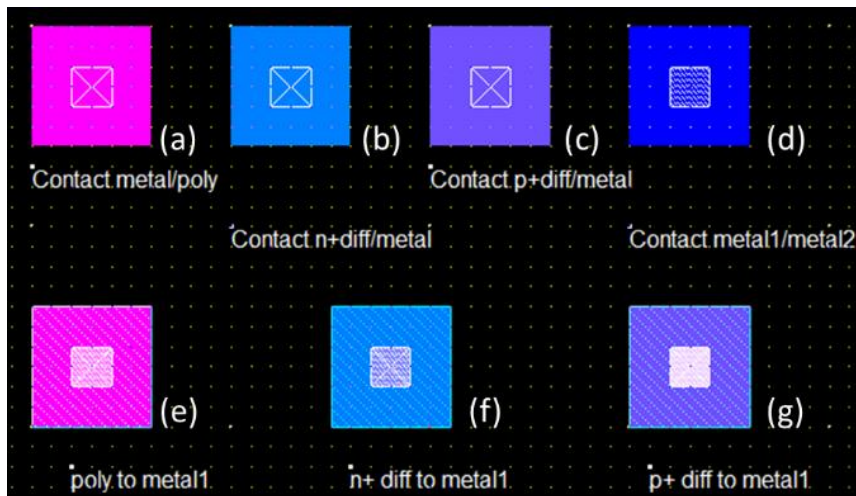
Εικ. 3.23 (a) Παράμετροι χωρητικότητας σε σχέση με την επιφάνεια στρώματος. (b) Παράμετροι χωρητικότητας σε σχέση με τη διασταυρωμένη ζεύξη των εσωτερικών στρωμάτων (c) Παράμετροι χωρητικότητας σε σχέση με την πλευρική διασταυρωμένη ζεύξη.

3.3 ΕΠΑΦΕΣ (CONTACTS)

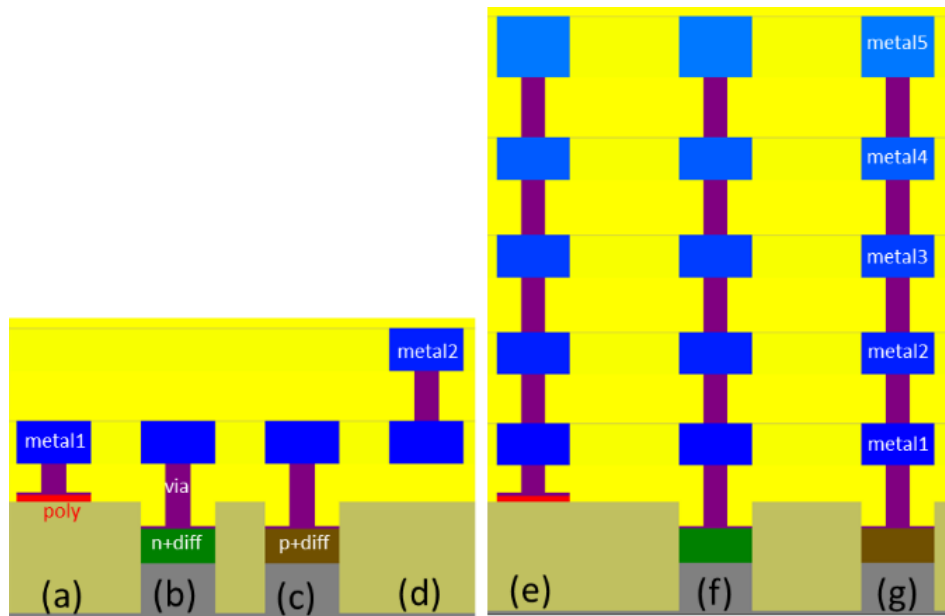
Η τεχνολογία κατασκευής ολοκληρωμένων κυκλωμάτων (ΟΚ) γίνεται στην πραγματικότητα σε τρεις διαστάσεις. Τα διάφορα υμένα είναι τοποθετημένα σε διαφορετικά βάθη σε ένα ΟΚ. Η εσωτερική διασύνδεση διάφορων στρωμάτων απαιτεί επαφές (contacts) και συγκολλήσεις (viases). Η παλέτα εργαλείων του Microwind (**Εικ. 3.24(a)**) προσφέρει ένα σύνολο από προκαθορισμένες επαφές για την εσωτερική διασύνδεση του metal-1 με polysilicon, n+ diffusion, p+ diffusion και metal-2. Επιπλέον, το λογισμικό προσφέρει τη δυνατότητα δημιουργίας σύνθετης-επαφής (complex contact) (**Εικ. 3.24(b)**), που συνδέει τα ανώτερα επίπεδα μετάλλου με υμένα βαθιά στη δομή του ΟΚ, μέσω μιας μεταλλικής διαδρομής (**Εικ. 3.25/3.26**).



Εικ. 3.24 Στην παλέτα εργαλείων του Microwind (a) υπάρχει το σύμβολο δημιουργίας επαφών μέσω του οποίου δημιουργείται κάθε είδος απλής ή σύνδετης σύνδεσης των διαφόρων υμενίων σε όλο το ύψος του OK.



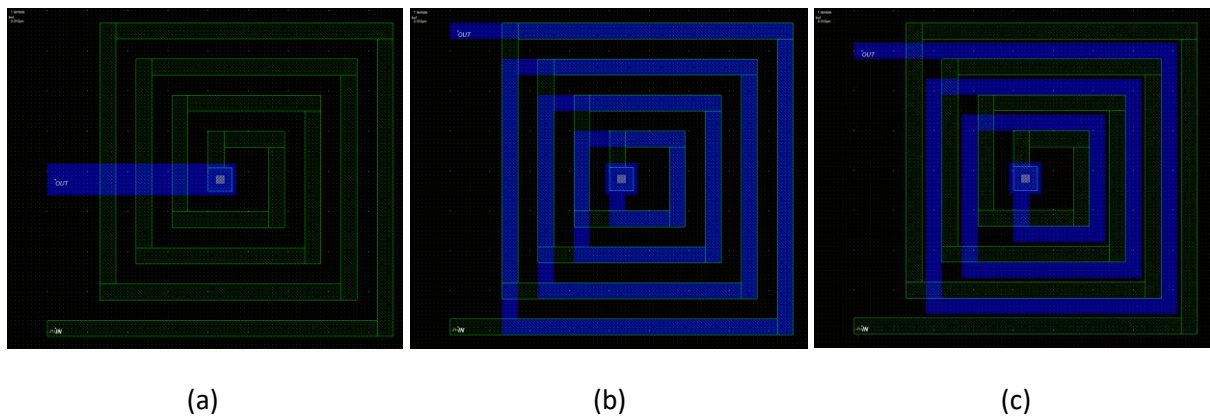
Εικ. 3.25 Παραδείγματα κάτοψης απλών επαφών/συνδέσεων. (a) metal-1 to poly (b) n+ diff to metal (c) p+ diff to metal (d) metal-1 to metal-2 (e) poly to metal-1 (f) n+ diff to metal-1 (g) p+ diff to metal-1.



Εικ. 3.26 Παραδείγματα διατομών απλών και πιο σύνθετων επαφών/συνδέσεων. (a) metal-1 to poly (b) n+ diff to metal (c) p+ diff to metal (d) metal-1 to metal-2 (e) poly to metal-1 (f) n+ diff to metal-1 (g) p+ diff to metal-1.

3.4 ΠΗΝΙΑ

Τα πηνία (**Εικ. 3.27**) χρησιμοποιούνται σε κυκλώματα φιλτραρίσματος, ενίσχυσης ή συντονισμού, ειδικά σε εφαρμογές ραδιοσυχνοτήτων (RF). Η διάταξη/κάτοψη ενός πηνίου σε ένα τσιπ είναι συνήθως μια τετραγωνική σπείρα, καθώς οι στάνταρ CMOS διεργασίες προϋποθέτουν όλες τις γωνίες να είναι 90°. Όταν αυτό είναι εφικτό, μια πολυγωνική σπείρα η οποία έχει διαδρομές 45° χρησιμοποιείται για να αυξήσει την ηλεκτρική απόδοση του πηνίου.



Εικ. 3.27 Παραδείγματα χωροθεσίας πηνίων.

3.5 MOSFETs

Οι διατάξεις nMOS και pMOS δεν θα αναλυθούν σε αυτό το σημείο, γιατί σε επόμενα κεφάλαια γίνεται διεξοδική μελέτη της συμπεριφοράς τους. Πρέπει ωστόσο να βρίσκονται σε ένα κεφάλαιο που περιλαμβάνει τα βασικά εξαρτήματα της VLSI σχεδίασης. Η λειτουργία τους ως διακόπτες υλοποιεί το σύνολο των πυλών ψηφιακής λογικής, ενώ χρησιμοποιούνται και σε κάθε είδους αναλογική σχεδίαση. Για προσομοιώσεις MOS

κυκλωμάτων στο λογισμικό TINA Pro μπορούμε να χρησιμοποιήσουμε SPICE μοντέλα επιπέδου 7 (BSIM3v3) για nMOS και pMOS τεχνολογίας TSMC 0.35 μm με παραμέτρους που φαίνονται στις **λίστες 3.1 και 3.2**.

```
.MODEL NMOS4 NMOS
+LEVEL=7 Tnom=27.0 Nch= 2.498E+17
+Tox=9E-09 Xj=1.00000E-07 Lint=9.36e-8 Wint=1.47e-7
+Vth0= 0.6322 K1= .756 K2= -3.83e-2 K3= -2.612
+Dvt0= 2.812 Dvt1= 0.462 Dvt2=-9.17e-2 Nlx= 3.52291E-08
+W0= 1.163e-6 K3b= 2.233 Vsat= 86301.58 Ua= 6.47e-9
+Ub= 4.23e-18 Uc=-4.706281E-11 Rdsw= 650 U0= 388.3203
+wr=1 A0= .3496967 Ags=.1 B0=0.546 B1= 1
+ Dwg = -6.0E-09 Dwb = -3.56E-09 Prwb = -.213
+Keta=-3.605872E-02 A1= 2.778747E-02 A2= .9
+Voff=-6.735529E-02 NFactor= 1.139926 Cit= 1.622527E-04
+Cdsc=-2.147181E-05 Cdscb= 0 Dvt0w = 0 Dvt1w = 0
+Dvt2w = 0 Cdscd = 0 Prwg = 0 Eta0= 1.0281729E-02
+Etab=-5.042203E-03 Dsub= .31871233 Pclm= 1.114846
+Pdiblc1= 2.45357E-03 Pdiblc2= 6.406289E-03
+DROUT= .31871233 Pscbe1= 5000000 Pscbe2= 5E-09
+Pdiblc = -.234 Pvag= 0 delta=0.01 Wl = 0
+Ww = -1.420242E-09 Wwl = 0 Wln = 0 Wwn = .2613948
+Ll = 1.300902E-10 Lw = 0 Lwl = 0 Lln = .316394
+ Lwn = 0 kt1=-.3 kt2=-.051 At= 22400 Ute=-1.48
+Ua1= 3.31E-10 Ub1= 2.61E-19 Uc1= -3.42e-10
+Kt1l=0 Prt=764.3
```

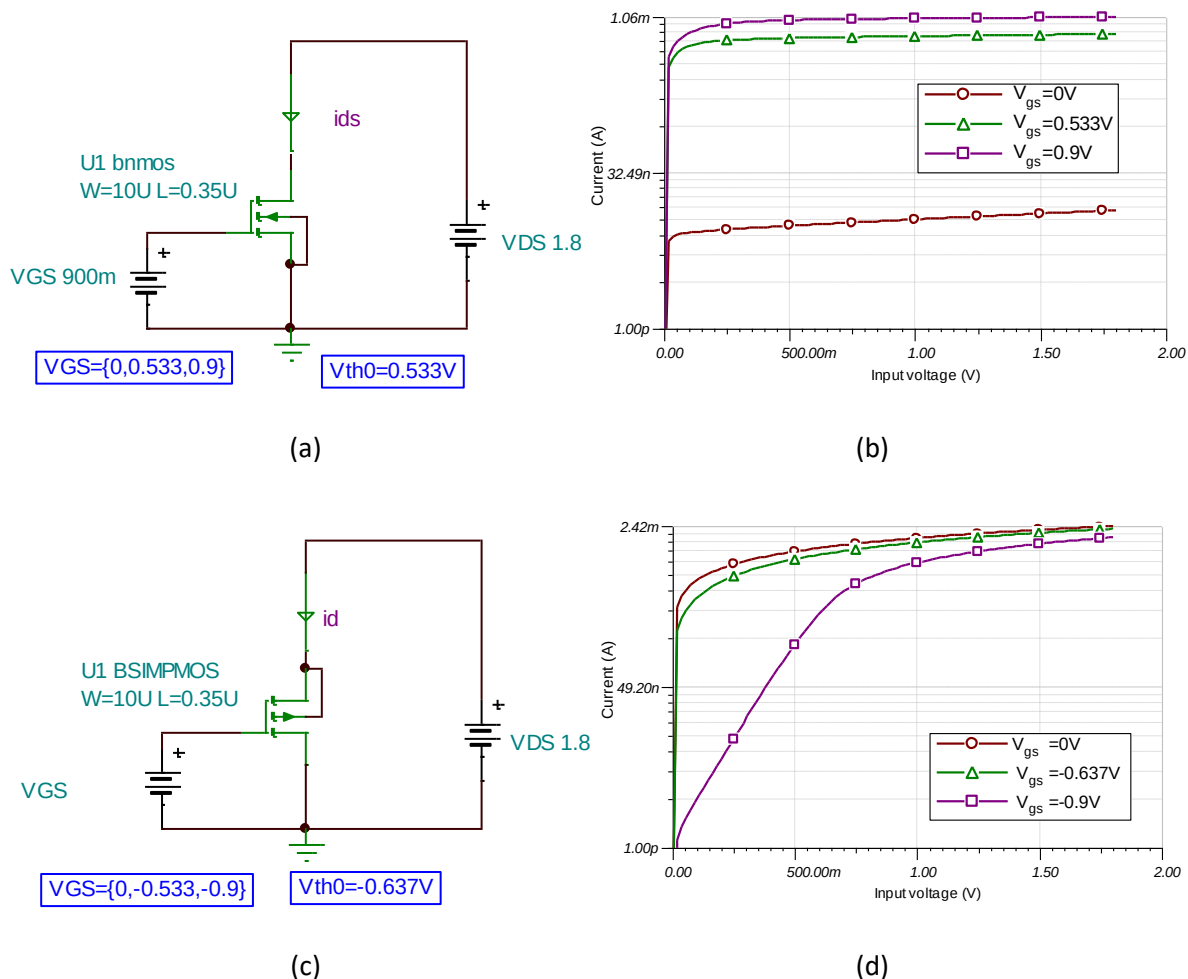
Λίστα 3.1 BSIM3 nMOS SPICE παράμετροι.

```
.model PMOS4 PMOS
+Level= 7 Tnom=27.0 Nch= 3.533024E+17
+Tox=9E-09 Xj=1.00000E-07 Lint=6.23e-8 Wint=1.22e-7
+Vth0=-0.6732829 K1= .8362093 K2=-8.606622E-02 K3= 1.82
+Dvt0= 1.903801 Dvt1= .5333922 Dvt2=-.1862677 Nlx= 1.28e-8
+W0= 2.1e-6 K3b= -0.24 Prwg=-0.001 Prwb=-0.323
+Vsat= 103503.2 Ua= 1.39995E-09 Ub= 1.e-19 Uc=-2.73e-11
+ Rdsw= 460 U0= 138.7609 A0= .4716551 Ags=0.12
+Keta=-1.871516E-03 A1= .3417965 A2= 0.83+Voff=-.074182 NFactor=
1.54389 Cit=-1.015667E-03
+Cdsc= 8.937517E-04 Cdscb= 1.45e-4 Cdscd=1.04e-4
+ Dvt0w=0.232 Dvt1w=4.5e6 Dvt2w=-0.0023
+Eta0= 6.024776E-02 Etab=-4.64593E-03 Dsub= .23222404
+Pclm= .989 Pdiblc1= 2.07418E-02 Pdiblc2= 1.33813E-3
+DROUT= .3222404 Pscbe1= 118000 Pscbe2= 1E-09 Pvag= 0
+kt1= -0.25 kt2= -0.032 prt=64.5 At= 33000 Ute= -1.5
+Ua1= 4.312e-9 Ub1= 6.65e-19 Uc1= 0 Kt1l=0
```

Λίστα 3.2 BSIM3 pMOS SPICE παράμετροι.

Για παράδειγμα, στην **Εικ. 3.28** παρουσιάζεται μια DC ανάλυση και καταγράφεται η χαρακτηριστική IV για ένα nMOS και ένα pMOS. Και οι δύο διατάξεις έχουν $W=10\mu\text{m}$ και $L=0.35\mu\text{m}$. Input Voltage είναι η V_{DS} ,

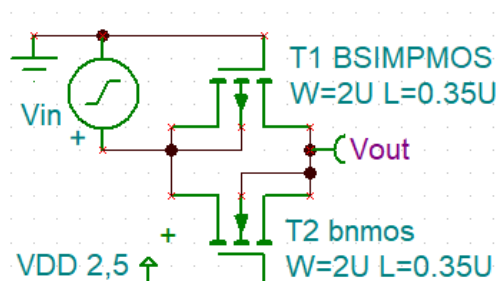
ενώ οι τιμές της V_{GS} φαίνονται στα σχέδια και στα διαγράμματα. Παρατηρούμε ότι η μείωση του V_{GS} μειώνει το I_{DS} για το nMOS αλλά το αυξάνει για το pMOS.



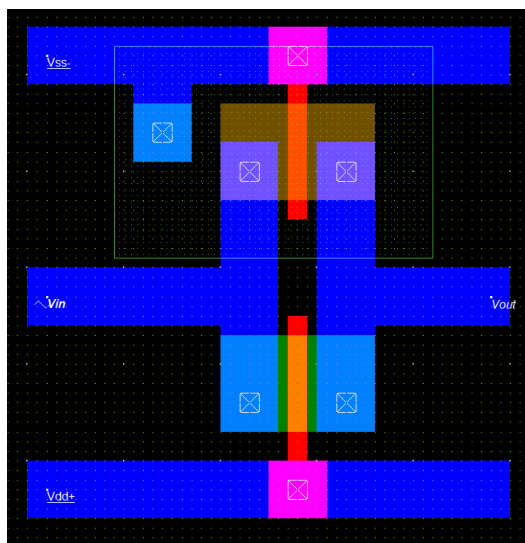
Εικ. 3.28 (a) nMOS κύκλωμα μελέτης για IV χαρακτηριστικά. (b) nMOS IV. (c) pMOS κύκλωμα μελέτης για IV χαρακτηριστικά (d) pMOS IV.

3.6 ΑΝΑΛΟΓΙΚΟΣ ΔΙΑΚΟΠΤΗΣ (ΠΥΛΗ ΜΕΤΑΔΟΣΗΣ)

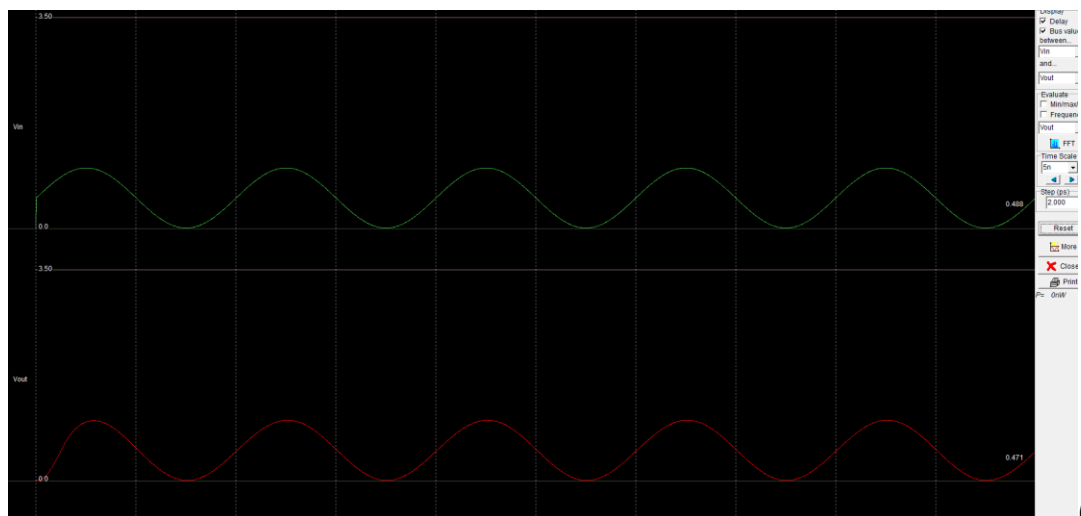
Ο αναλογικός διακόπτης ή πύλη μετάδοσης μεταβιβάζει με ακρίβεια το σήμα εισόδου, αρκεί η πύλη του pMOS να είναι συνδεδεμένη στη γείωση και του nMOS στην τροφοδοσία. Με τον τρόπο αυτόν άγουν και οι δύο διατάξεις εξασφαλίζοντας αξιόπιστη μεταφορά της εισόδου στην έξοδο. Στην **Εικ. 3.29** φαίνεται το σχέδιο της πύλης μετάδοσης στο TINA, σε κάτοψη στο Microwind και παράδειγμα προσομοίωσης πάλι στο Microwind. Περισσότερα στοιχεία για την πύλη μετάδοσης έχουν αναφερθεί στο Κεφάλαιο 2.



(a)



(b)



(c)

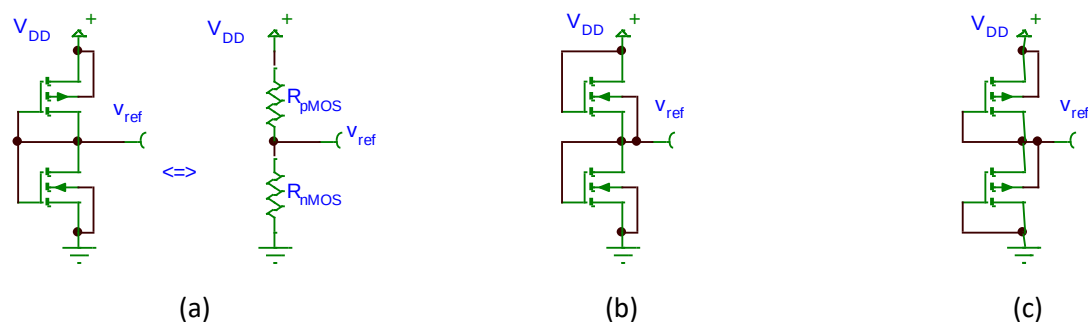
Εικ. 3.29 Κύκλωμα, χωροθεσία και παράδειγμα προσομοίωσης πύλης μετάδοσης.

3.7 ΤΑΣΗ ΑΝΑΦΟΡΑΣ (VOLTAGE REFERENCE)

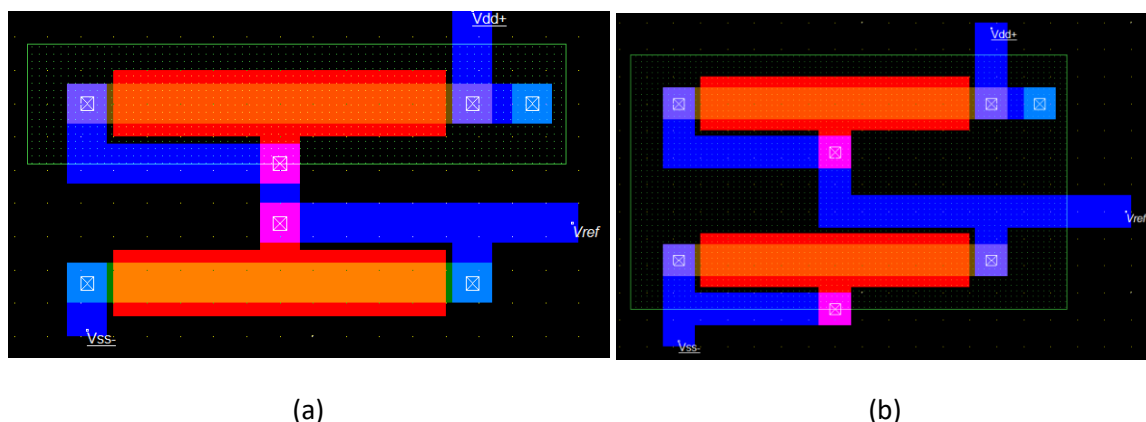
Τάση αναφοράς προκύπτει από κύκλωμα διαίρεσης τάσης υλοποιημένο με αντιστάτες. Η τιμή της αντίστασης θα πρέπει να είναι αρκετά μεγάλη ώστε να διατηρεί το ρεύμα χαμηλά και να αποφεύγουμε την άσκοπη κατανάλωση ισχύος. Αν χρησιμοποιήσουμε MOS διατάξεις σε συνδεσμολογία διόδου, που προσομοιώνει αντίσταση, αντί για χρήση polysilicon ή υμενίων διάχυσης, η επιφάνεια του διαιρέτη τάσης θα είναι σχετικά μικρή. Αυτό μπορεί να γίνει είτε με nMOS είτε με pMOS (Εικ. 3.30). Τα pMOS, επειδή έχουν μικρότερη ευκινησία φορέων, εμφανίζουν μεγαλύτερη αντίσταση σε σχέση με τα nMOS. Ένα συνηθισμένο σχέδιο διαιρέτη τάσης χρησιμοποιεί τόσο nMOS όσο και pMOS.

Στην Εικ. 3.31(a) φαίνονται οι χωροθεσίες των pMOS και nMOS ίδιου μεγέθους για έναν διαιρέτη τάσης. Επειδή το pMOS έχει μικρότερη ευκινησία φορέων, η V_{ref} προκύπτει λίγο μικρότερη από $V_{DD}/2$. Συνεπώς, η επίτευξη ακριβούς $V_{DD}/2$ απαιτεί υπολογισμό του κατάλληλου πλάτους των MOS, κάτι που δεν είναι εύκολη διαδικασία, καθώς εξαρτάται σε σημαντικό βαθμό από το πόσο λεπτομερή είναι τα μοντέλα περιγραφής των διατάξεων. Στην Εικ. 3.31(b) παρουσιάζεται η αντίστοιχη χωροθεσία με χρήση δύο pMOS.

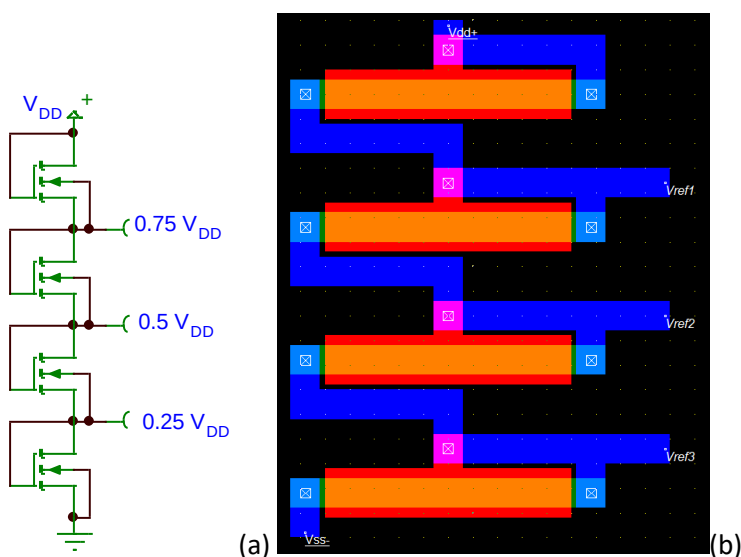
Η απαραίτητη τάση κατωφλίου για την ενεργοποίηση των διατάξεων δεν επιτρέπει τη δημιουργία διαιρέτη τάσης με περισσότερες από τρεις ενδιάμεσες υποδιαιρέσεις (Εικ. 3.32). Στην περίπτωση αυτή, η μικρότερη υποδιάρθρωση βρίσκεται σε δυναμικό μικρότερο της τάσης κατωφλίου, που ενώ είναι χρήσιμη για εφαρμογές χαμηλής κατανάλωσης ισχύος, εισάγει ταυτόχρονα καθυστερήσεις στη λειτουργία της διάταξης. Σε περίπτωση που απαιτούνται περισσότερες από τρεις τάσεις αναφοράς, το κύκλωμα υλοποιείται με χρήση αντιστάσεων από polysilicon (Εικ. 3.33).

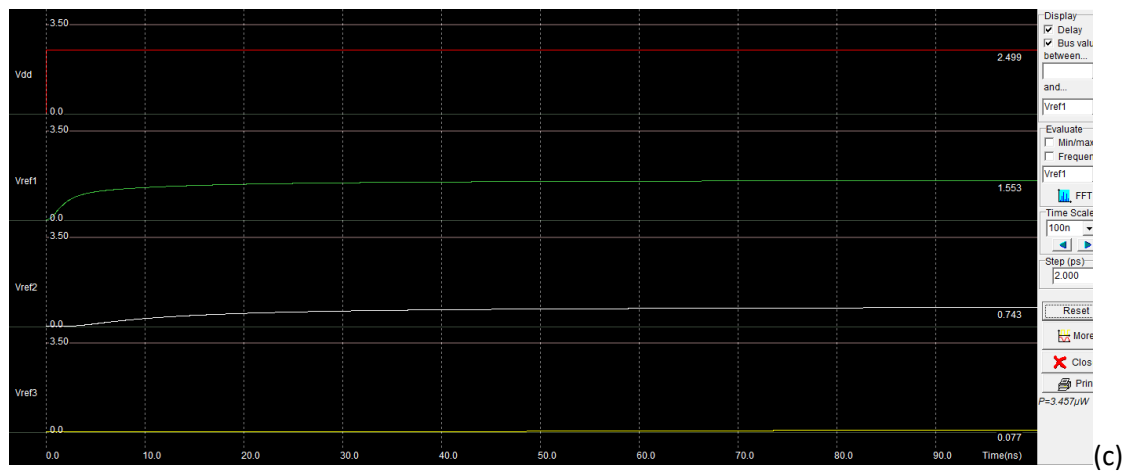


Εικ. 3.30 Διαιρέτης τάσης με MOS-συνδεσμολογίας-διόδου. (α) Συνδυασμός pMOS/nMOS. (β) Συνδυασμός nMOS. (γ) Συνδυασμός pMOS.

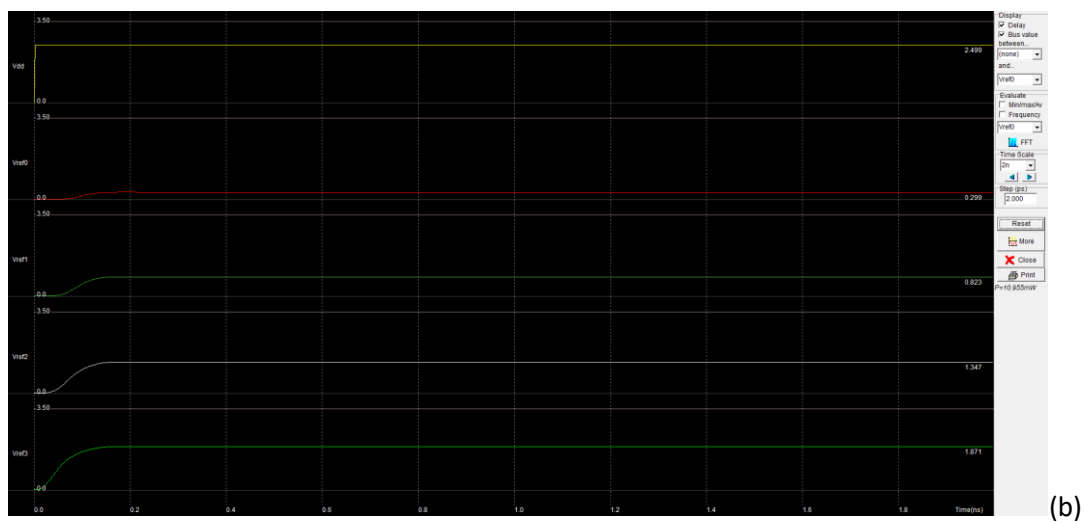
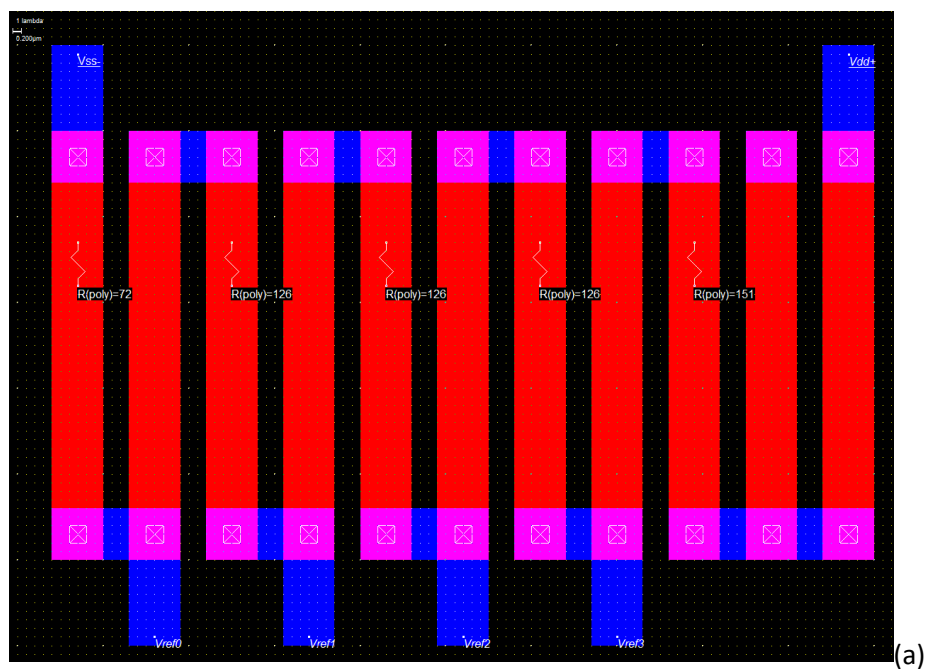


Εικ. 3.31 Κατόψεις χωροθεσιών διαιρέτη τάσης. (α) Συνδεσμολογία pMOS και nMOS ίδιου μεγέθους. (β) Συνδεσμολογία δύο pMOS.





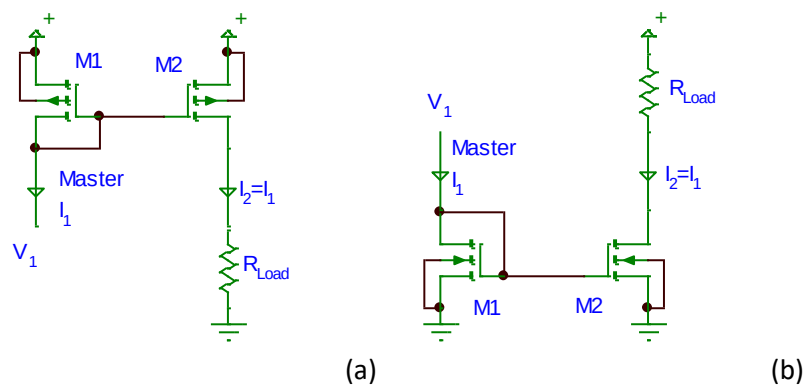
Εικ. 3.32 Παραγωγή τριών τάσεων αναφοράς.



Εικ. 3.33 Χρήση αντιστάσεων polysilicon για πολλαπλές τάσεις αναφοράς.

3.8 ΚΑΘΡΕΠΤΗΣ ΡΕΥΜΑΤΟΣ (CURRENT MIRROR)

Ο καθρέπτης ρεύματος (current mirror) είναι το πιο χρήσιμο κύκλωμα στην αναλογική σχεδίαση. Η κύρια χρήση του είναι στην αντιγραφή ρεύματος. Επειδή η βασική αρχή στην αντιγραφή ρεύματος είναι αυτό να μην εξαρτάται από την V_{ds} , συνεπάγεται ότι το MOS μεγάλου καναλιού είναι προτιμότερο από αντίστοιχο με μικρό κανάλι, παρόλο που το δεύτερο λειτουργεί ταχύτερα. Η **Εικ. 3.34** δείχνει την περίπτωση καθρέπτη ρεύματος με pMOS και με nMOS. Η έννοια της αντιγραφής ρεύματος είναι στο ότι το ρεύμα I_2 πάνω στο φορτίο είναι το ίδιο με το ρεύμα I_1 που διαρρέει τη master διάταξη. Η **Εικ. 3.35** δείχνει μια απλή κάτοψη nMOS καθρέπτη ρεύματος.



Εικ. 3.34 (a) Απλός pMOS καθρέπτης ρεύματος. (b) Απλός nMOS καθρέπτης ρεύματος.

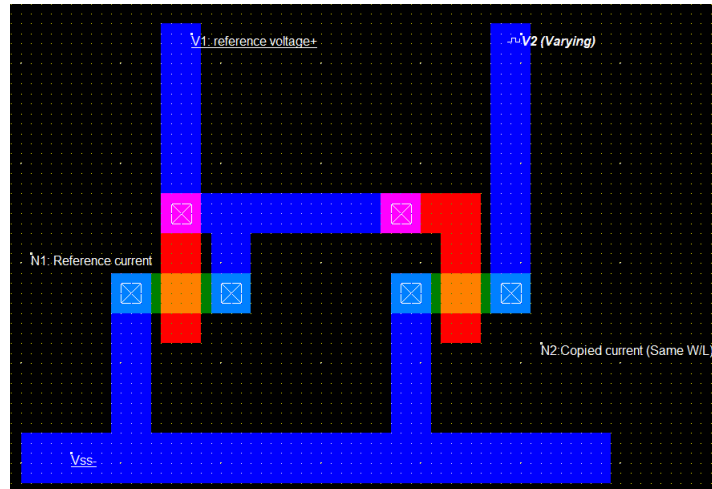
Γενικοί σχεδιαστικοί κανόνες της χωροθεσίας που οδηγούν σε καλή λειτουργία του κυκλώματος καθρέπτη ρεύματος είναι οι εξής:

(i) Όλες οι MOS διατάξεις πρέπει να έχουν τον ίδιο προσανατολισμό (orientation), ώστε να μην επηρεάζονται από τις διεργασίες κατασκευής που οδηγούν σε διαφορές στην τελική διάσταση του καναλιού ίδιων κατά τα άλλα MOS αλλά με διαφορετικό προσανατολισμό κάτοψης. Δηλαδή, αν το ένα MOS του καθρέπτη ρεύματος είναι σχεδιασμένο με το κανάλι του οριζόντιο και το άλλο με το κανάλι του κάθετο, θα υπάρχει διαφορά στο ρεύμα αντιγραφής.

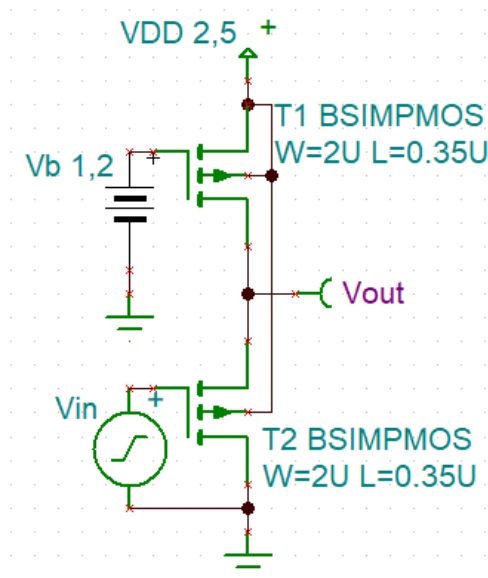
(ii) MOS μεγάλου μήκους καναλιού δίνουν καλύτερη ακρίβεια αντιγραφής, γιατί η διαμόρφωση καναλιού (channel length modulation) είναι μικρή, οπότε το I_{ds} είναι σχεδόν ανεξάρτητο του V_{ds} .

(iii) Ψευδοπύλες (dummy gates) πρέπει να σχεδιάζονται περιμετρικά του καθρέπτη ρεύματος. Παρόλο που αυτό οδηγεί σε απώλεια επιφάνειας πυριτίου, η σχηματοποίηση των ενεργών πυλών θα δώσει έτσι πιο κανονικά σχέδια, οπότε θα επιτευχθεί αντιγραφή ρεύματος υψηλής ποιότητας.

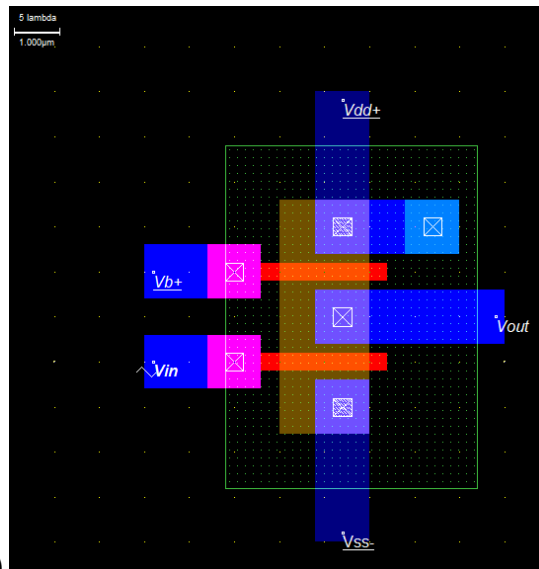
(iv) Οι διατάξεις MOS πρέπει να σχεδιάζονται παράλληλα. Επίσης, αν είναι δυνατό, τμήματα των δύο MOS πρέπει να εναλλάσσονται (interleaved) μεταξύ τους ώστε οι διαβαθμίσεις αντίστασης και χωρητικότητας με τη θέση πάνω στο υπόστρωμα να περιορίζονται.



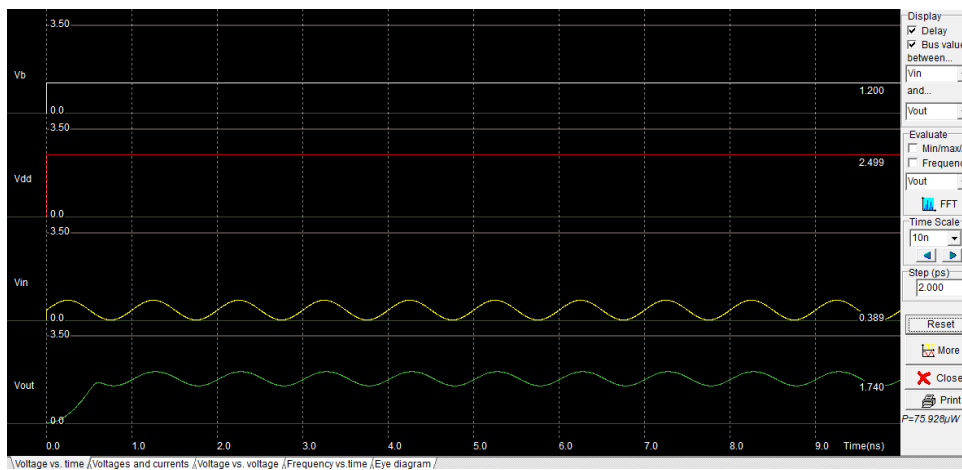
Εικ. 3.35 Κάτοψη χωροθεσίας καθρέπτη ρεύματος nMOS.



(a)



(b)



(c)

Εικ. 3.36 Παράδειγμα ενισχυτή ενός σταδίου. (a) Σχέδιο κυκλώματος. (b) Κάτοψη χωροθεσίας. (c) Προσομοίωση λειτουργίας στο περιβάλλον του Microwind.

3.9 ΕΝΙΣΧΥΤΕΣ

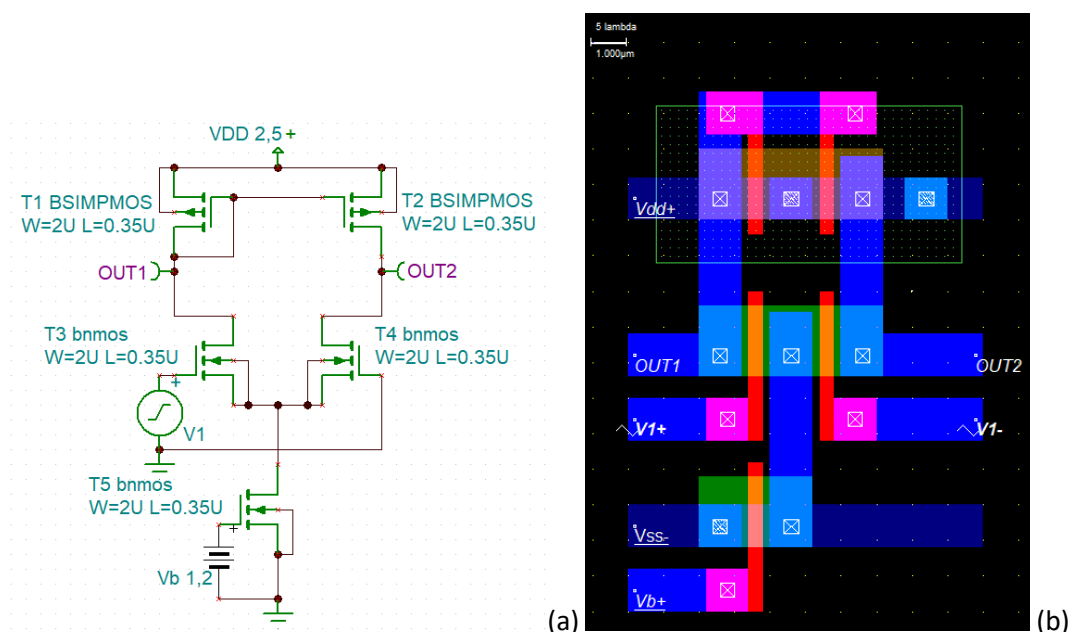
Οι ενισχυτές χρησιμοποιούν τον καθρέπτη ρεύματος κατάλληλα ώστε να αντιγράψουν και να ενισχύσουν το ρεύμα στην έξοδό τους. Η μελέτη τους αποτελεί ένα αυτόνομο σώμα θεωρίας από μόνη της. Εδώ απλά θα δείξουμε ορισμένα παραδείγματα, που όπως και όλα τα προηγούμενα, καλό είναι να τα επανασχεδιάσει ο αναγνώστης για να εξοικειωθεί με τα κυκλώματα και την προσομοίωσή τους.

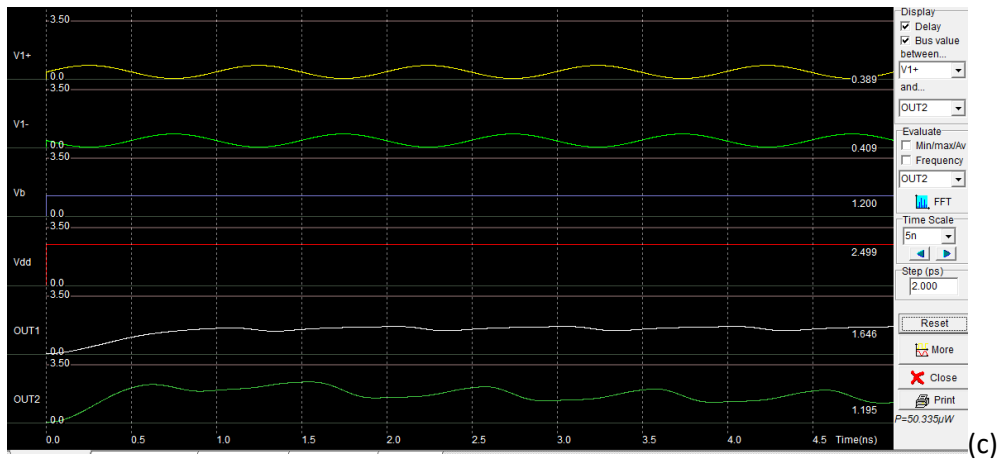
Στην **Εικ. 3.36** παρουσιάζεται παράδειγμα ενισχυτή ενός σταδίου (τύπου ακόλουθου πηγής (source follower)). Οι ακόλουθοι της πηγής έχουν μεγάλη σύνθετη αντίσταση εισόδου και μικρή σύνθετη αντίσταση εξόδου, αλλά με το κόστος της μη γραμμικότητας και τον περιορισμό των περιθωρίων τάσης λειτουργίας. Ακόμα και όταν είναι πολωμένοι από μια ιδανική πηγή ρεύματος, υπάρχει μη γραμμικότητα εισόδου-εξόδου εξαιτίας της μη γραμμικής εξάρτησης της τάσης κατωφλίου από το δυναμικό πηγής.

Ο διαφορικός ενισχυτής (differential amplifier) είναι ένα από τα πιο ευέλικτα κυκλώματα στην αναλογική σχεδίαση. Είναι επίσης αρκετά συμβατός με τις τεχνολογίες OK και χρησιμοποιεί τελεστικούς ενισχυτές. Στην **Εικ. 3.37(a)** φαίνεται ένα παράδειγμα διαφορικού ενισχυτή. Οι τάσεις v_1 , v_2 και V_{out} αναφέρονται ως προς τη γείωση και ονομάζονται *τάσεις μονής απόληξης*, επειδή ορίζονται με βάση τη γείωση. Η διαφορά των εισόδων (differential input) είναι $V_{ID}=v_1-v_2$, η τάση κοινού τρόπου (common mode) V_{IC} ορίζεται ως η μέση τιμή των v_1 και v_2 . Στόχος του κυκλώματος του διαφορικού ενισχυτή είναι να ενισχύσει μόνο τη διαφορά μεταξύ των δυο δυναμικών ανεξάρτητα από το κέρδος κοινής-λειτουργίας. Ένα χαρακτηριστικό που επηρεάζει την απόδοση του διαφορικού ενισχυτή είναι η τάση αντιστάθμισης, ειδικά στην περίπτωση της CMOS σχεδίασης.

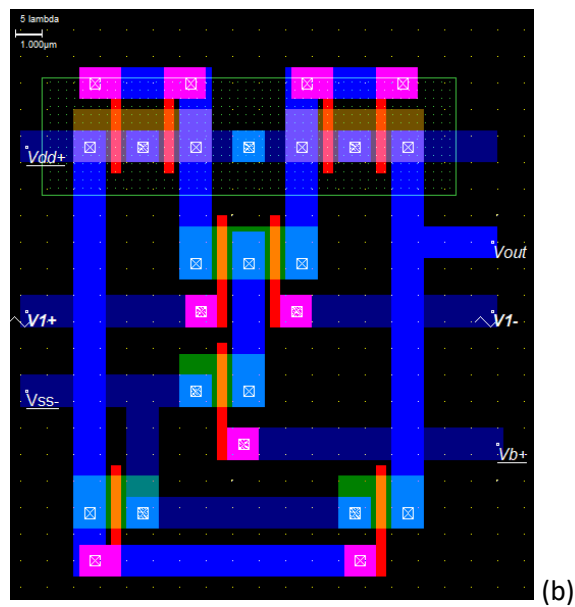
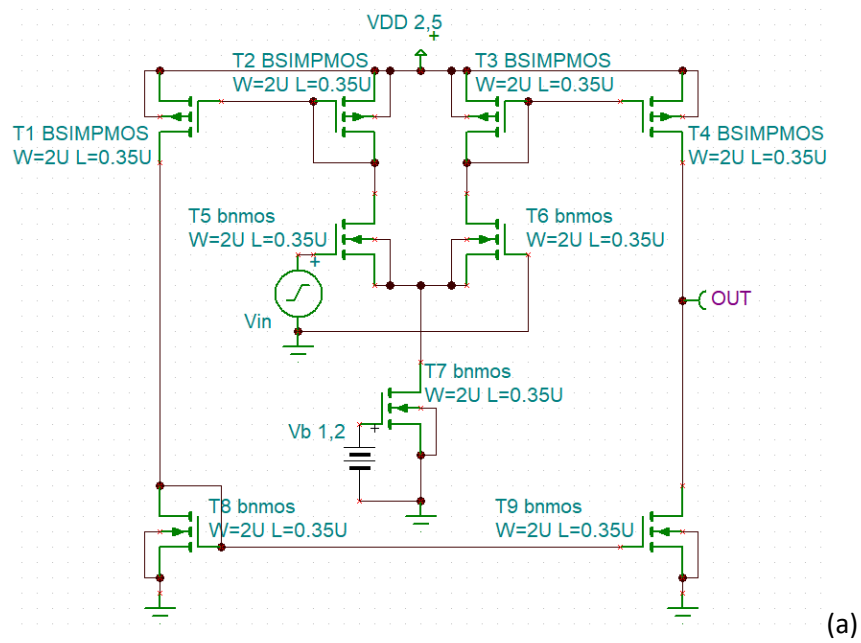
Στην **Εικ. 3.37(a)** οι διατάξεις T3 και T4 δημιουργούν ένα διαφορικό ζεύγος, που ονομάζεται *ζεύγος συζευγμένης πηγής* (source coupled pair). Για την ανάλυση μεγάλου σήματος, πρέπει να θεωρήσουμε ότι T1 και T2 είναι προσαρμοσμένα (matched) καθώς και ότι είναι πάντα στον κόρο. Στην **Εικ. 3.37(b)** φαίνεται κάτοψη της χωροθεσίας του διαφορικού ενισχυτή και στην **Εικ. 3.37(c)** ένα παράδειγμα χρονικής προσομοίωσης της λειτουργίας του κυκλώματος.

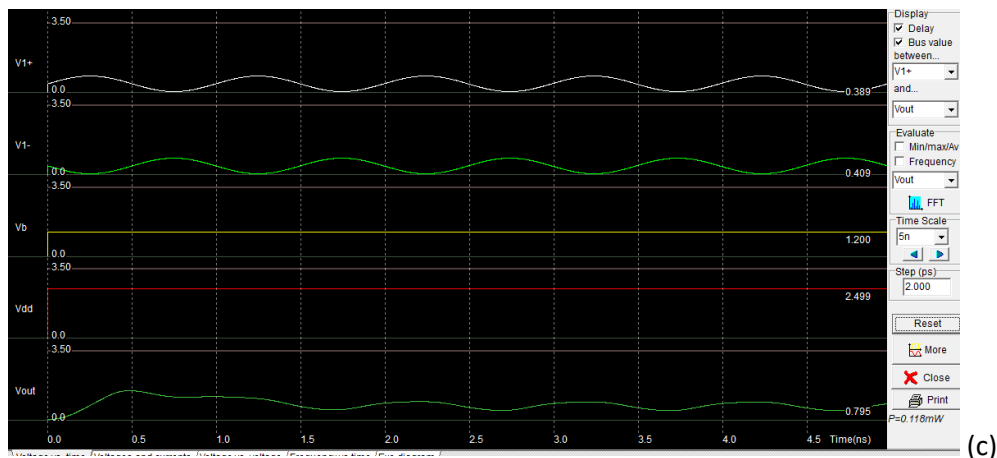
Όπως προκύπτει και από το όνομά του, ο ενισχυτής μεγάλης εμβέλειας (long range amplifier) της **Εικ. 3.38** μπορεί να ενισχύσει ένα ευρύ φάσμα από συχνότητες με σταθερή ενίσχυση ή μικρές απώλειες.





Εικ. 3.37 Διαφορικός ενισχυτής.





Εικ. 3.38 Ενισχυτής μεγάλης εμβέλειας.

3.10 ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Binkley, D. M. (2008). *Tradeoffs and Optimization in Analog CMOS Design*. John Wiley & Sons.
2. Camensind, H. (2005). *Designing Analog Chips*, www.designinganalogchips.com
3. Fulde, M. (2010). *Variation Aware Analog and Mixed-Signal Circuit Design in Emerging Multi-Gate CMOS Technologies*. Springer.
4. Ghafar-Zadeh, E., & Sawan, M. (2010). *CMOS Capacitive Sensors for Lab-on-Chip Applications. A Multidisciplinary Approach*. Springer.
5. Grabinski, W., Nauwelaers, B., & Schreurs, D. (2006). *Transistor Level Modeling for Analog/RF IC Design*. Springer.
6. Graeb, H. E. (Editor) (2011). *Analog Layout Synthesis. A Survey of Topological Approaches*. Springer.
7. Gregorian, R., & Temes, G. C. (1986). *Analog MOS Integrated Circuits for Signal Processing*. John Wiley & Sons.
8. Hastings, A. (2001). *The Art of Analog Layout*. Prentice Hall.
9. Johns, D., & Martin, K. (1996). *Analog Integrated Circuit Design*. John Willey & Sons.
10. Leblebici, D., & Leblebici, Y. (2009). *Fundamentals of High-Frequency CMOS Analog Integrated Circuits*. Cambridge University Press.
11. Maloberti, F. (2003). *Analog Design for CMOS VLSI Systems*. Kluwer Academic Publishers.
12. Millman, J., & Halkias, C. C. (1972). *Integrated Electronics: Analog and Digital Circuits and Systems*. McGraw-Hill.
13. Ndjountche, T. (2011). *CMOS Analog Integrated Circuits. High-Speed and Power-Efficient Design*. CRC Press, Taylor & Francis Group.
14. Pederson, D. O., & Mayaram, K. (2008). *Analog Integrated Circuits for Communication. Principles, Simulation and Design*, 2nd Edition. Springer.
15. Razavi, B. (2016). *Design of Analog CMOS Integrated Circuits*, 2nd Edition. McGraw-Hill.
16. Schneider, M. C., & Galup-Montoro, C. (2010). *CMOS Analog Design Using All-Region MOSFET Modeling*. Cambridge University Press.
17. Serra-Graells, F., Rueda, A., & Huertas, J. L. (2004). *Low-Voltage CMOS LOG Companding Analog Design*. Kluwer Academic Publishers.
18. Sicard, E., & Bendhia, S. D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.
19. Stefanovic, D., & Kayal, M. (2008). *Strucutred Analog CMOS Design*. Springer.

20. Sun, Y. (Editor) (2002). *Design of High Frequency Integrated Analogue Filters*. The Institution of Engineering and Technology.
21. Tsividis, Y. (2002). *Mixed Analog-Digital VLSI Devices and Technology*. World Scientific.
22. Van de Wiele, F., Engl, W. L., & Jespers, P. G. (1977). *Process and Device Modeling for Integrated Circuit Design*. Proceeding of the NAT Advanced Study Institute.
23. Weste, N. H. E., & Eshraghian, K. (1985). *Principle of CMOS VLSI Design. A Systems Perspective*. Addison-Wesley.
24. Witte, J. G., Makinwa, K. A. A., & Huijsing, J. H. (2009). *Dynamic Offset Compensated CMOS Amplifiers*. Springer.
25. Ytterdal, T., Cheng, Y., & Fjeldly, T. A. (2003). *Device Modeling for Analog and RF CMOS Circuit Design*. John Wiley & Sons.

ΚΕΦΑΛΑΙΟ 4. ΤΟ ΛΟΓΙΣΜΙΚΟ DSCH

ΣΥΝΟΨΗ

Στο κεφάλαιο αυτό θα γίνει πλήρης σχεδίαση βασικών κυκλωμάτων ψηφιακής λογικής με χρήση του λογισμικού Dsch.

ΣΤΟΧΟΣ

* Πλήρης σχεδίαση και προσομοίωση κυκλωμάτων ψηφιακής λογικής σε επίπεδο εξαρτημάτων.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Βασικές γνώσεις χειρισμού λογισμικού Dsch, TINA Pro ή σχετικού.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.
- * Βασικές πύλες ψηφιακής λογικής.
- * Ακολουθιακά κυκλώματα.
- * Μνήμες.

ΚΕΦΑΛΑΙΟ 4. ΤΟ ΛΟΓΙΣΜΙΚΟ DSCH

4.1 ΕΙΣΑΓΩΓΗ

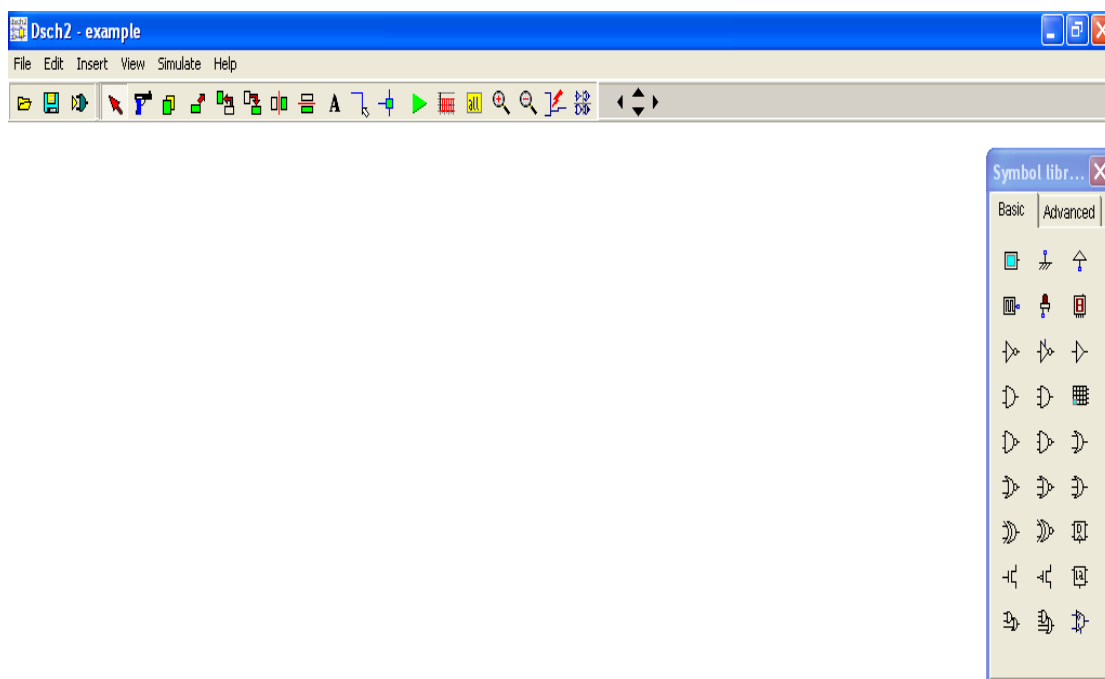
Στις παρακάτω σελίδες παραθέτουμε τις βασικές λειτουργίες του προγράμματος DSCH (**D**igital **S**CHematic), το οποίο «συνεργάζεται» με το MICROWIND για την κατασκευή масκών για τα ολοκληρωμένα σχέδια που ετοιμάζουμε.

Στο DSCH γίνεται η σχεδίαση σε επίπεδο πυλών ή τμημάτων-κώδικα σε γλώσσα Verilog, καθώς και η χρονική προσομοίωση του κυκλώματος.

Το πρόγραμμα δεν χρειάζεται εγκατάσταση. Απλά τοποθετούμε τον φάκελό του σε κάποιο σημείο του υπολογιστή μας, π.χ. τον **C:\DSCH** και στη συνέχεια μπαίνουμε σε αυτόν τον φάκελο και κάνουμε διπλό κλικ στο εκτελέσιμο αρχείο **dsch2.exe** για να ξεκινήσει η εφαρμογή. Το πρόγραμμα το κατεβάζετε από το eclass, από τον χώρο των εγγράφων του μαθήματος της Μικροηλεκτρονικής Σχεδίασης CMOS VLSI (<https://eclass.uniwa.gr/modules/document/?course=EEE199>).

4.2 Η ΕΠΙΦΑΝΕΙΑ ΕΡΓΑΣΙΑΣ ΤΟΥ DSCH

Η επιφάνεια εργασίας του DSCH φαίνεται στην **Εικόνα 4.1**.

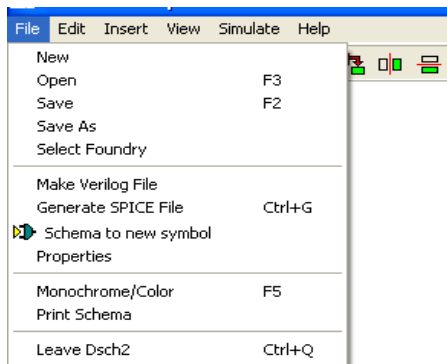


Εικ. 4.1 Η επιφάνεια εργασίας του DSCH.

Στη γραμμή μενού έχουμε τις εξής επιλογές: File, Edit, Insert, View, Simulate και Help. Ας τα πάρουμε όμως με τη σειρά...

4.3 ΜΕΝΟΥ FILE

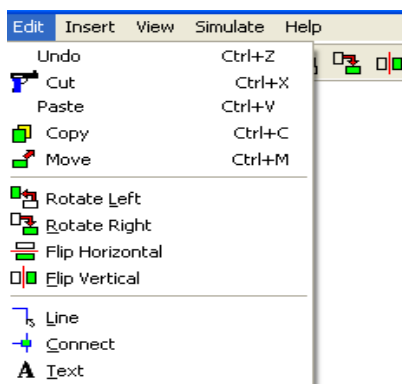
Για την επιλογή **File**:



Εικ. 4.2

4.4 ΜΕΝΟΥ EDIT

Στην καρτέλα **Edit**:



Εικ. 4.3

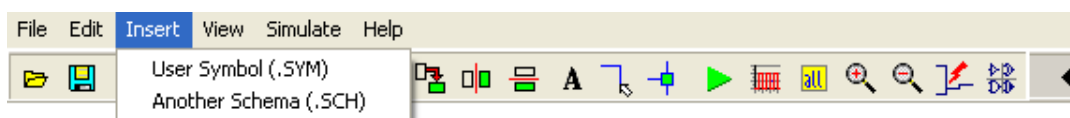
- **New**: Εδώ ανοίγουμε μια νέα κενή σελίδα σχεδίου.
- **Open**: Ανοίγουμε ένα παλιότερο σχέδιό μας.
- **Save** και **Save us**: Εντολές που σώζουν το σχέδιό μας.
- **Schema to new symbol**: Αυτή η εντολή μας επιτρέπει να χρησιμοποιήσουμε το σχέδιο που έχουμε φτιάξει ως ένα ενιαίο εξάρτημα (κουτί), σε ένα άλλο σχέδιο.
- **Properties**: Εδώ βλέπουμε τις ρυθμίσεις που έχουμε κάνει πριν ξεκινήσουμε να σχεδιάζουμε.
- **Monochrome/Color**: Μπορούμε με αυτήν την επιλογή να έχουμε μονόχρωμο φόντο η χρωματιστό.
- **Print Schema**: Εκτυπώνουμε το σχέδιό μας.
- **Leave Dsch2**: Έξοδος προγράμματος.

- **Undo**: Με την επιλογή **Undo** μπορούμε να αναιρέσουμε την προηγούμενη ενέργειά μας.
- **Cut**: Αποκοπή ενός επιλεγμένου αντικείμενου.
- **Paste**: Επικόλληση επιλεγμένου αντικείμενου.
- **Copy**: Αντιγραφή επιλεγμένου αντικείμενου.
- **Move**: Μετακίνηση επιλεγμένου αντικείμενου.
- **Rotate Left or Right**: Εντολές περιστροφής αντικείμενων.
- **Flip Horizontal or Vertical**: Εντολές αναστροφής αντικειμένων.
- **Line**: Το καλώδιο που ενώνει τα αντικείμενα.
- **Connect**: Σημεία σύνδεσης.
- **Text**: Με αυτήν την εντολή μπορούμε να γράψουμε κείμενο σε όποιο σημείο.

4.5 ΜΕΝΟΥ INSERT

Για την καρτέλα **Insert**:

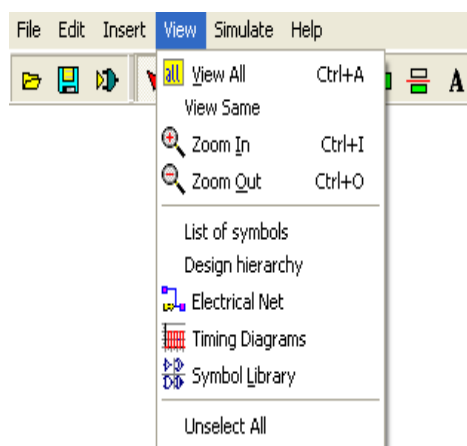
- **User Symbol(.SYM)**: Μπορούμε να εισάγουμε κάποιο σύμβολο από τη βιβλιοθήκη.
- **Another Schema**: Μπορούμε να εισάγουμε κάποιο έτοιμο σχέδιο από τη βιβλιοθήκη.



Εικ. 4.4

4.6 ΜΕΝΟΥ VIEW

Για την καρτέλα **View**:



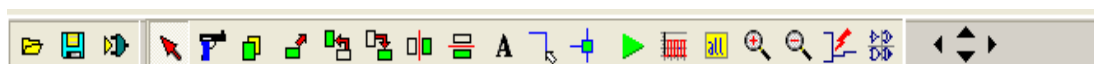
Εικ. 4.5

- **View All:** Μπορούμε να δούμε όλο το σχέδιό μας.
- **Zoom in or out:** Εντολές σμίκρυνσης και μεγέθυνσης.
- **List of symbols and Design hierarchy:** Δείχνουν κάποιες ιδιότητες που αφορούν το σχέδιο.
- **Timing Diagrams:** Χρονικά διαγράμματα.
- **Symbol library:** Είναι η βιβλιοθήκη συμβόλων (υπάρχουν και άλλα σύμβολα που μπορείς να εισάγεις από την εντολή user symbol).
- **Μενού Simulate:** Με την καρτέλα **Simulate** μπορούμε να κάνουμε μια προσομοίωση στο σχέδιό μας.
- **Μενού Help:** Η καρτέλα **Help** χρησιμοποιείται για να μας δώσει πληροφορίες που αφορούν τη χρήση του προγράμματος.

4.7 ΜΕΝΟΥ ΣΥΝΤΟΜΕΥΣΕΩΝ

Στη γραμμή εργαλείων υπάρχουν οι συντομεύσεις από αριστερά προς τα δεξιά: Open, Schema to new symbol, mouse, Cut, Copy, Move, Rotate Left, Rotate Right, Flip Horizontal or Vertical, Text, Add a line, Connect, Run simulation, Timing Diagram, View all, Zoom in, Zoom out, View electrical net, Save, Symbol Library.

Στο τέλος της γραμμής εργαλείων υπάρχει ένας σταυρός ο οποίος χρησιμοποιείται από τον χρήστη για καλύτερη οπτική του σχεδίου. Πατώντας στα βελάκια, μετακινείται η ενεργή επιφάνεια του σχεδίου.



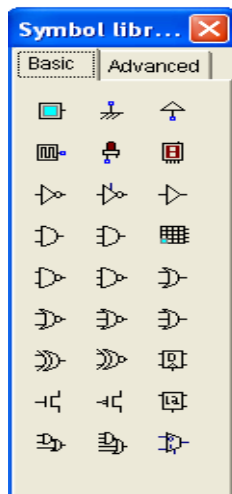
Εικ. 4.6

4.8 ΒΙΒΛΙΟΘΗΚΗ ΣΥΜΒΟΛΩΝ – ΠΑΛΕΤΑ ΕΡΓΑΛΕΙΩΝ/ΣΥΜΒΟΛΩΝ

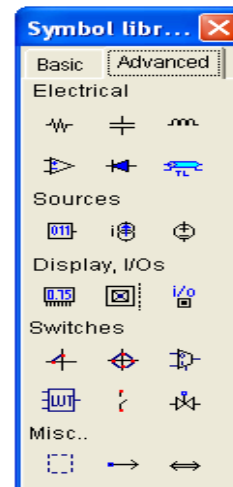
Όσον αφορά τη βιβλιοθήκη συμβόλων (Symbol library), να πούμε ότι εδώ υπάρχουν κάποια σύμβολα που μπορεί να χρησιμοποιήσει ο χρήστης για να δημιουργήσει το σχέδιό του.

Εκτός από τα σχήματα που υπάρχουν στη βιβλιοθήκη συμβόλων, υπάρχουν και άλλα σύμβολα τα οποία μπορούμε να τα χρησιμοποιήσουμε με την εντολή Insert **User Symbol (.SYM)**.

Η βιβλιοθήκη συμβόλων έχει δύο καρτέλες.



Εικ. 4.7 Η καρτέλα basic.



Εικ. 4.8 Η καρτέλα advanced.

Η καρτέλα **Basic** περιέχει σύμβολα όπως βασικές πύλες, γείωση, ρολόι, φλιπ-φλοπ, τρανζίστορ, σύμβολα εισόδου όπως δεκαεξαδικό πληκτρολόγιο, αλλά και σύμβολα εξόδου όπως λαμπάκι και ψηφιακή οθόνη.

Η δεύτερη καρτέλα που ονομάζεται **advanced** περιέχει πιο εξειδικευμένα σύμβολα. Αυτά χωρίζονται σε κατηγορίες και έχουμε:

- **ηλεκτρικά:** αντίσταση, πηνίο, πυκνωτής, δίοδος και τελεστικός ενισχυτής,
- **πηγές:** πηγή τάσης και πηγή ρεύματος,
- **σύμβολα εισόδου εξόδου:** οθόνη με δύο ψηφία, χειριστήριο εισόδου εξόδου και διακόπτης on/off,
- **διακόπτες:** διακόπτης on/off, πύλη μεταφοράς και πολυπλέκτης,
- **διάφορα:** βέλος, βέλη με διπλή κατεύθυνση και κουτί.

4.9 ΠΑΡΑΔΕΙΓΜΑΤΑ ΣΧΕΔΙΑΣΗΣ

Έχοντας μάθει τις βασικές αρχές του προγράμματος, όπως εντολές και χρησιμότητα διαφόρων συμβόλων, η επόμενη κίνησή μας είναι να πραγματοποιήσουμε τα ζητούμενα κυκλώματα.

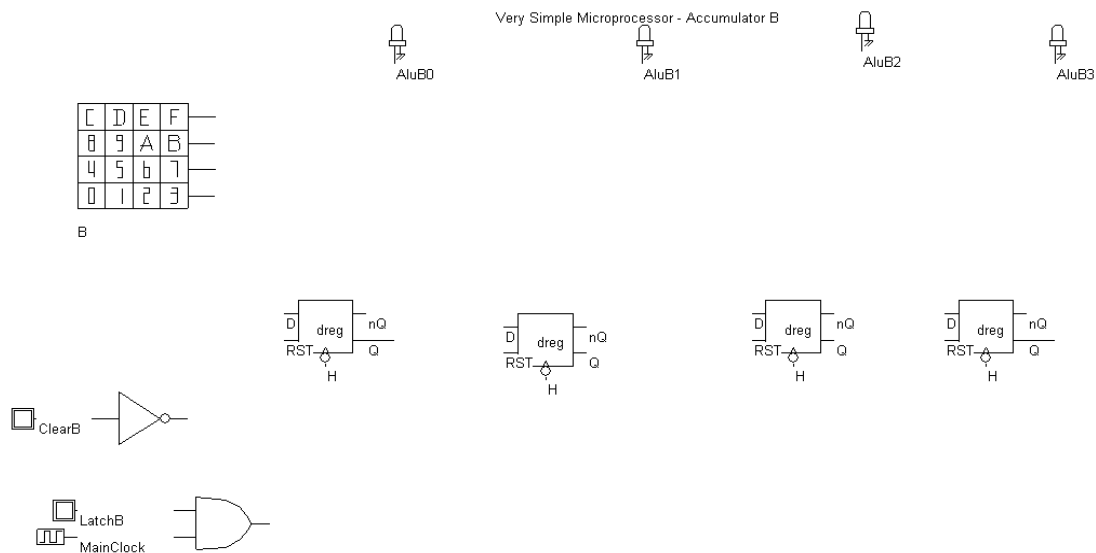
Γενικά κατασκευάζουμε δύο «είδη» κυκλωμάτων:

- τα απλά κυκλώματα και
- τα πιο πολύπλοκα, όπου κάνουμε χρήση μπλοκ διαγράμματος για να «κρύψουμε» τις πολλές λεπτομέρειες.

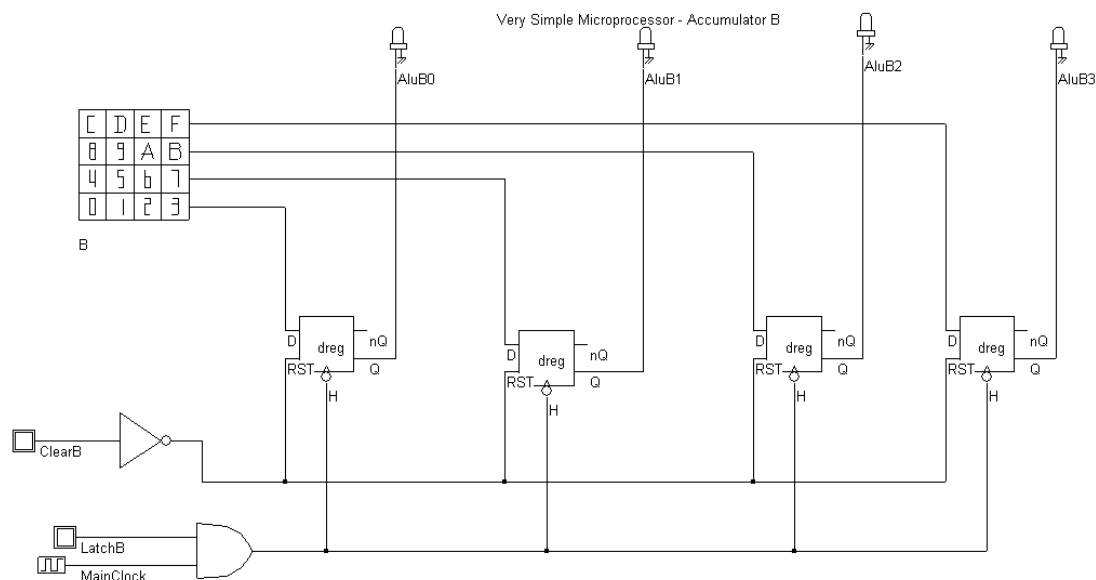
Για τα απλά κυκλώματα εργαζόμαστε ως εξής:

1. βάζουμε όλα τα σύμβολα που χρειαζόμασταν στο σχέδιό μας, όσο το δυνατόν πιο κοντά το ένα στο άλλο για να φαίνεται καλύτερα το τελικό σχέδιο. Επίσης, από τις ιδιότητες του κάθε συμβόλου (διπλό αριστερό κλικ πάνω στο σύμβολο) δίνουμε την επιθυμητή ονομασία (Εικ. 4.9),
2. συνδέουμε μέσω καλωδίου τα σύμβολα (Εικ. 4.10),

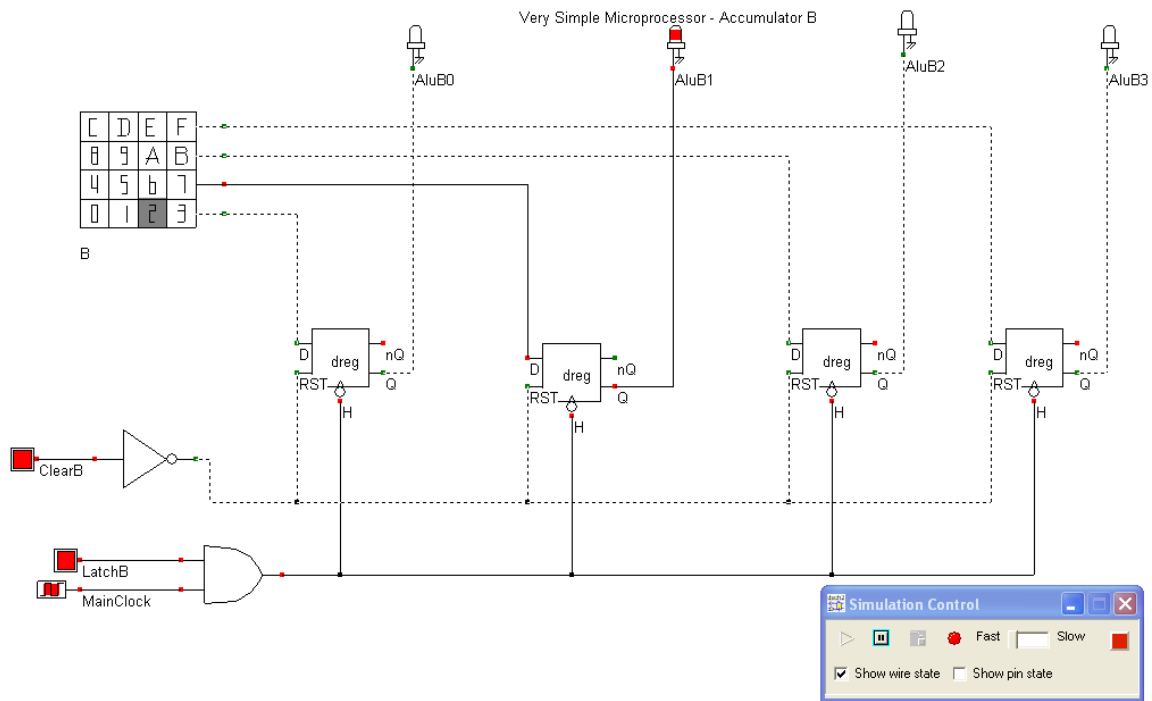
3. τελευταία κίνησή μας είναι να «τρέξουμε» το κύκλωμα μέσω της εντολής run simulation (**Εικ. 4.11**). Αν τυχόν τα αποτελέσματα δεν είναι τα αναμενόμενα, τότε ελέγχουμε ξανά τη συνδεσμολογία.



Εικ. 4.9 Παράδειγμα εισαγωγής συμβόλων στο σχηματικό.



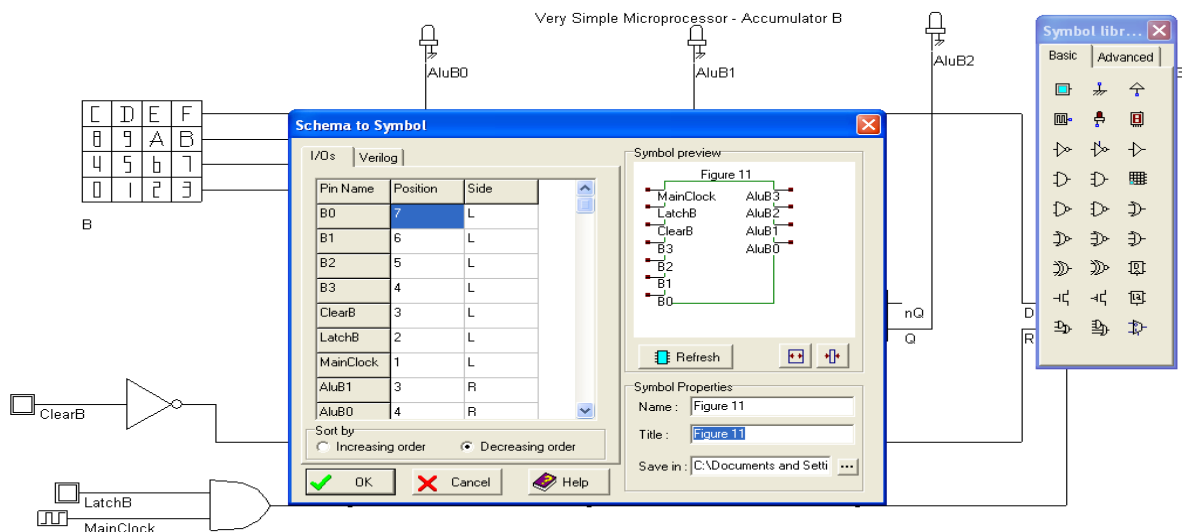
Εικ. 4.10 Συνδέουμε μέσω καλωδίου τα σύμβολα.



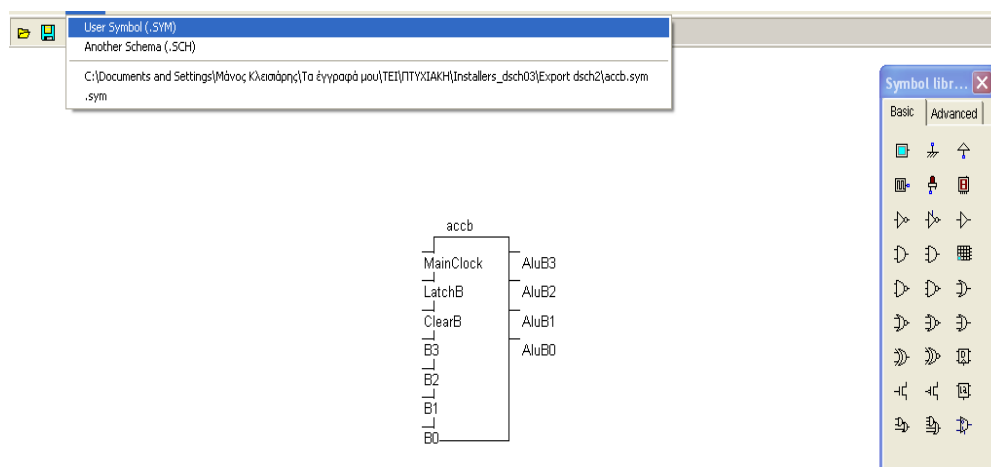
Εικ. 4.11 Εκτέλεση προσομοίωσης.

Για τα πιο πολύπλοκα κυκλώματα:

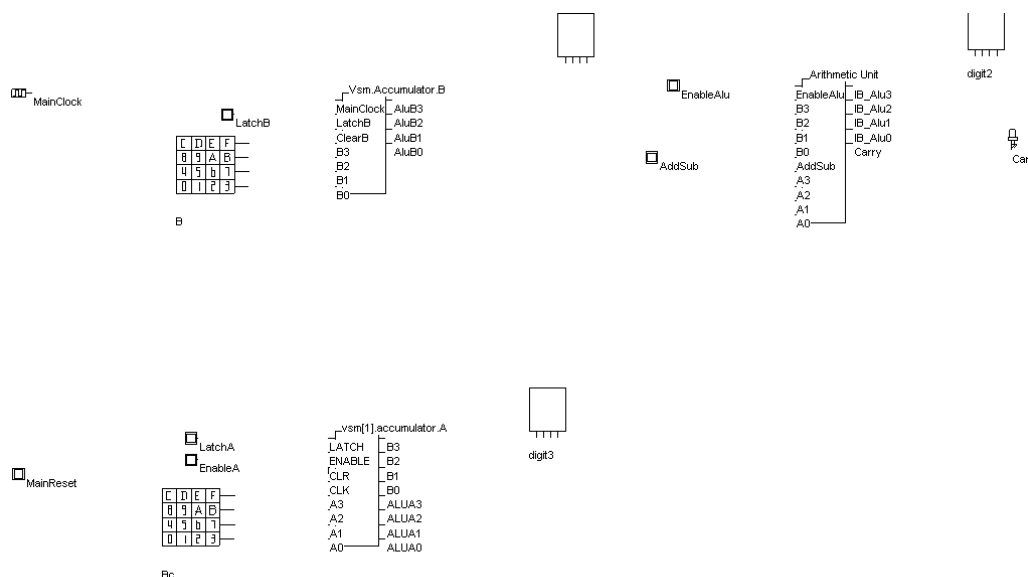
1. θα πρέπει πρώτα να έχουμε δημιουργήσει τα απλά κυκλώματα που απαιτούνται. Έπειτα με την εντολή **Schema to new symbol** αποθηκεύουμε ξεχωριστά το κάθε κύκλωμα σε μορφή μπλοκ (Εικόνα A.12),
2. με την εντολή **insert symbol** εισάγουμε το κάθε μπλοκ που χρειαζόμαστε για την υλοποίηση του κυκλώματος (Εικόνα A.13),
3. τοποθετούμε όλα τα σύμβολα που χρειαζόμαστε όσο γίνεται πιο κοντά (Εικόνα A.14),
4. ελέγχουμε την ονομασία των συμβόλων από τις ιδιότητές τους,
5. συνδέουμε τα σύμβολα και όποια άλλα «απλά» στοιχεία χρειαζόμαστε (Εικόνα A.15),
6. τελευταία κίνησή μας είναι να «τρέξουμε» το κύκλωμα μέσω της εντολής run simulation. Αν τυχόν τα αποτελέσματα δεν είναι τα αναμενόμενα, τότε ελέγχουμε ξανά τη συνδεσμολογία και αν δεν υπάρχει εκεί κάποιο λάθος, τότε πηγαίνουμε στα αρχικά κυκλώματα (τα πιο απλά) και τα ελέγχουμε (Εικόνα A.16).



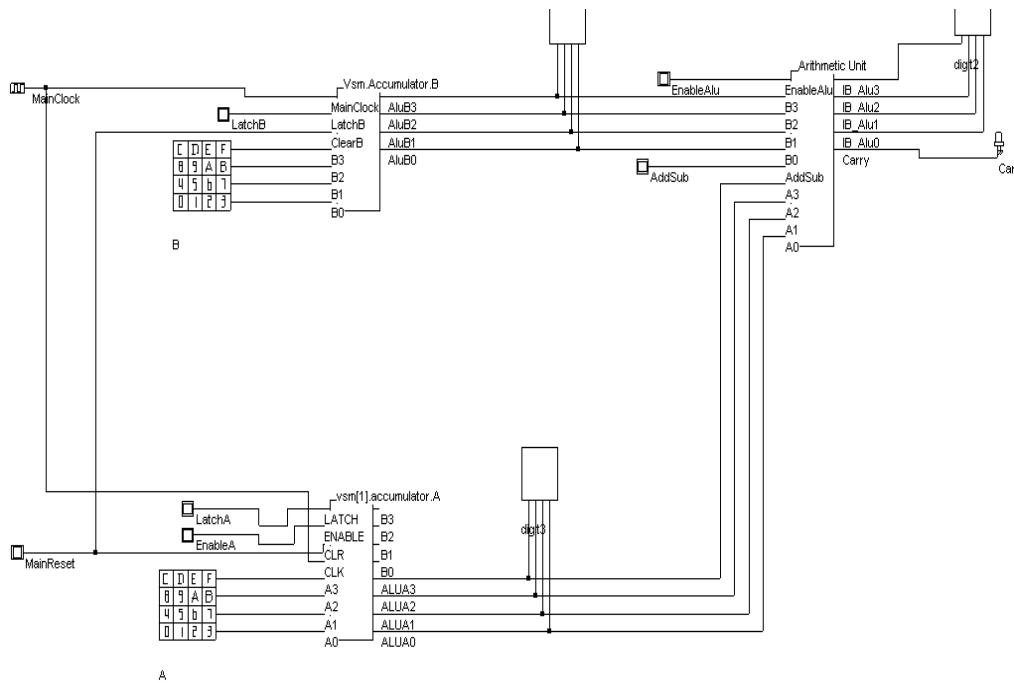
Εικ. 4.12 Με την εντολή Schema to new symbol αποθηκεύουμε ξεχωριστά κάθε κύκλωμα σε μορφή μπλοκ.



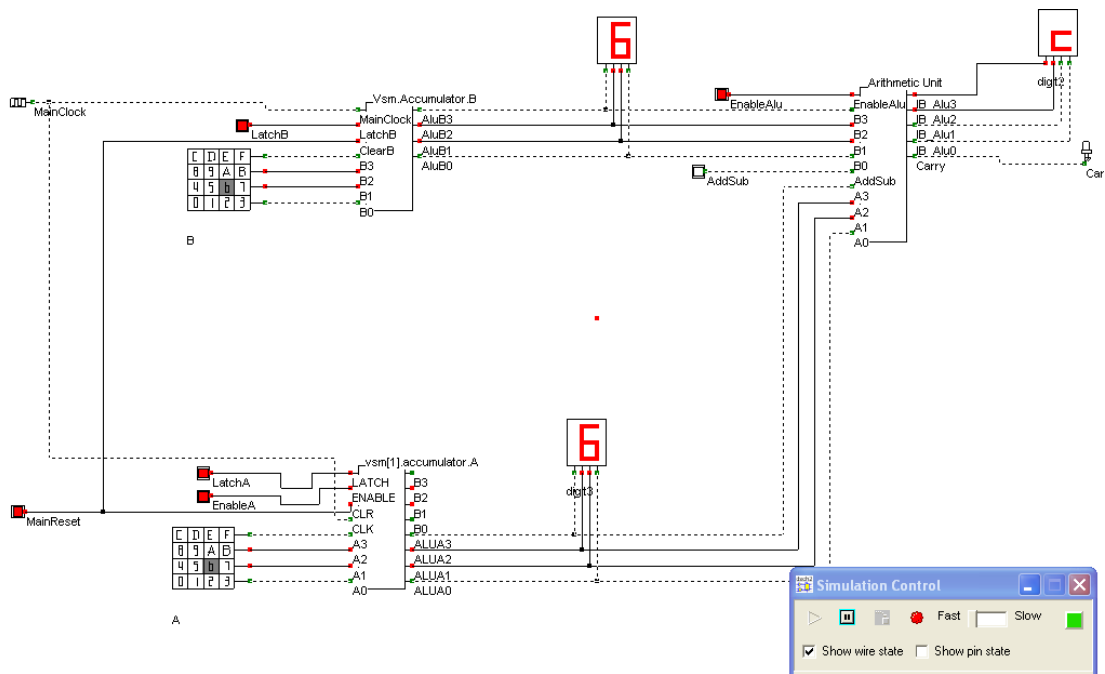
Εικ. 4.13 Με την εντολή insert symbol εισάγουμε το κάθε μπλοκ που χρειαζόμαστε στο σχηματικό μας.



Εικ. 4.14 Τοποθετούμε όλα τα σύμβολα που χρειαζόμαστε όσο γίνεται πιο κοντά.



Εικ. 4.15 Συνδέουμε τα σύμβολα και όποια άλλα «απλά» στοιχεία χρειαζόμαστε.



Εικ. 4.16 Εκτέλεση προσομοίωσης.

4.10 ΑΣΚΗΣΕΙΣ

Εργασία 1 - Περιγράψτε τη δομή και τη λειτουργία μιας CMOS πύλης NAND.

Εργασία 2 - Περιγράψτε τη δομή και τη λειτουργία μιας CMOS πύλης NOR.

Εργασία 3 - Περιγράψτε τη δομή και τη λειτουργία μιας CMOS πύλης AND.

Εργασία 4 - Περιγράψτε τη δομή και τη λειτουργία μιας CMOS πύλης OR.

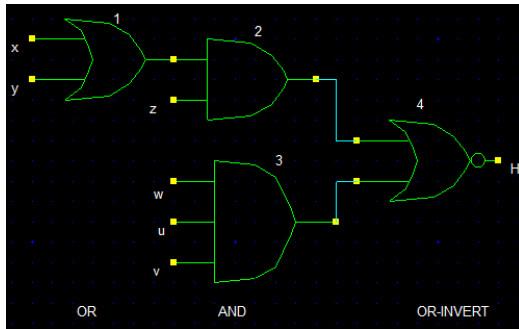
Εργασία 5 - Περιγράψτε τη δομή και τη λειτουργία της CMOS πύλης $F=(AB+C)'$.

Εργασία 6 - Περιγράψτε τη δομή και τη λειτουργία της CMOS πύλης $[A(B+C)]'$.

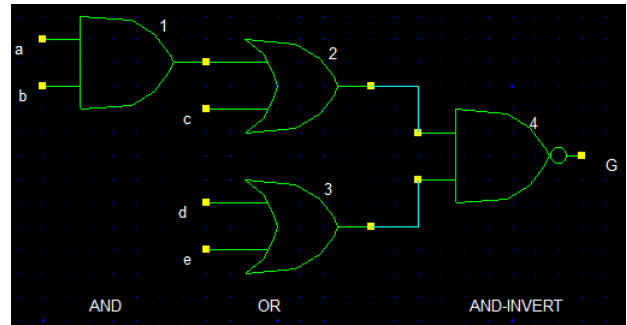
Εργασία 7 - Περιγράψτε τη δομή και τη λειτουργία της CMOS πύλης $F=[A(B+C)+DE]'$.

Εργασία 8 - Περιγράψτε τη δομή και τη λειτουργία της CMOS πύλης που υλοποιεί το κύκλωμα στην **Εικ. 4.17**.

Εργασία 9 - Περιγράψτε τη δομή και τη λειτουργία της CMOS πύλης που υλοποιεί κύκλωμα στην **Εικ. 4.18**.



Εικ. 4.17



Εικ. 4.18

4.11 ΒΙΒΛΙΟΓΡΑΦΙΑ

1. <http://srv-wwwperso.insa-toulouse.fr/~sicard/microwind/microwind.html>
2. Sicard, E., & Bendhia, S. D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.

ΚΕΦΑΛΑΙΟ 5. ΕΡΓΑΣΙΕΣ ΣΧΕΔΙΑΣΗΣ ΔΙΑΤΑΞΕΩΝ ΚΑΙ ΚΥΚΛΩΜΑΤΩΝ ΜΕ ΤΑ ΛΟΓΙΣΜΙΚΑ MICROWIND ΚΑΙ DSCH

ΣΥΝΟΨΗ

Θα υλοποιηθούν αναλυτικά παραδείγματα σχεδίασης κυκλωμάτων ψηφιακής λογικής, απλά ως μικρής πολυπλοκότητας, χρησιμοποιώντας τεχνικές που παρουσιάστηκαν στα προηγούμενα κεφάλαια.

ΣΤΟΧΟΣ

Σχεδίαση και προσομοίωση των επόμενων, τόσο σε επίπεδο κυκλώματος όσο και σε επίπεδο χωροθεσίας:

- * CMOS αντιστροφέας,
- * βασικές πύλες ψηφιακής λογικής,
- * πλήρης αθροιστής,
- * flip-flops,
- * ALU.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Βασικές γνώσεις χειρισμού λογισμικού Dsch, TINA Pro και Microwind.
- * Θεωρητική λειτουργία του MOSFET τύπου n και τύπου p.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.
- * Βασικές πύλες ψηφιακής λογικής.
- * Ακολουθιακά κυκλώματα.
- * Μνήμες.
- * Κεφάλαια 1 ως 4.

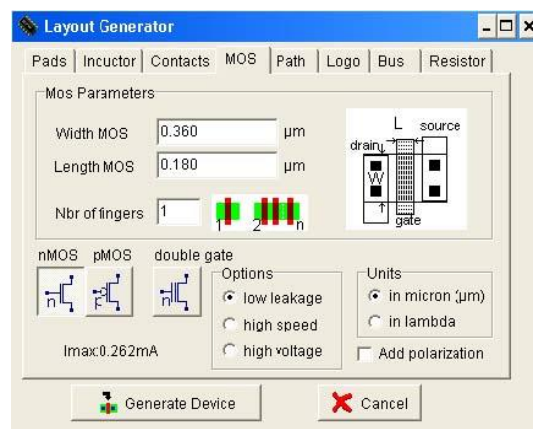
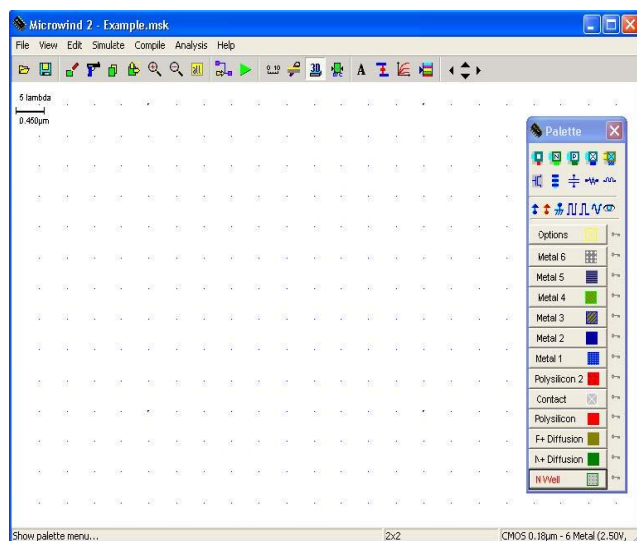
ΚΕΦΑΛΑΙΟ 5. ΕΡΓΑΣΙΕΣ ΣΧΕΔΙΑΣΗΣ ΔΙΑΤΑΞΕΩΝ ΚΑΙ ΚΥΚΛΩΜΑΤΩΝ ΜΕ ΤΑ ΛΟΓΙΣΜΙΚΑ MICROWIND ΚΑΙ DSCH

5.1 ΕΡΓΑΣΙΑ 1. ΕΙΣΑΓΩΓΗ ΣΤΟ MICROWIND

Βασικές επιλογές και λειτουργίες.

Θα χρησιμοποιήσουμε το εργαλείο λογισμικού MICROWIND για να μιλήσουμε για τις έννοιες του φυσικού σχεδιασμού διατάξεων και κυκλωμάτων. Στη γραμμή μενού υπάρχουν όλες οι επιλογές από όπου μπορούν να ξεκινήσουν όλες οι διαδικασίες του εργαλείου. Στη δεύτερη γραμμή (toolbar) υπάρχει μία σειρά από εργαλεία, τα οποία ενεργοποιούνται με το πάτημα του δεξιού πλήκτρου του ποντικιού. Τέλος, στη δεξιά πλευρά της επιφάνειας εργασίας υπάρχει μία παλέτα εργαλείων η οποία περιέχει:

- τα διάφορα στρώματα - επίπεδα του φυσικού σχεδιασμού για την κάθε τεχνολογία,
- μία σειρά από επαφές και διατάξεις (devices) που παράγονται αυτόματα καθώς και
- τα βασικά ηλεκτρικά στοιχεία (τάση τροφοδοσίας, γείωση και γεννήτριες παλμών) που απαιτούνται για την προσομοίωση του κυκλώματος.



Εικ. 5.1 Η κεντρική επιφάνεια εργασίας του MICROWIND. Εικ. 5.2 Layout generator.

Σχεδίαση ενός N-MOS transistor με $W=0.36$ και $L=0.18$ στην τεχνολογία CMOS $0.18\mu\text{m}$ με χρήση της γεννήτριας στοιχείων (device generator).

Από το menu **File** → **select foundry** επιλέξτε το αρχείο της τεχνολογίας $0.18\mu\text{m}$ **cmos018.rul**. Επιλέξτε από την παλέτα εργαλείων το σύμβολο του τρανζίστορ. Στη φόρμα που εμφανίζεται συμπληρώστε τα στοιχεία για το W και το L του nmos. Πατώντας το **Generate Device** και κάνοντας κλικ με το αριστερό πλήκτρο του ποντικιού σε ένα σημείο της επιφάνειας εργασίας εμφανίζεται ένα τρανζίστορ σύμφωνα με τις διαστάσεις που έχουν επιλεγεί. Στην επιφάνεια εργασίας του MICROWIND, το πλέγμα είναι σε μονάδες λάμδα και όχι σε μικρόμετρα. Αυτό μας βοηθά στο να μπορούμε να προσομοιώσουμε την ίδια χωροθεσία σε οποιαδήποτε τεχνολογία CMOS. Η τιμή του λάμδα είναι το μισό του ελάχιστου μήκους πύλης από polysilicon.

Πίνακας 5.1 Αντιστοιχία μεταξύ λάμδα μονάδων και μm .

Αρχείο τεχνολογίας	Ελάχιστο μήκος πύλης	Τιμή λάμδα
Cmos12.rul	1.2 μm	0.6 μm
Cmos08.rul	0.7 μm	0.35 μm
Cmos06.rul	0.5 μm	0.25 μm
Cmos035.rul	0.4 μm	0.2 μm
Cmos025.rul	0.25 μm	0.125 μm
Cmos018.rul	0.2 μm	0.1 μm
Cmos012.rul	0.12 μm	0.06 μm
Cmos90n.rul	0.1 μm	0.05 μm
Cmos65n.rul	0.07 μm	0.035 μm
Cmos45n.rul	0.05 μm	0.025 μm

Πίνακας 5.2 Χρονολογική εξέλιξη σημαντικών παραμέτρων της τεχνολογίας αποτύπωσης διατάξεων.

Λιθογραφία (μm)	Έτος	Επίπεδα μετάλλου	Τάση παροχής (V)
1.2	1986	2	5
0.7	1988	2	5
0.5	1992	3	3.3
0.35	1994	5	3.3
0.25	1996	6	2.5
0.18	1998	6	1.8
0.12	2001	6-8	1.2
0.09	2003	6-10	1.0
0.065	2005	6-12	0.8

Λιθογραφία (μm)	Πάχος οξειδίου πύλης (nm)	Μέγεθος τσιπ (mm)	Ακροδέκτες εισόδου/εξόδου
1.2	25	5x5	250
0.7	20	7x7	350
0.5	12	10x10	600
0.35	7	15x15	800
0.25	5	17x17	1000
0.18	3	20x20	1500
0.12	2	22x20	1800
0.09	1.8	25x20	2000
0.065	1.6	25x20	3000

Λιθογραφία (μm)	Όνομα αρχείου στον Microwind
1.2	Cmos12.rul
0.7	Cmos08.rul
0.5	Cmos06.rul
0.35	Cmos035.rul
0.25	Cmos025.rul
0.18	Cmos018.rul
0.12	Cmos012.rul
0.09	Cmos90n.rul

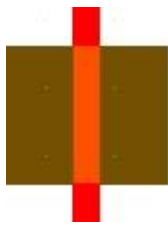
Σχεδίαση ενός P-MOS transistor με $W=0.36$ και $L=0.18$ στην ίδια τεχνολογία με το χέρι (manually).

- Δημιουργία της περιοχής πολυκρυσταλλικού πυριτίου (polysilicon).

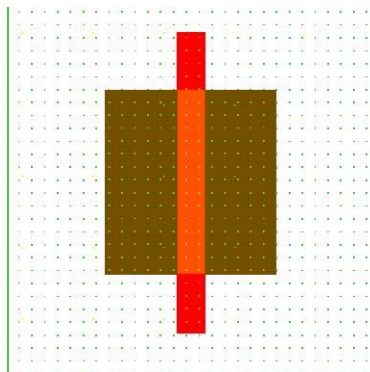
Επιλέξτε το επίπεδο του πολυκρυσταλλικού πυριτίου πατώντας το αντίστοιχο κουμπί πάνω στην παλέτα εργαλείων. Στη συνέχεια, επιλέγοντας με το mouse το εικονίδιο , από την μπάρα εργαλείων (toolbar) σχεδιάστε μία λωρίδα πολυκρυσταλλικού πυριτίου. **Το εύρος της λωρίδας δεν πρέπει να είναι μικρότερο από 2λ**, που είναι το ελάχιστο επιτρεπτό εύρος του πολυκρυσταλλικού πυριτίου. **Το μήκος της λωρίδας να είναι τουλάχιστον 16λ.**

- Δημιουργία της περιοχής διάχυσης (diffusion).

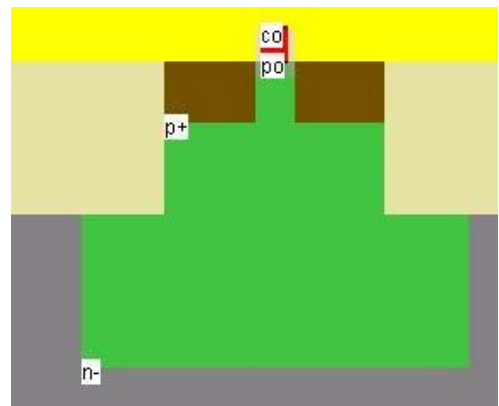
Το επόμενο βήμα είναι η τοποθέτηση της διάχυσης. Αλλάξτε το επίπεδο σχεδιασμού σε διάχυση τύπου p (P+ diffusion, από την παλέτα του Microwind) και σχεδιάστε μία ορθογώνια περιοχή η οποία να τέμνει το πολυκρυσταλλικό πυρίτιο. Η τομή μεταξύ αυτής της περιοχής και της λωρίδας πολυκρυσταλλικού πυριτίου δημιουργεί το κανάλι ενός PMOS στοιχείου. **Το πλάτος της διάχυσης πρέπει να είναι 12λ.**



Εικ. 5.3 Λωρίδα polysilicon και διάχυσης p+.



Εικ. 5.4 Λωρίδα polysilicon, διάχυσης p+ και πηγαδιού n, ολοκληρώνουν την τοπολογία ενός pmos.



Εικ. 5.5 Τομή του pmos.

- Δημιουργία του «πηγαδιού» τύπου-n (n-well).

Για να ολοκληρωθεί ο σχεδιασμός του PMOS στοιχείου, αλλάξτε το επίπεδο σχεδιασμού σε n-well από την παλέτα και σχεδιάστε μια ορθογώνια περιοχή γύρω από τη λωρίδα διάχυσης p-τύπου, που αποτελεί το «πηγάδι» μέσα στο οποίο αναπτύσσεται το PMOS στοιχείο. **Η περιοχή του n-well πρέπει να εκτείνεται τουλάχιστον 6λ γύρω από την περιοχή της διάχυσης.**

Έλεγχος των σχεδιαστικών λαθών.

Για να βεβαιωθείτε ότι δεν παραβιάζετε τους κανόνες σχεδιασμού μπορείτε σε όποια φάση της σχεδίασης θέλετε να επιλέξετε το εικονίδιο  που βρίσκεται στην μπάρα με τα εργαλεία του Microwind. Τότε, το πρόγραμμα ελέγχει το κύκλωμά σας για τυχόν λάθη στη σχεδίαση σε σχέση με τους κανόνες σχεδιασμού που έχετε αρχικά επιλέξει και ο ελεγκτής των κανόνων σχεδιασμού (design rule checker) του εργαλείου υποδεικνύει τι λάθος έγινε και σε ποιο σημείο του κυκλώματος.

Τομή και 3-D απεικόνιση των transistors που σχεδιάστηκαν στα προηγούμενα βήματα.

- Παρατήρηση της εγκάρσιας τομής του κυκλώματος.

Επιλέγοντας το εικονίδιο  μπορείτε να δείτε μία κάθετη τομή του κυκλώματος. Η τομή αυτή ορίζεται σχεδιάζοντας μία ευθεία γραμμή πάνω στο κύκλωμα κρατώντας το κουμπί του mouse πατημένο. Για παράδειγμα, ξεκινώντας από τα αριστερά του PMOS στοιχείου και πηγαίνοντας προς τα δεξιά, μπορείτε να παρατηρήσετε την εγκάρσια τομή του.

- Παρατήρηση των βημάτων κατασκευής σε 3D.

Επιλέγοντας το εικονίδιο 3-D, μπορείτε να δείτε μία βήμα προς βήμα τρισδιάστατη απεικόνιση της διαδικασίας κατασκευής του τρανζίστορ που σχεδιάσατε πάνω στην επιφάνεια του δισκίου του πυριτίου.

Προσομοίωση nmos και pmos.

Ο εξομοιωτής του MICROWIND.

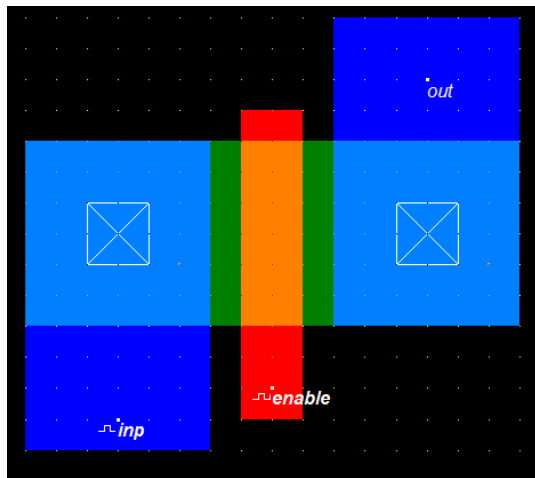
Επιλέγοντας το **menu simulate** από τη γραμμή των pull-down menus του MICROWIND, μπορείτε να καθορίσετε τις παραμέτρους της εξομοίωσης. ΠΡΟΣΟΧΗ: Να επιλέγετε πάντα εξομοίωση με χρήση του μοντέλου BSIM4 για τα τρανζίστορ. Επιλογή από το **menu Simulate → Using model → BSIM4(advanced)**.

Εξομοίωση ενός n-mos και ενός p-mos transistor με διαστάσεις $W=0.36\mu\text{m}$ και $L=0.18\mu\text{m}$ σε τεχνολογία CMOS 0.18 μm .

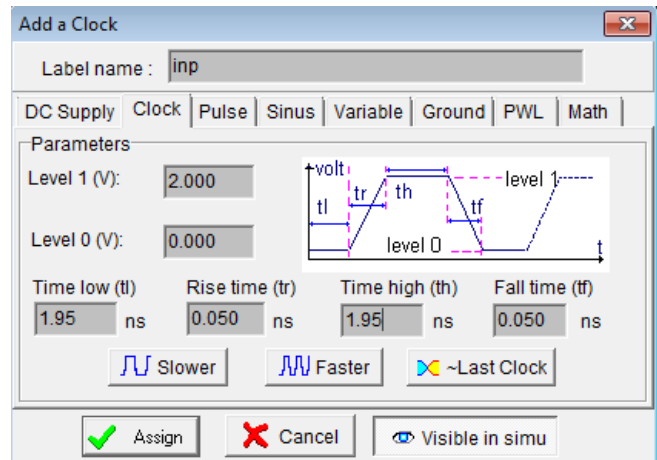
- α. Παραγωγή των χαρακτηριστικών I_d vs V_d για διαφορετικές τάσεις πύλης V_g .
- β. Σύγκριση n-mos και p-mos transistors.
- γ. Παραμετρική ανάλυση των χαρακτηριστικών IV ως προς το πλάτος καναλιού του transistor.

Μελέτη της απόκρισης των δύο τύπων transistor ως διακόπτες με είσοδο τετραγωνικό παλμό χωρίς φορτίο και με φορτίο 0.2pF.

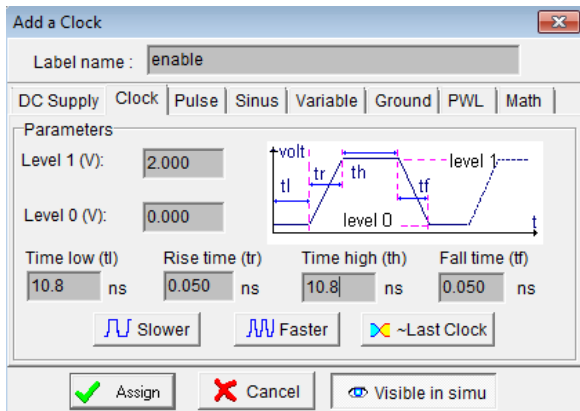
- α. Σχεδιάστε ένα n-mos τρανζίστορ με διαστάσεις $W=0.36\mu\text{m}$ και $L=0.18\mu\text{m}$ με χρήση της γεννήτριας στοιχείων (Εικ. 5.6).
- β. Για να γίνει εξομοίωση στο πεδίο του χρόνου και να εμφανιστούν οι σχετικές κυματομορφές, πρέπει να δώσετε ονόματα στους κόμβους του κυκλώματος και να ορίσετε τις τροφοδοσίες (V_{dd} και V_{ss}). Τα εργαλεία για την εκτέλεση των διαδικασιών αυτών βρίσκονται στην τρίτη γραμμή εργαλείων της παλέτας. Επιλέγοντας, για παράδειγμα, το **add clock** εμφανίζεται παράθυρο επικοινωνίας που σας παρέχει τη δυνατότητα να ορίσετε το όνομα του κόμβου και να επιλέξετε τους χρόνους ανόδου και καθόδου και το εύρος των παλμών και το αν η κυματομορφή αυτή θα εμφανίζεται στην εξομοίωση. (Εικ. 5.7, 5.8, 5.9). Δώστε στο drain του τρανζίστορ το όνομα **inp** και έναν παλμό με διάρκεια low και high **1.95 nsec** και χρόνο ανόδου και καθόδου **50 psec**. Στο gate του τρανζίστορ το όνομα **enable** και παλμό με διάρκεια low και high **10.8 nsec** και χρόνο ανόδου και καθόδου **50 psec**. Στην πηγή δώστε την ονομασία **out** και επιλέξτε **Visible in simulation**. Εκτελέστε την προσομοίωση (Εικ. 5.10).
- γ. Τοποθετήστε έναν πυκνωτή 0.2pF στην έξοδο (Εικ. 5.11). Τι πρέπει να κάνετε για να γίνουν και πάλι τετραγωνικοί οι παλμοί στην έξοδο; (Εικόνες 5.12 – 5.15).



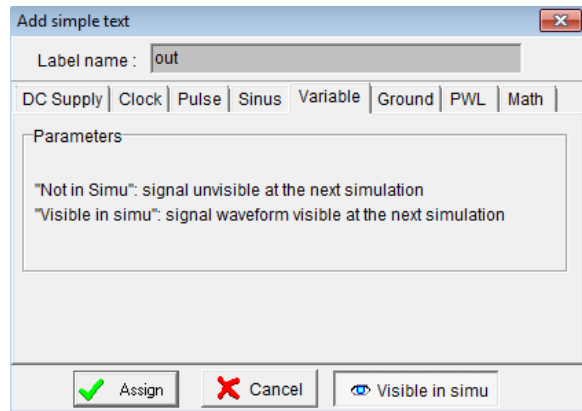
Εικ. 5.6 n-mos τρανζίστορ με διαστάσεις $W=0.36\mu\text{m}$ και $L=0.18\mu\text{m}$.



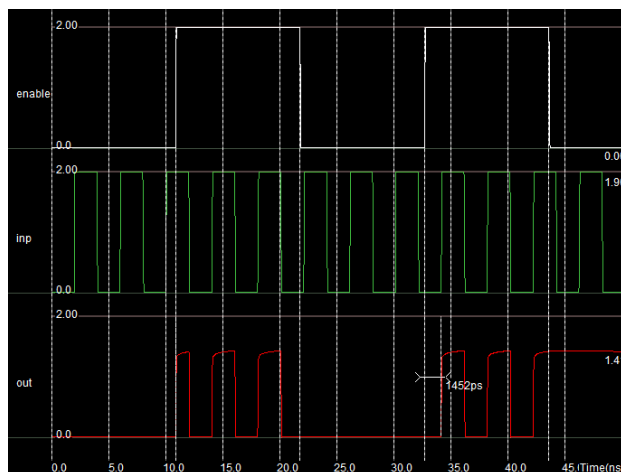
Εικ. 5.7 Add Clock – inp.



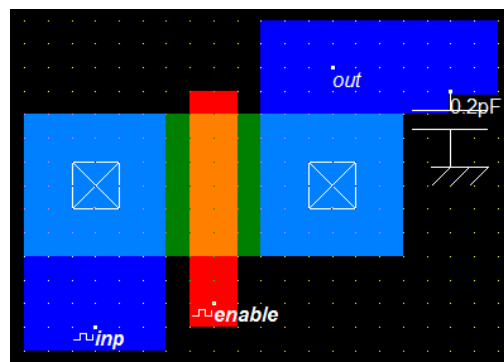
Εικ. 5.8 Add Clock – enable.



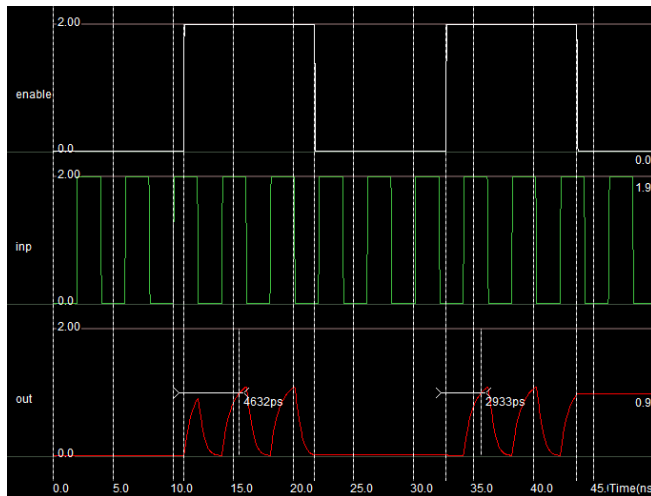
Εικ. 5.9 Add Variable – out.



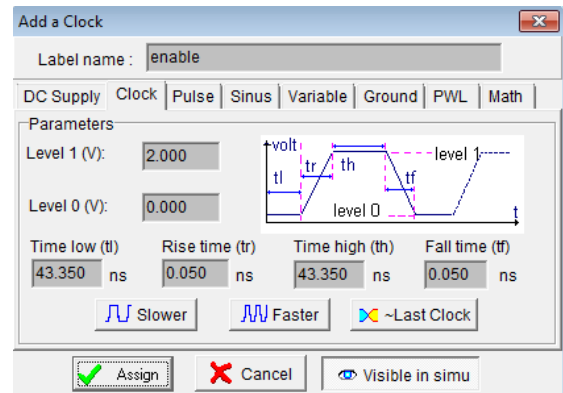
Εικ. 5.10 Αποτελέσματα προσομοίωσης.



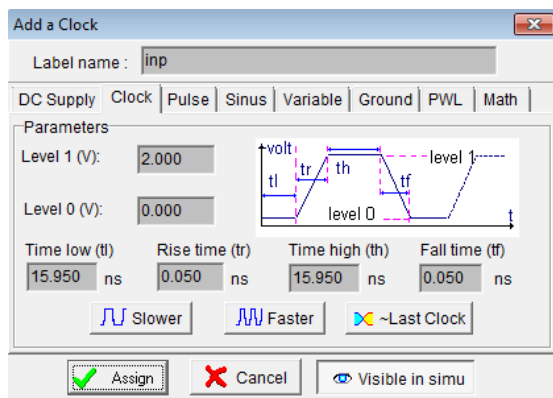
Εικ. 5.11 Εισαγωγή πυκνωτή 0.2pF στην έξοδο.



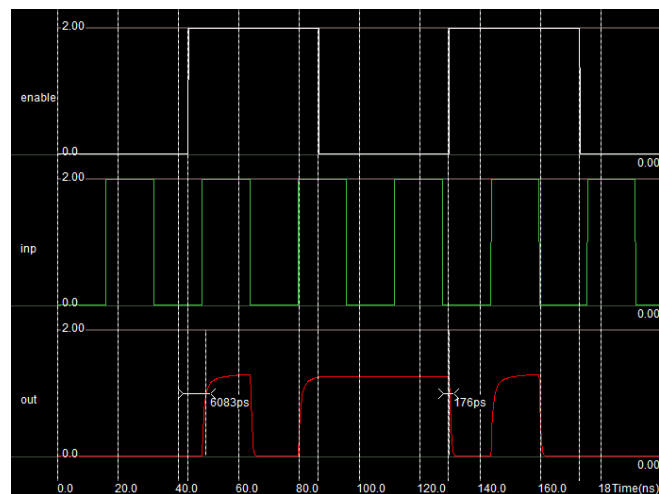
Εικ. 5.12 Αποτέλεσμα προσομοίωσης με πυκνωτή 0.2pF στην έξοδο.



Εικ. 5.13 Αλλαγή στο Clock – enable.



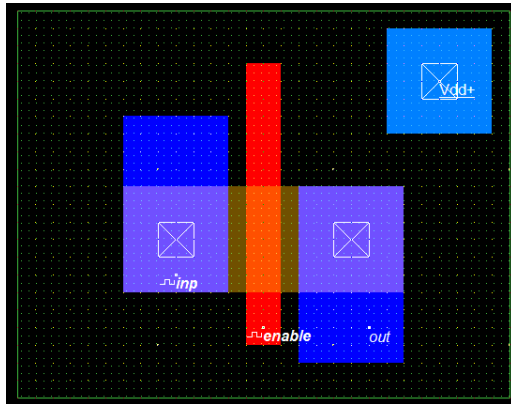
Εικ. 5.14 Αλλαγή στο Clock – inp.



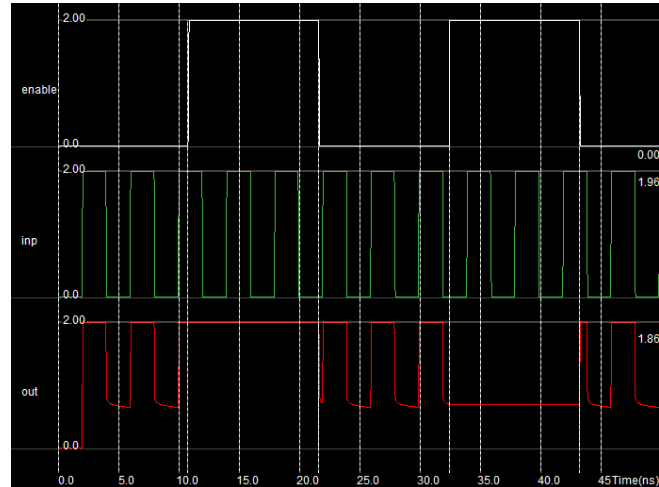
Εικ. 5.15 Νέα αποτελέσματα προσομοίωσης παρουσία του πυκνωτή εξόδου.

Επαναλάβετε τα παραπάνω βήματα 3α- 3γ για ένα p-mos τρανζίστορ με διαστάσεις $W=0.36 \mu\text{m}$ και $L=0.18 \mu\text{m}$.

ΠΡΟΣΟΧΗ: Για να γίνει σωστή εξομοίωση, το πηγάδι τύπου n πρέπει να πολωθεί στην τάση τροφοδοσίας Vdd. (Εικόνες 5.16-5.17).

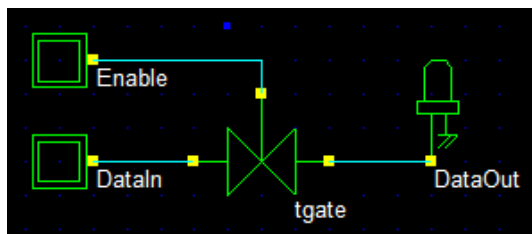


Εικ. 5.16 Το σχέδιο του pmos με πόλωση του πηγαδιού σε Vdd.

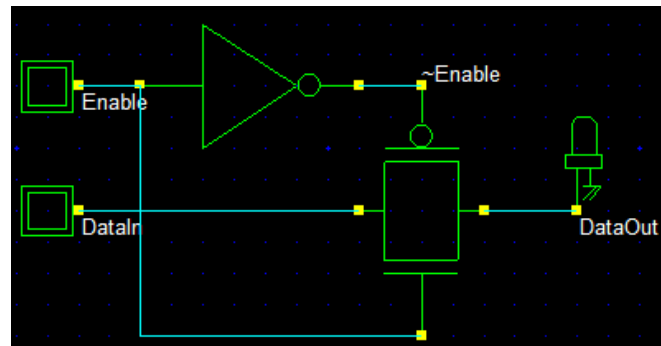


Εικ. 5.17 Αποτελέσματα προσομοίωσης για το pmos.

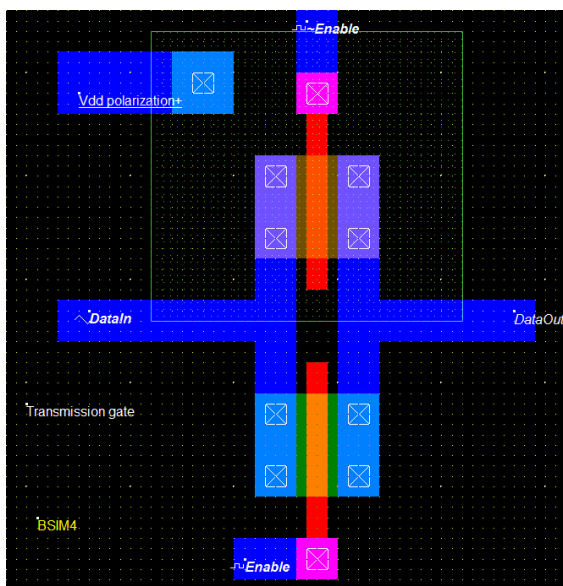
Σχεδιάστε και προσομοιώστε κύκλωμα το οποίο να εμφανίζει στην έξοδό του τους παλμούς εισόδου χωρίς αλλοίωση του πλάτους και για τις δύο λογικές στάθμες (transmission gate). (Εικόνες 1.18 – 1.24).



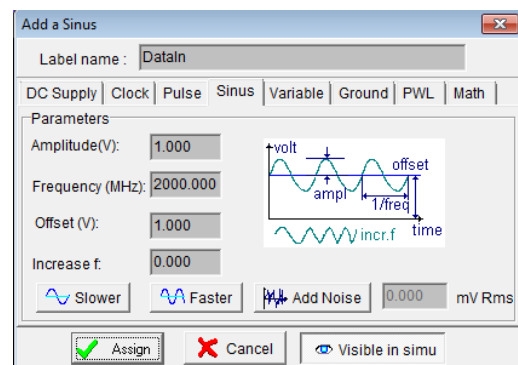
Εικ. 5.18 Σχέδιο πύλης μετάδοσης στο Dsch.



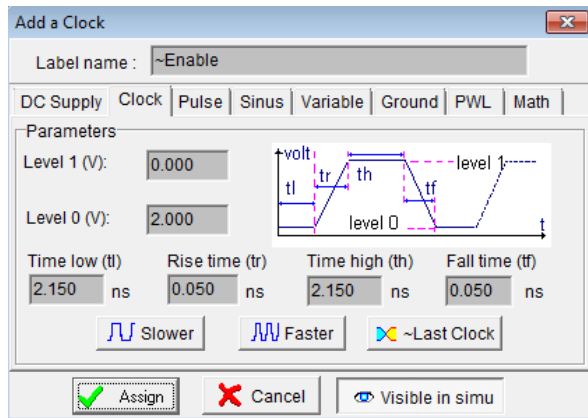
Εικ. 5.19 Εναλλακτικό σχέδιο πύλης μετάδοσης στο Dsch.



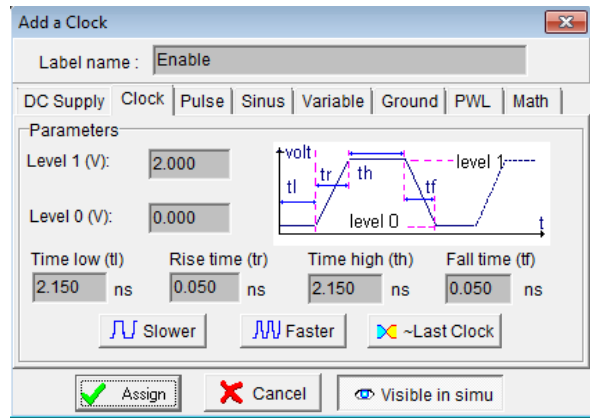
Εικ. 5.20 Δομή πύλης μετάδοσης στο Microwind.



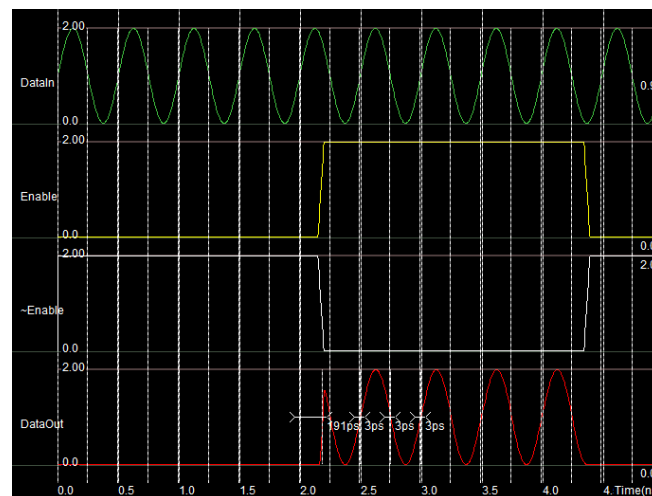
Εικ. 5.21 Χαρακτηριστικά σήματος DataIn.



Εικ. 5.22 Χαρακτηριστικά ~enable.



Εικ. 5.23 Χαρακτηριστικά enable.



Εικ. 5.24 Προσομοίωση πύλης μετάδοσης.

Σχεδιάστε και προσομοιώστε κύκλωμα το οποίο να εμφανίζει στην έξοδό του τους παλμούς εισόδου χωρίς αλλοίωση του πλάτους και για τις δύο λογικές στάθμες (transmission gate) και να παρουσιάζει την ίδια καθυστέρηση στην ανοδική και την καθοδική παρυφή με φορτίο εξόδου 0.2pF.

5.2 ΕΡΓΑΣΙΑ 2. ΑΝΤΙΣΤΡΟΦΕΑΣ CMOS

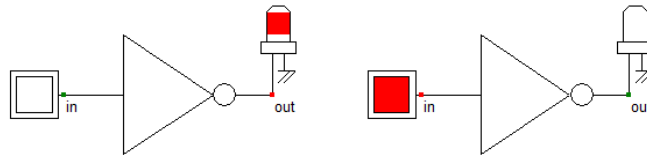
Ο CMOS αντιστροφέας (inverter) είναι το σημαντικότερο δομικό στοιχείο στα ψηφιακά κυκλώματα.

Σε αυτήν την εργασία θα ασχοληθούμε με τα εξής:

- «λογική» αντιστροφή,
- υλοποίηση με το χέρι (manual) και αυτοματοποιημένα του αντιστροφέα σε επίπεδο χωροθέτησης (layout),
- σχέσεις μεταξύ μεγέθους τρανζίστορ του αντιστροφέα και στατικά και αναλογικά χαρακτηριστικά του,
- μέτρηση απόδοσης αντιστροφέα συναρτήσει συνάρτησης μεταφοράς, ταχύτητα εναλλαγής, ιδιοτήτων MOS και κατανάλωσης ισχύος.

Σύμβολο, πίνακας αληθείας.

Ο αντιστροφέας εκτελεί τη λογική πράξη $out = in'$, δηλαδή η έξοδος είναι το συμπλήρωμα της εισόδου.



Εικ. 5.25 Σύμβολο και συμπεριφορά αντιστροφέα.

Ο πίνακας αληθείας του αντιστροφέα είναι ο εξής:

in	out
0	1
1	0
X	X

Σχεδίαση χωροθεσίας CMOS αντιστροφέα με το χέρι.

Σχεδιασμός της περιοχής πολυκρυσταλλικού πυριτίου (polysilicon).

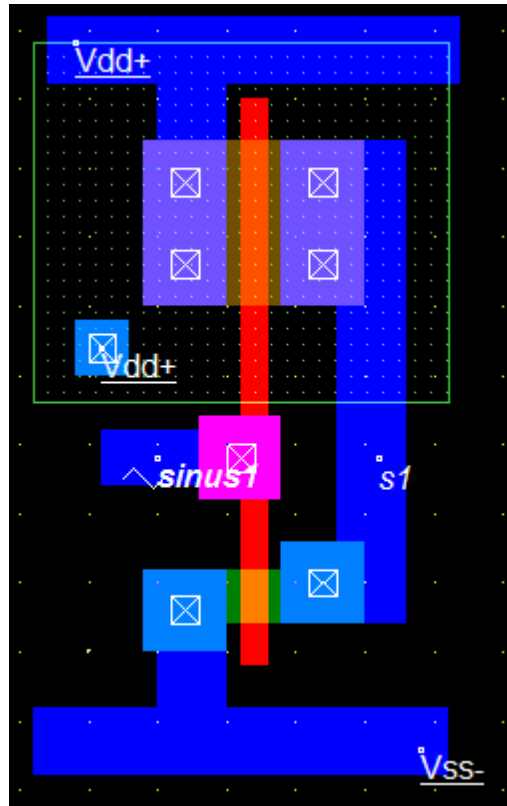
Σχεδιάστε μία λωρίδα πολυκρυσταλλικού πυριτίου. Το εύρος της λωρίδας αυτής πρέπει να είναι 2λ, που είναι το ελάχιστο επιτρεπτό εύρος του πολυκρυσταλλικού πυριτίου και το μήκος της 40λ. Για να βεβαιωθείτε ότι δεν παραβιάζετε τους κανόνες σχεδιασμού, μπορείτε σε όποια φάση της σχεδίασης θέλετε να τρέξετε τον ελεγκτή των κανόνων σχεδιασμού (design rule checker) του εργαλείου.

Σχεδιασμός των λωρίδων διάχυσης (diffusion).

Το επόμενο βήμα είναι η τοποθέτηση της διάχυσης. Αλλάξτε το επίπεδο σχεδιασμού σε διάχυση τύπου n (N+ diffusion, για την παλέτα του Microwind) και σχεδιάστε μία ορθογώνια περιοχή στο κάτω μέρος του σχεδίου. Η τομή μεταξύ αυτής της περιοχής και της λωρίδας πολυκρυσταλλικού πυριτίου δημιουργεί το κανάλι ενός NMOS στοιχείου. Το πλάτος της λωρίδας πρέπει να είναι το ελάχιστο επιτρεπτό. Η επέκταση του πολυκρυσταλλικού πυριτίου να είναι τουλάχιστον 3λ. Στη συνέχεια αλλάξτε το επίπεδο του σχεδιασμού σε διάχυση τύπου p (P+ diffusion, για την παλέτα του Microwind) και σχεδιάστε μια ορθογώνια περιοχή η οποία τέμνει τη λωρίδα του πολυκρυσταλλικού πυριτίου στο πάνω μέρος της. Το πλάτος του PMOS τρανζίστορ να είναι τριπλάσιο από αυτό του NMOS (Εικ. 2.2).

Σχεδιασμός του «πηγαδιού» τύπου-n (n-well).

Για να ολοκληρωθεί ο σχεδιασμός του PMOS στοιχείου, αλλάξτε το επίπεδο σχεδιασμού σε n-well (N well κουμπί πάνω στην παλέτα του Microwind) και σχεδιάστε μια ορθογώνια περιοχή γύρω από τη λωρίδα διάχυσης p-τύπου, που αποτελεί το «πηγάδι» μέσα στο οποίο κατασκευάζεται το PMOS στοιχείο (Εικ. 5.26).



Εικ. 5.26 Χωροθεσία (layout) CMOS αντιστροφέα στο Microwind.

Σχεδιασμός λωρίδων τροφοδοσίας και γείωσης.

Επιλέξτε ως επίπεδο σχεδιασμού το μέταλλο 1 και σχεδιάστε δύο λωρίδες από τις οποίες η μία αντιστοιχεί στην τροφοδοσία και η άλλη στη γείωση του αντιστροφέα (Εικ. 5.26).

Τοποθέτηση επαφών και διασυνδέσεις.

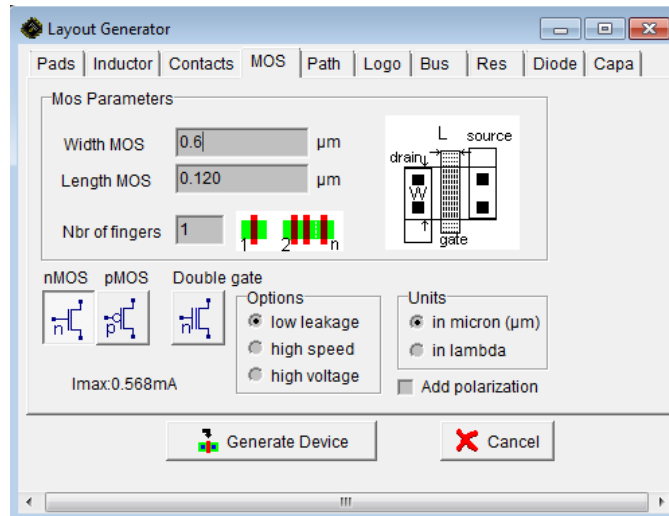
Επιλέξτε τις κατάλληλες επαφές (diffn/metal και diffp/metal) για να δημιουργήσετε τη σύνδεση του κόμβου εξόδου, καθώς και τις συνδέσεις τροφοδοσίας και γείωσης (Εικ. 5.26). Μπορείτε να επιλέξετε το είδος της επαφής που θέλετε από την παλέτα. Επίσης, αν χρησιμοποιήσετε το κουμπί (library), μπορείτε να βρείτε μακρο-εντολές δημιουργίας και άλλων ειδών επαφών εκτός από αυτές που βρίσκονται στην μπάρα των εργαλείων.

Επαφές πόλωσης πηγαδιού και υποστρώματος.

Στα CMOS κυκλώματα το πηγάδι τύπου n πρέπει να πολωθεί στην τάση τροφοδοσίας και το υπόστρωμα πρέπει να γειωθεί. Συνδέστε το πηγάδι τύπου n στην τροφοδοσία χρησιμοποιώντας την επαφή **diffn/metal** από τις επαφές που βρίσκονται πάνω στην παλέτα και το υπόστρωμα στη γείωση χρησιμοποιώντας μια επαφή **diffp/metal** (Εικ. 5.26).

Σχεδίαση του CMOS αντιστροφέα αυτόματα.

Ένας τρόπος να σχεδιάσουμε τη χωροθεσία του CMOS αντιστροφέα γρήγορα και χωρίς να παραβούμε κανόνες σχεδίασης είναι να χρησιμοποιήσουμε την αυτόματη παραγωγή nMOS και pMOS του Microwind. Εξ ορισμού, το προτεινόμενο μήκος σε κάθε τεχνολογία είναι 2λ και το προτεινόμενο εύρος είναι 10λ. Έτσι για τεχνολογία 0.12μm, το λ=0.06, οπότε το προτεινόμενο L=0.12μm και W=0.6μm (Εικ. 5.27).



Εικ. 5.27 Ο Layout Generator του Microwind.

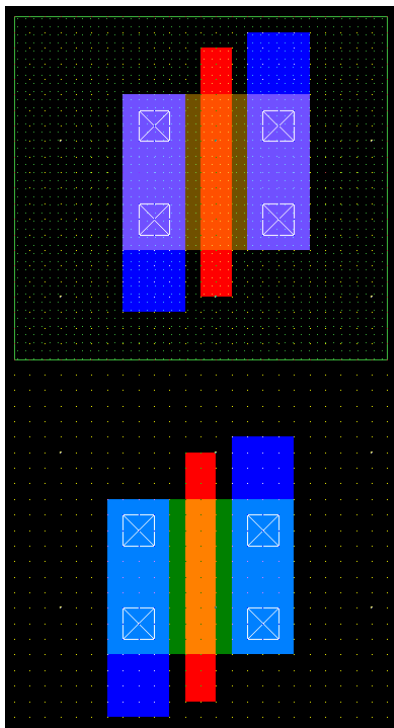
Συνεπώς μπορούμε να τοποθετήσουμε ένα nMOS και ένα pMOS με αυτόν τον τρόπο και στη συνέχεια να τα συνδέσουμε μεταξύ τους (**Εικ. 5.28**). Ωστόσο, πρέπει να λάβουμε υπόψη μας ότι το ρεύμα του παρέχει ένα nMOS και ένα pMOS περιγράφονται αντίστοιχα από τις επόμενες εξισώσεις:

$$I_{ds,nmos} = \epsilon_0 \epsilon_r \frac{\mu_n}{t_{ox}} \frac{W_{nmos}}{L_{nmos}} f(V_d, V_g, V_s, V_b), \quad I_{ds,pmos} = \epsilon_0 \epsilon_r \frac{\mu_p}{t_{ox}} \frac{W_{pmos}}{L_{pmos}} f(V_d, V_g, V_s, V_b)$$

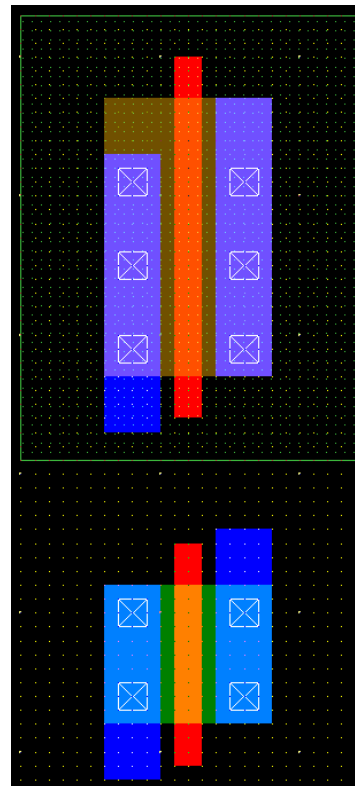
Οπότε, αν το εύρος καθενός είναι το ίδιο, τότε το ρεύμα καθενός θα είναι ανάλογο μόνο των ειδικών αγωγιμοτήτων ηλεκτρονίων και οπών αντίστοιχα. Όμως:

$$\mu_n = 0.068 \frac{m^2}{Vs}, \quad \mu_p = 0.025 \frac{m^2}{Vs}$$

Δηλαδή, το ρεύμα του nMOS θα είναι πάνω από διπλάσιο από το ρεύμα του pMOS, οπότε ο αντιστροφέας συνήθως σχεδιάζεται έτσι ώστε τα ρεύματα από κάθε διάταξη να είναι εξισορροπημένα, δηλαδή η μετάβαση από το 0 στο 1 να είναι περίπου χρονικά ίδια με τη μετάβαση από το 1 στο 0. Οπότε, η καλύτερη τεχνική είναι να διπλασιάσουμε το εύρος του pMOS για να έχουμε μια καλή εξισορρόπηση (**Εικ. 5.29**).



Εικ. 5.28 Ευθυγράμμιση pmos και nmos.



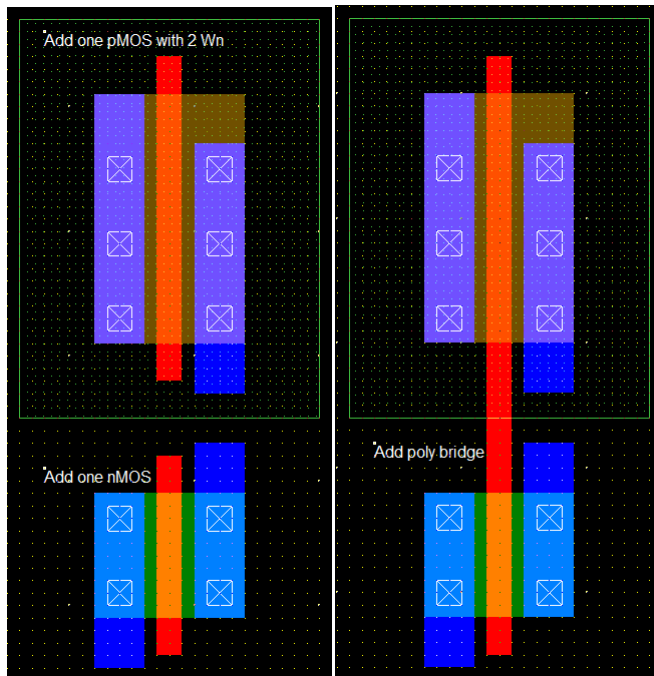
Εικ. 5.29 Το pmos είναι διπλάσιου πλάτους.

Συνδέσεις ανάμεσα στις διατάξεις.

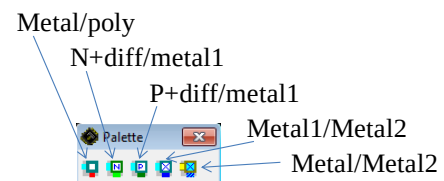
Εντός της CMOS κυψελίδας, λωρίδες μετάλλου και polysilicon μπορούν να χρησιμοποιηθούν για τη δημιουργία διασυνδέσεων ώστε να μεταφέρεται το σήμα. Το μέταλλο είναι πολύ καλύτερος αγωγός από το polysilicon. Συνεπώς, το polysilicon χρησιμοποιείται το πολύ, μόνο για τη διασύνδεση μεταξύ πυλών διατάξεων (π.χ. με polysilicon γίνεται η γέφυρα μεταξύ της πύλης του nmos και του pmos). Το polysilicon σπανίως χρησιμοποιείται για την κατασκευή μεγάλου μήκους γραμμών διασύνδεσης, εκτός και αν για αυτήν τη γραμμή θέλουμε μεγάλη αντίσταση. Συμπερασματικά, το polysilicon χρησιμοποιείται για τον έλεγχο των πυλών των διατάξεων καθώς και για τη διασύνδεση μεταξύ πυλών. (Εικ. 5.30).

Σύνδεση μετάλλου με polysilicon.

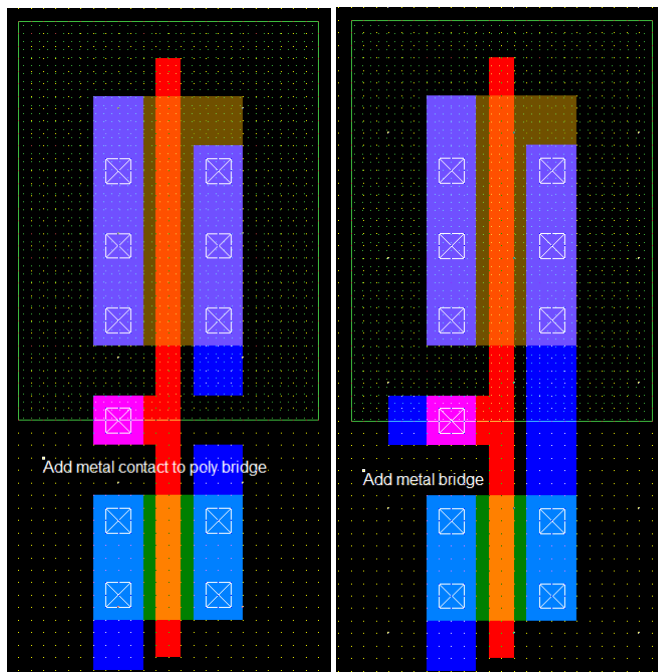
Εφόσον το μέταλλο είναι καλύτερος αγωγός από το polysilicon, το προτιμάμε για τη δημιουργία της σύνδεσης εισόδου, καθώς και για τη σύνδεση της εξόδου και των παροχών ισχύος. Το μέταλλο διαχωρίζεται από το polysilicon μέσω ενός στρώματος SiO_2 , το οποίο είναι μονωτικό. Άρα, αν σχεδιάσουμε ένα επίπεδο μετάλλου πάνω από ένα επίπεδο polysilicon δεν υπάρχει κίνδυνος ηλεκτρικής επαφής. Αν αντίθετα θέλουμε να γίνει ηλεκτρική επαφή, θα πρέπει να δημιουργήσουμε μια φυσική επαφή μεταξύ των δύο επιπέδων υλικού μέσω του στρώματος SiO_2 . Το επίπεδο αυτό ονομάζεται επαφή ("contact"). Στο Microwind υπάρχει ειδική μακροεντολή στην παλέτα εργαλείων για τη δημιουργία επαφής μεταξύ μετάλλου/polysilicon (Εικ. 5.31-5.32).



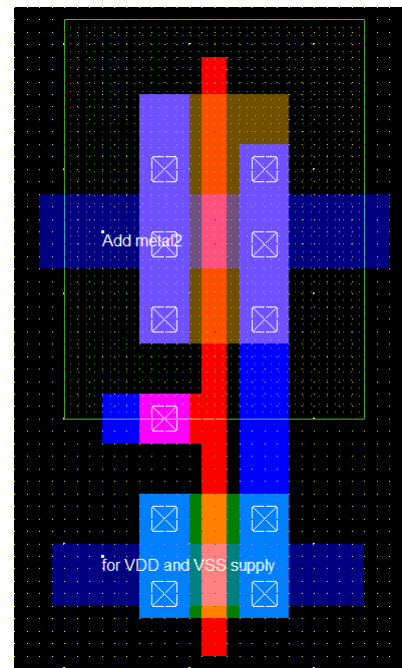
Εικ. 5.30 Κοινή πύλη για nmos και pmos.



Εικ. 5.31 Το εργαλείο επαφών στην παλέτα.



Εικ. 5.32 Προσθήκη επαφής και μετάλλου στην πύλη.



Εικ. 5.33 Γραμμές μετάλλου για την παροχή και τη γείωση.

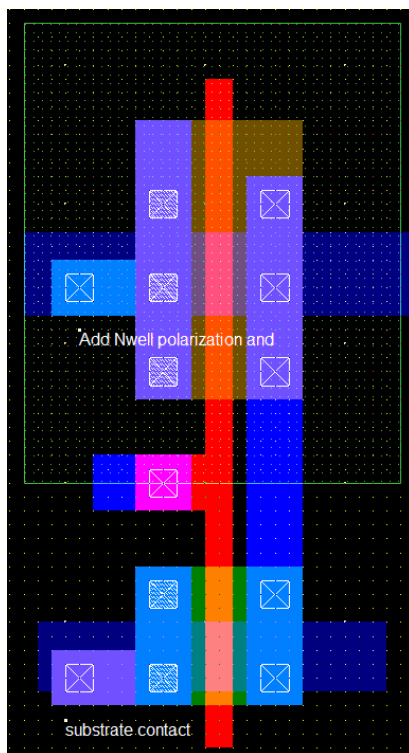
Συνδέσεις παροχής ισχύος.

Το επόμενο βήμα είναι η προσθήκη των συνδέσεων παροχής τάσης. Δηλαδή η θετική παροχή V_{DD} και η παροχή γείωσης V_{SS} . Στο παράδειγμά μας με τον CMOS αντιστροφέα, χρησιμοποιούμε το Metal-2 στρώμα για τη δημιουργία αυτών των παροχών. Οι λωρίδες σχεδιάστηκαν οριζόντια πάνω από το pMOS και πάνω από

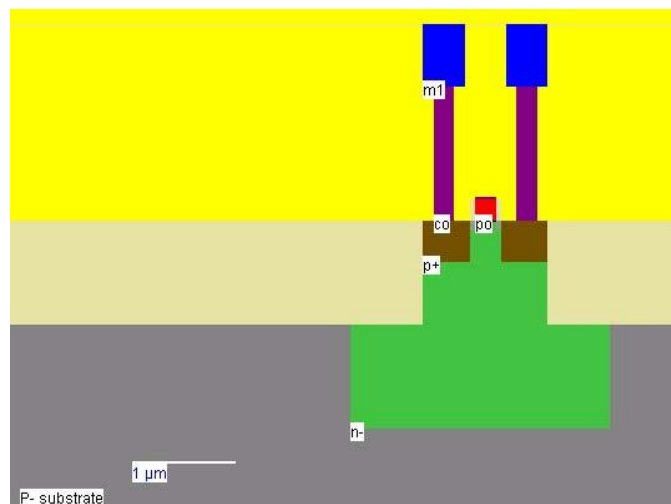
το nMOS αντίστοιχα. Παρατηρούμε (λίγο δύσκολα βέβαια λόγω της πιο σκούρας χρωματικής απόχρωσης του μετάλλου-2) ότι οι λωρίδες των παροχών έχουν μεγάλο εύρος. Αυτό γιατί μέσω αυτών αναμένεται να περάσει σημαντική ροή ρεύματος, οπότε η αύξηση του εύρους ελαττώνει την αντίσταση και τις μηχανικές τάσεις λόγω ηλεκτρομεταναστεύσης. Μεταξύ του μετάλλου-1 και μετάλλου-2 υπάρχει και πάλι στρώμα μονωτικού SiO₂. Άρα το μέταλλο-2 υπερίπταται του αντιστροφέα χωρίς ύπαρξη φυσικής ηλεκτρικής επαφής. Συνεπώς πρέπει να δημιουργήσουμε εμείς την ηλεκτρική σύνδεση. Αυτό μπορεί εύκολα να γίνει και πάλι από την παλέτα εργαλείων με τη χρήση της μακροεντολής δημιουργίας επαφής μεταξύ metal-1/metal-2. Η σύνδεση αυτή ονομάζεται “via” μεταξύ των στρωμάτων metal-2 και metal-1. Αυτές οι επαφές μεταφέρουν τις V_{SS} και V_{DD} κοντά στο κύριο σώμα των διατάξεων (Εικ. 5.33).

Πόλωση σώματος (Bulk Polarization).

Για να αποφύγουμε φαινόμενα επίδρασης της πόλωσης-σώματος, δηλαδή της επίδρασης στο ρεύμα μέσα από την πύλη εξαιτίας της τάσης μεταξύ της επαφής-υποστρώματος και κυρίως σώματος της διάταξης, χρειάζεται να πολώσουμε το nMOS στην V_{SS} και το pMOS στην V_{DD}, ώστε να διασφαλίσουμε ότι οι εικονικές-δίοδοι που δημιουργούνται εγκάρσια στο στρώμα της διάταξής μας δεν πρόκειται ποτέ να εμφανίσουν ορθή πόλωση. Υπενθυμίζουμε ότι η περιοχή n-Well πρέπει πάντα να πολώνεται σε υψηλή τάση για να αποφύγουμε βραχυκύκλωμα μεταξύ V_{DD} και V_{SS}. Η επαφή metal/P+diff δημιουργεί σύνδεση της V_{SS} με το υπόστρωμα P. Συνεπώς το περιβάλλον του nMOS «δένεται» με την παροχή V_{SS}. Η επαφή metal/N+diffusion στην περιοχή του pMOS γίνεται μέσα στο n-Well. Το «δέσιμο» του περιβάλλοντος του pMOS με τη V_{DD} είναι σημαντική προϋπόθεση ώστε να αποφύγουμε η περιοχή n-Well να είναι επιπλέουσα (floating), γεγονός που μπορεί να οδηγήσει σε παρασιτικό ρεύμα από την πηγή pMOS προς τα κάτω στο υπόστρωμα P, που συνήθως είναι δεμένο στη V_{SS}. Αυτή η ροή ρεύματος μπορεί να είναι αρκετά σημαντική ώστε να οδηγήσει σε καταστροφή του τσιπ. Αυτό το φαινόμενο είναι γνωστό ως latch up (Εικ. 5.34 – 5.35).



Εικ. 5.34 Προσθήκη επαφής με τροφοδοσία και γείωση.



Εικ. 5.35 Η τομή του PMOS στοιχείου.

Παρατήρηση της εγκάρσιας τομής του κυκλώματος.

Επιλέγοντας το κατάλληλο εικονίδιο, μπορείτε να δείτε εγκάρσια τομή ή 3-D απεικόνιση του αντιστροφέα που έχετε σχεδιάσει.

Προετοιμασία για εξομοίωση του CMOS Αντιστροφέα.

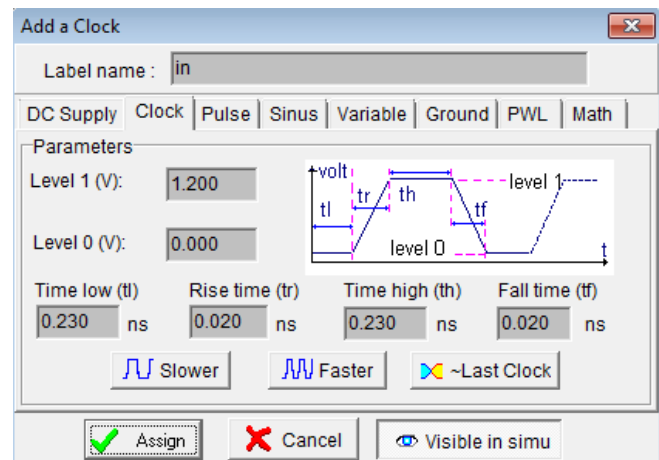
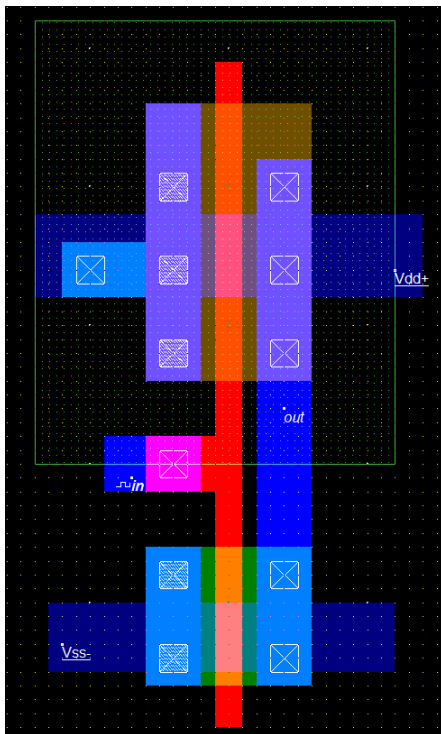
Επιλέγουμε το αρχείο τεχνολογίας 0.12μm.

Καθορισμός εισόδου και εξόδου και τροφοδοσίας του αντιστροφέα.

Δώστε στον κόμβο εισόδου του αντιστροφέα το όνομα “in” και στην έξοδο το όνομα “out” και κάντε τα σήματα ορατά στην εξομοίωση (Εικ. 5.36).

Καθορισμός της διέγερσης του κυκλώματος.

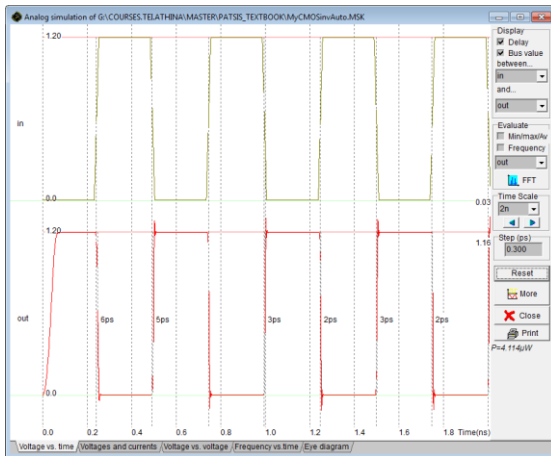
Εφαρμόστε συνεχόμενους παλμούς στην είσοδο του αντιστροφέα χρησιμοποιώντας το αντίστοιχο εικονίδιο (clock pulse) που βρίσκεται πάνω στην παλέτα. Στο παράθυρο που σας παρέχεται μπορείτε να επιλέξετε εύκολα τους χρόνους ανόδου και καθόδου και το εύρος των παλμών (Εικ. 5.37).



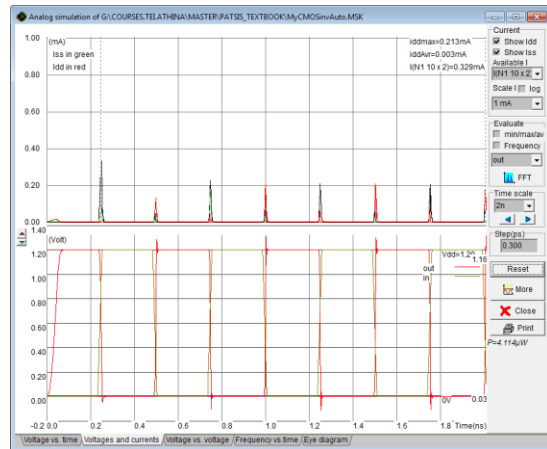
Εικ. 5.36 Ονομασίες σε γείωση και τροφοδοσία. Εικ. 5.37 Παλέτα ονοματοδοσίας επαφών.

Εκτέλεση της εξομοίωσης.

Επιλέξτε το μοντέλο **BSIM4** για τα τρανζίστορ και εκτελέστε την εξομοίωση του layout του αντιστροφέα. Τότε εμφανίζονται στην οθόνη τα χρονικά διαγράμματα (Εικ. 5.38 – 5.39). Αν έχουμε τσεκάρει στο Delay, μπορούμε να δούμε τις καθυστερήσεις ανόδου και καθόδου στο σήμα εξόδου.



Εικ. 5.38 Αποτελέσματα προσομοίωσης.



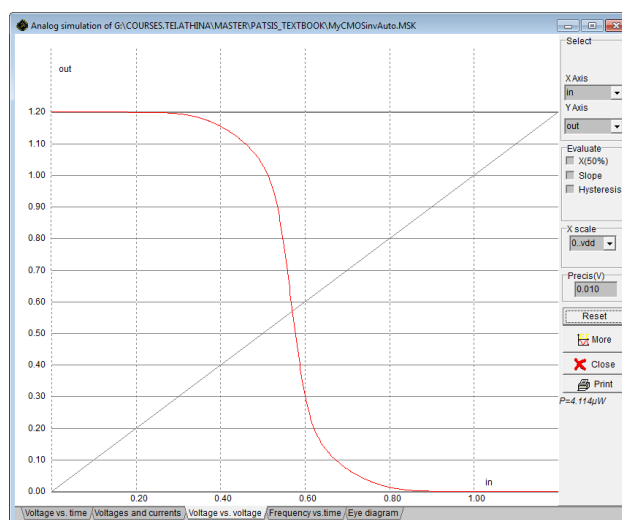
Εικ. 5.39 Καταναλώσεις ρεύματος.

Μέτρηση των ρευμάτων που διαρρέουν τον αντιστροφέα.

Επιλέξτε στη συνέχεια την κάρτα “**Voltages and Currents**” στο παράθυρο της εξομοίωσης και παρατηρήστε τα ρεύματα που διαρρέουν το κύκλωμα, ταυτόχρονα με τις τάσεις. Παρατηρήστε ότι μεγάλη ροή ρεύματος υπάρχει μόνο στην περίπτωση μετάβασης της εξόδου. Ο αντιστροφέας καταναλώνει ενέργεια όταν μεταπίπτει από 0→1 ή από 1→0. Η αιτία αυτής της κατανάλωσης είναι διττή. Πρώτον, έχουμε μια κατανάλωση ισχύος λόγω βραχυκυκλώματος από τη στιγμιαία ταυτόχρονη ύπαρξη, τόσο του pMOS όσο και του nMOS σε ενεργό λειτουργία, γεγονός που οδηγεί σε βραχυκύκλωμα από τη V_{DD} στη V_{SS} . Δεύτερον, έχουμε διαδικασία φόρτισης/εκφόρτισης της χωρητικότητας της εξόδου. Με μικρό φορτίο εξόδου, κυρίαρχη είναι η απώλεια λόγω βραχυκύκλωσης V_{DD} με V_{SS} . Όταν δεν έχουμε εναλλαγές στην έξοδο, το ρεύμα είναι σχεδόν μηδέν.

Παραγωγή της χαρακτηριστικής μεταφοράς.

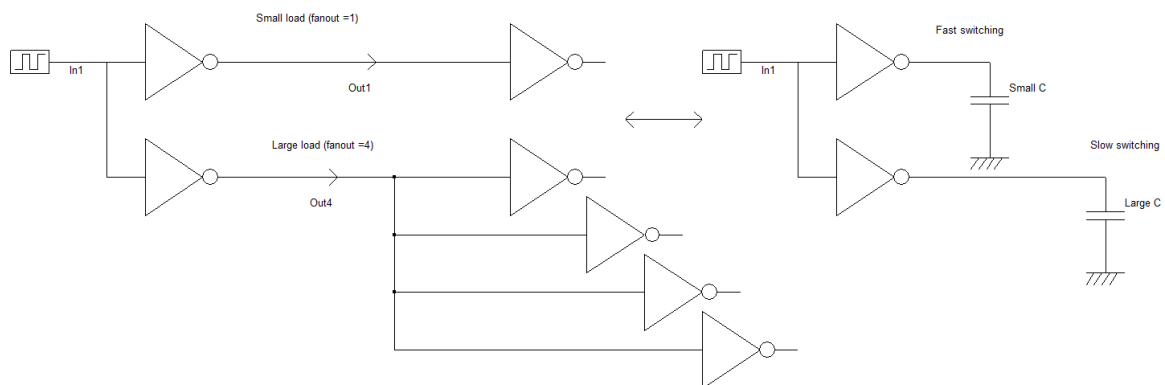
Επιλέξτε την κάρτα “**Voltage vs. Voltage**”, στο παράθυρο της εξομοίωσης, για να παρατηρήσετε τη χαρακτηριστική μεταφοράς του αντιστροφέα. Το σημείο υπολογισμού του αντιστροφέα είναι αυτό όπου $V_{in} = V_{out}$. Στην παρακάτω χαρακτηριστική μεταφοράς το σημείο αυτό είναι γύρω στα 0.58 Volts. (Εικ. 5.40).



Εικ. 5.40 Συνάρτηση μεταφοράς αντιστροφέα.

5.3 ΕΡΓΑΣΙΑ 3. ΠΑΡΑΜΕΤΡΙΚΗ ΕΞΟΜΟΙΩΣΗ ΑΝΤΙΣΤΡΟΦΕΑ CMOS ΜΕ ΦΟΡΤΙΟ

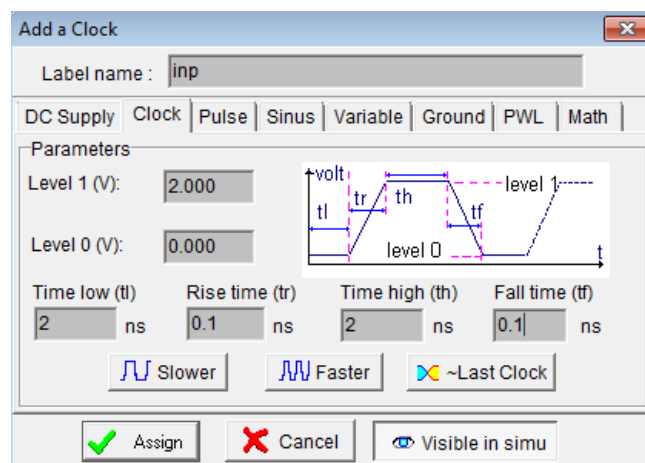
Όταν στην έξοδο του αντιστροφέα είναι συνδεδεμένες άλλες πύλες, τότε **αυξάνει η χωρητικότητα εξόδου**. Με τον όρο **fanout** περιγράφουμε το πλήθος των πυλών που συνδέονται στην έξοδο. Μεγάλο fanout σημαίνει σύνδεση στην έξοδο πολλών πυλών και άρα μεγάλο φορτίο χωρητικότητας εξόδου (**Εικ. 5.41**).



Εικ. 5.41 Παραδείγματα πυλών διαφόρων fanout.

Εξομοίωση CMOS αντιστροφέα με φορτίο.

A. Εξομοιώστε τον αντιστροφέα της προηγούμενης άσκησης με φορτίο 0.2 pF για σήμα εισόδου με $t_{low} = t_{high} = 2$ nsec και $t_r = t_f = 0.1$ nsec. (**Εικ. 5.42**). Χρησιμοποιήστε το μοντέλο **BSIM4**.



Εικ. 5.42

B. Τροποποιήστε τον φυσικό σχεδιασμό (layout) ώστε να παρουσιάζει καθυστέρηση ανόδου και καθόδου (100 ± 1) psec.

Γ. Προσδιορίστε κατ' εκτίμηση τον χρόνο ανόδου και καθόδου (10%-90%) του αντιστροφέα (πρέπει να αλλάξετε το χρονικό παράθυρο της εξομοίωσης).

Δ. Προσδιορίστε το μέγιστο ρεύμα βραχυκυκλώματος (short-circuit current) στις παρυφές ανόδου και καθόδου.

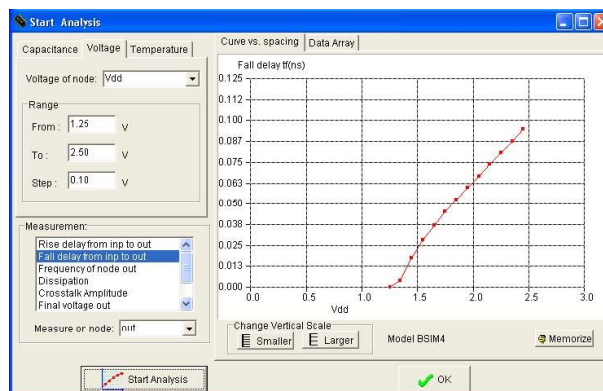
Ε. Μελετήστε τη μεταβολή των παραπάνω παραμέτρων (καθυστέρηση, χρόνος ανόδου, χρόνος καθόδου και μέγιστο ρεύμα βραχυκυκλώματος) ως συνάρτηση του χρόνου ανόδου και καθόδου της εισόδου. Φτιάξτε πίνακα με τις αντίστοιχες τιμές για χρόνο ανόδου-καθόδου στην είσοδο 0.05 nsec, 0.1 nsec, 0.3 nsec, 0.8 nsec.

Ζ. Εκτελέστε τα παραπάνω βήματα Γ-Ε για φορτίο εξόδου 0.5 pF.

Η. Συγκρίνετε τον χρόνο ανόδου και καθόδου, την καθυστέρηση και το ρεύμα βραχυκυκλώματος στις δύο περιπτώσεις.

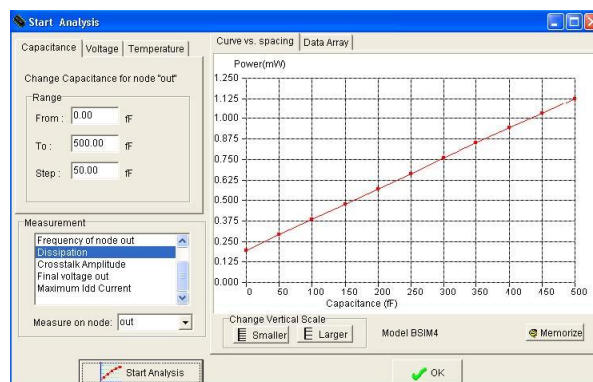
Παραμετρική Ανάλυση του αντιστροφέα.

Πριν εκτελέσετε την εντολή της παραμετρικής ανάλυσης του κυκλώματος, θα πρέπει πρώτα να έχετε τρέξει μία εξομοίωση του κυκλώματος. Εν συνεχεία, επιλέξτε την εντολή **Parametric Analysis** από το μενού **Analysis** και πατήστε με το ποντίκι τον κόμβο της εξόδου του αντιστροφέα. Θα εμφανιστεί το παρακάτω παράθυρο (Εικ. 5.43).



Εικ. 5.43

Μπορείτε να επιλέξετε από το **"Measurement"** το μέγεθος για το οποίο θα γίνει η παραμετρική ανάλυση ως προς μία από τις τρεις παραμέτρους: **χωρητικότητα εξόδου, τάση τροφοδοσίας και θερμοκρασία**. Το εύρος μεταβολής των παραμέτρων καθορίζεται από την αντίστοιχη φόρμα **"range"**. Τέλος, πατώντας το κουμπί **"Start Analysis"** ξεκινά μία επαναληπτική διαδικασία, η οποία πραγματοποιεί εξομοιώσεις και εμφανίζει σε διπλανό παράθυρο τα αποτελέσματα. Προσοχή στη ρύθμιση των παραμέτρων του ρολογιού, γιατί η απόκριση του κυκλώματος μπορεί να είναι πολύ αργή για κάποιες ακραίες τιμές της παραμέτρου ως προς την οποία γίνεται η ανάλυση, π.χ. μεγάλη χωρητικότητα εξόδου, και να παίρνετε λάθος αποτελέσματα.



Εικ. 5.44

Στο παραπάνω διάγραμμα (Εικ. 5.44) φαίνεται η κατανάλωση ισχύος του αντιστροφέα για χωρητικότητα εξόδου 0 έως 500 fF.

Α. Κάντε παραμετρική ανάλυση της καθυστέρησης ανόδου και καθόδου του αντιστροφέα για χωρητικότητα εξόδου 0 έως 1 pF με βήμα 50 fF. Συγκρίνετε τα αποτελέσματα με αυτά από το πρώτο μέρος της άσκησης. Είναι αποδεκτό το ρολόι που ορίσατε στο πρώτο βήμα του πρώτου μέρους;

Β. Κάντε παραμετρική ανάλυση της κατανάλωσης ισχύος ως προς την τάση τροφοδοσίας από 1V έως 3.3V.

Γ. Κάντε παραμετρική ανάλυση του μέγιστου ρεύματος τροφοδοσίας ως προς τη θερμοκρασία για εύρος -30 έως 120 βαθμούς Κελσίου.

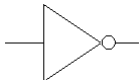
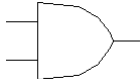
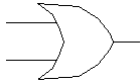
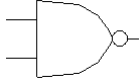
Επιπλέον Εργασία.

Α. Σχεδιάστε και εξομοιώστε τη βέλτιστη ως προς την καθυστέρηση αλυσίδα τριών αντιστροφέων με φορτίο εξόδου 5pF, ξεκινώντας με μοναδιαίο αντιστροφέα (ελάχιστο επιτρεπτό NMOS τρανζίστορ και PMOS τέτοιο ώστε να παρουσιάζει την ίδια καθυστέρηση ανόδου και καθόδου με φορτίο εξόδου ίσο με το φορτίο εισόδου). Τυπώστε όλες τις ενδιάμεσες κυματομορφές και τις αντίστοιχες καθυστερήσεις.

Β. Υπολογίστε θεωρητικά πόσα στάδια έχει η βέλτιστη αλυσίδα για την οδήγηση του φορτίου αυτού. Ποια είναι η σχέση της καθυστέρησης της βέλτιστης αλυσίδας με αυτήν που σχεδιάσατε στο πρώτο βήμα;

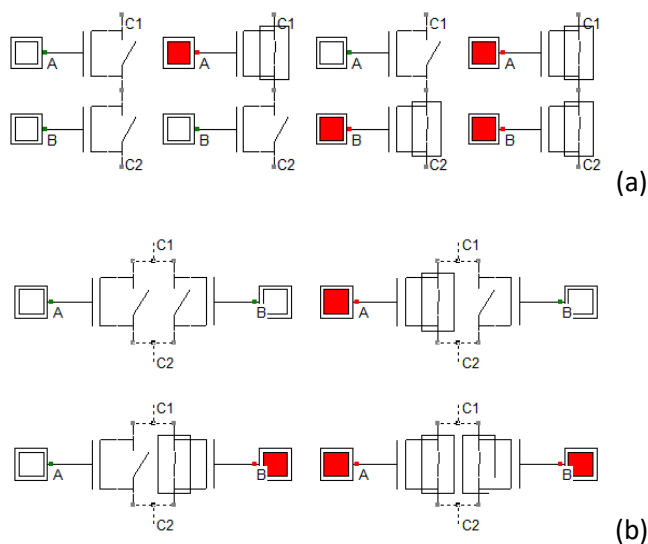
5.4 ΕΡΓΑΣΙΑ 4. ΣΧΕΔΙΑΣΗ ΒΑΣΙΚΩΝ ΠΥΛΩΝ ΛΟΓΙΚΗΣ

Πίνακας 5.3 Βασικές πύλες ψηφιακής λογικής και εξισώσεις τους σε Verilog.

Ονομασία	Σύμβολο	Εξίσωση λογικής
INVERTER		$out = \sim in;$
AND		$out = a \& b;$
NAND		$out = \sim (a\&b);$
OR		$out = a b;$
NOR		$out = \sim (a b);$
XOR		$out = a \wedge b;$
XNOR		$out = \sim (a \wedge b)$

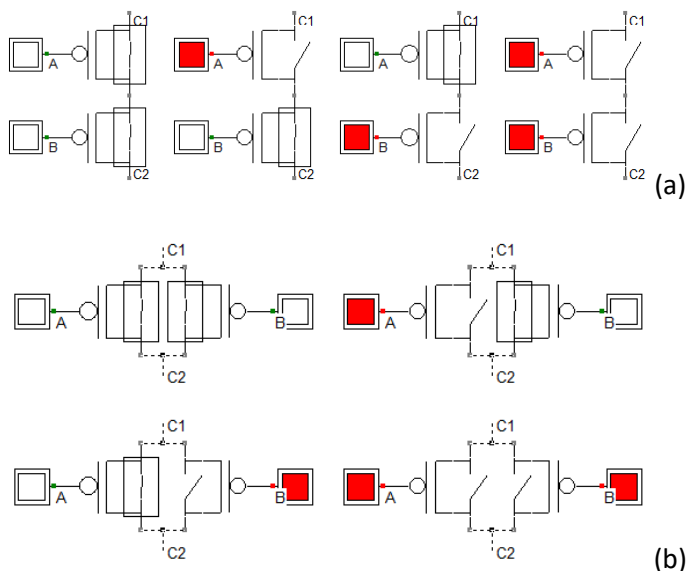
Συνδυαστική λογική.

Η κατασκευή πυλών λογικής με MOS (Πίνακας 5.3) διατάξεις αφορά σύνδεσή τους σε σειρά και παράλληλα. Αν δύο **nMOS** συνδεθούν σε σειρά, τότε υλοποιείται η πύλη **AND** (Εικ. 5.45(a)). Μόνο όταν $A=1$ και $B=1$ ταυτόχρονα, δημιουργείται αγωγή από το C1 μέχρι το C2. $AND(A,B) = A \& B$. Αν δύο **nMOS** συνδεθούν παράλληλα, τότε υλοποιείται η πύλη **OR** (Εικ. 5.45(b)). Όταν $A=1$ ή $B=1$, δημιουργείται αγωγή από το C1 μέχρι το C2. $OR(A,B) = A \mid B$.



Εικ. 5.45

Αντίστοιχα, αν συνδέσουμε σε σειρά **pMOS**, υλοποιείται η πράξη $A' \& B'$ (Εικ. 5.46(a)), ενώ αν τα συνδέσουμε παράλληλα υλοποιείται η πράξη $A' \mid B'$ (Εικ. 5.46(b)).

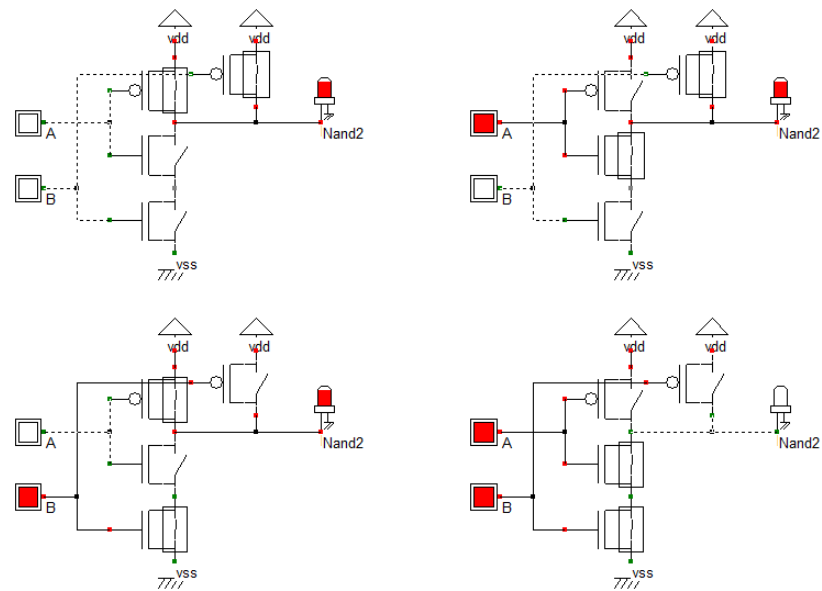


Εικ. 5.46

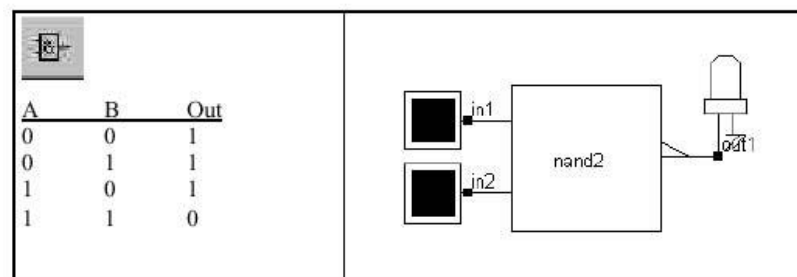
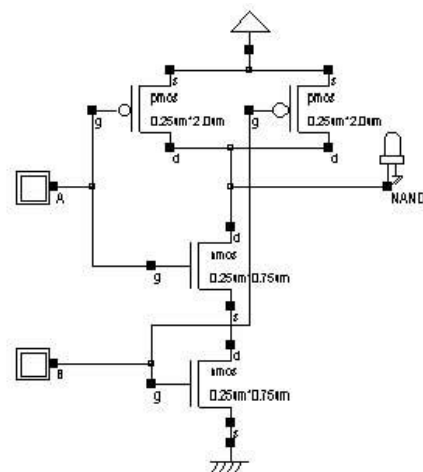
Σχεδιασμός NAND πύλης δύο εισόδων.

Η στατική CMOS πύλη NAND δύο εισόδων αποτελείται από δύο NMOS τρανζίστορ σε σειρά, τα οποία συνδέονται με δύο PMOS τρανζίστορ που είναι συνδεδεμένα μεταξύ τους παράλληλα (Εικ. 5.47). Το

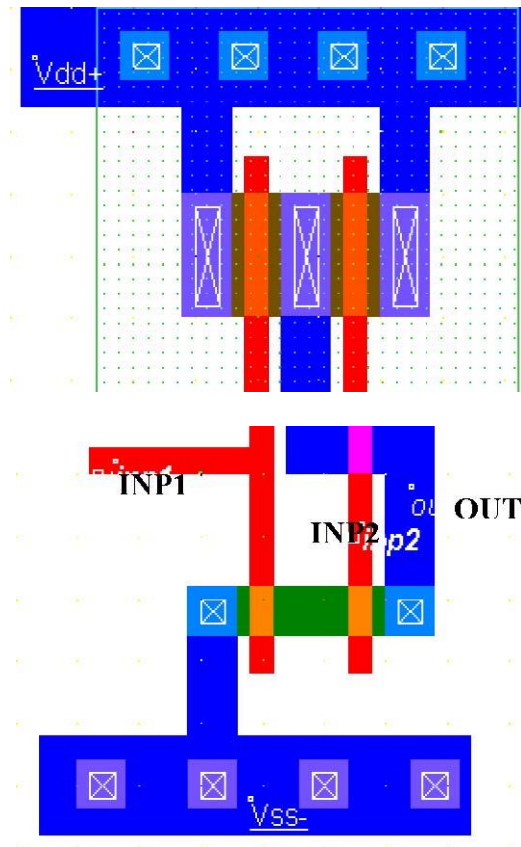
σχηματικό διάγραμμα μιας στατικής NAND πύλης σχεδιασμένης στο Dsch φαίνεται παρακάτω (Εικ. 5.48), μαζί με τον πίνακα αληθείας της.



Εικ. 5.47



Εικ. 5.48



Εικ. 5.49

Βήμα 1. Ακολουθώντας τα ίδια βήματα με αυτά που εκτελέσατε κατά τη σχεδίαση του αντιστροφέα, σχεδιάστε μία πύλη NAND δύο εισόδων σε τεχνολογία **CMOS 0.18μm**, με ελάχιστα NMOS τρανζίστορ και λόγο $W_{PMOS}/W_{NMOS}=3$. Ο φυσικός σχεδιασμός (layout) της πύλης φαίνεται στο παραπάνω σχήμα (Εικ. 5.49).

Εξομοίωση της πύλης.

Βήμα 1. Εφαρμόστε κατάλληλους παλμούς στις εισόδους της πύλης ώστε να επαληθεύσετε ολόκληρο τον πίνακα αληθείας χωρίς φορτίο στην έξοδο. Οι χρονισμοί των εισόδων προκύπτουν από τις κυματομορφές του παρακάτω σχήματος ($t_r=t_f=0.05\text{nsec}$) (Εικ. 5.50).

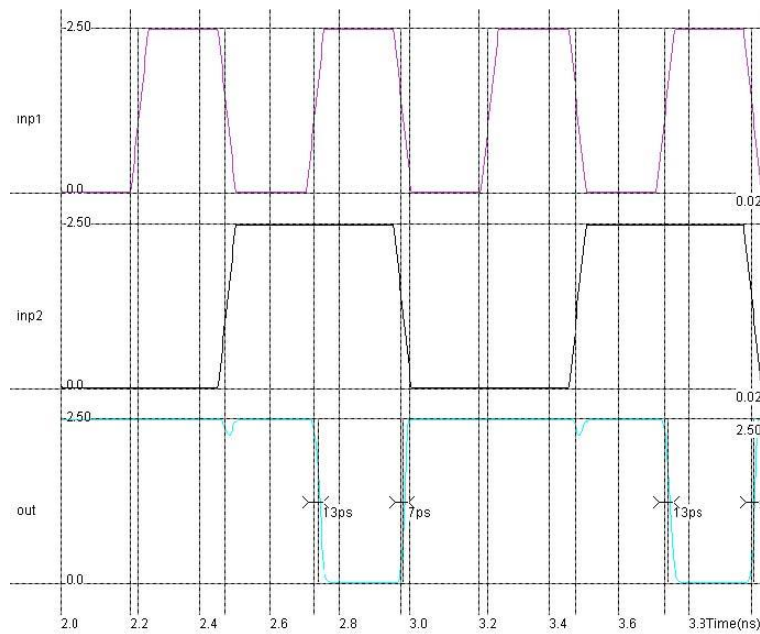
Βήμα 2. Στα διαγράμματα διακρίνονται οι καθυστερήσεις ανόδου και καθόδου ως προς την είσοδο **a** (INP1).

Βήμα 3. Αλλάξτε το πλάτος των NMOS τρανζίστορ ώστε η διαφορά στον χρόνο ανόδου και καθόδου της εξόδου να γίνει μικρότερη από 10%.

Βήμα 4. Μετρήστε τις καθυστερήσεις ως προς την είσοδο **b** (INP2), αλλάζοντας με τη βοήθεια του mouse το “Start node” αντικείμενο του παραθύρου της εξομοίωσης από τον κόμβο **a** στον κόμβο **b**.

Βήμα 5. Καταγράψτε σε πίνακα τις καθυστερήσεις για όλους τους συνδυασμούς αλλαγών των εισόδων.

Βήμα 6. Επαναλάβετε τα βήματα 2 και 3 για φορτίο εξόδου 50 fF και αλλάξτε το μέγεθος των τρανζίστορ ώστε η πύλη να παρουσιάζει στη χειρότερη περίπτωση καθυστέρηση 40 ps ($\pm 5\%$).



Εικ. 5.50

Παραμετρική ανάλυση της πύλης NAND.

Βήμα 1. Μετά το τέλος της εξομοίωσης να κάνετε παραμετρική ανάλυση του κυκλώματος της NAND πύλης δύο εισόδων:

A) Για την καθυστέρηση ανόδου της εξόδου σε σχέση με τις εισόδους, θεωρώντας ότι η τάση VDD κυμαίνεται από 0 έως 3.5 Volts (βήμα 0.5 Volts).

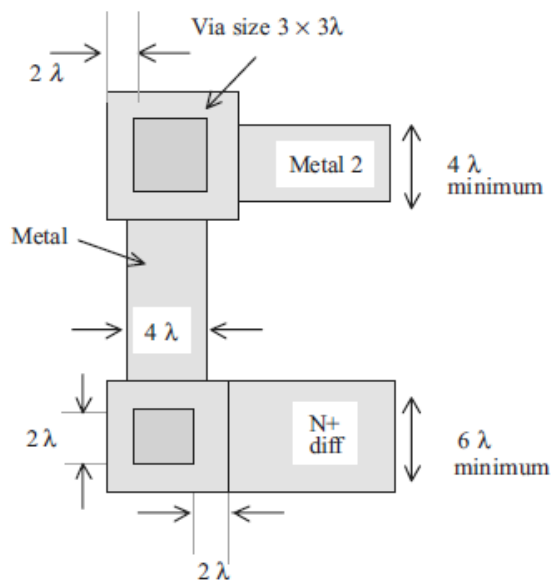
B) Για την κατανάλωση ισχύος θεωρώντας ότι η χωρητικότητα της εξόδου κυμαίνεται από 0.00 έως 300 fF (με βήμα 30 fF).

ΠΡΟΣΟΧΗ στην περίοδο των σημάτων εισόδου. Πρέπει να είναι τέτοια ώστε για τη μεγαλύτερη χωρητικότητα να γίνεται πλήρης φόρτιση-εκφόρτιση του φορτίου εξόδου.

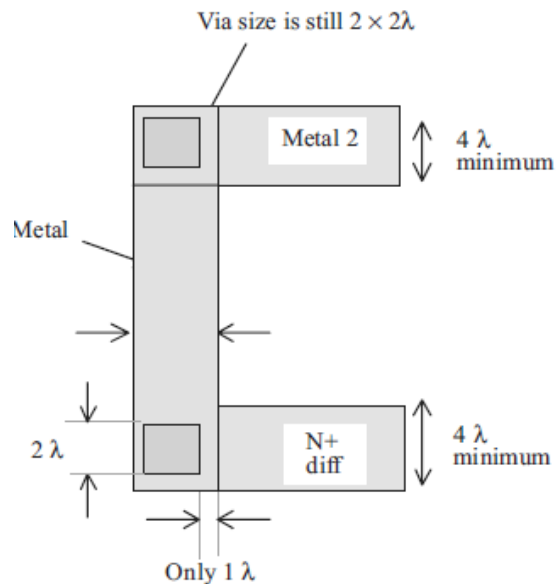
5.5 ΕΡΓΑΣΙΑ 5. ΣΧΕΔΙΑΣΗ ΜΕΤΑΛΛΙΚΩΝ ΔΙΑΣΥΝΔΕΣΕΩΝ

Άσκηση 1

1. Στην Εικ. 5.51 χρησιμοποιούμε κανόνες τεχνολογίας 0.7μm. Σχεδιάστε τη δομή στο Microwind.
2. Στην Εικ. 5.52 χρησιμοποιούμε κανόνες τεχνολογίας 0.12μm. Σχεδιάστε τη δομή στο Microwind.
3. Ποια συμπεράσματα εξαγάγετε από τη σύγκριση των δύο αυτών σχεδίων για τις δύο τεχνολογίες;



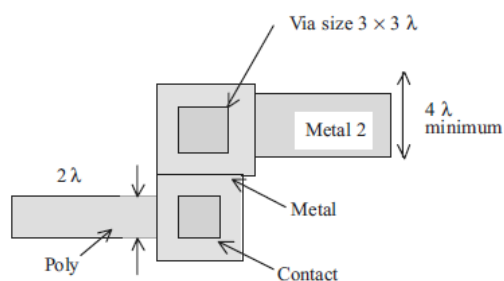
Εικ. 5.51



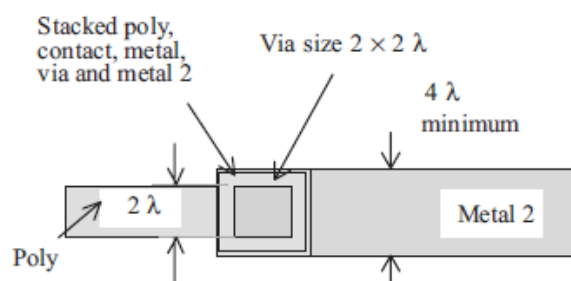
Εικ. 5.52

Άσκηση 2

1. Στην Εικ. 5.53 σχεδιάζουμε επαφές μεταξύ poly και metal 2 σε 0.7μm τεχνολογία. Να αναπαράγετε το σχέδιο στο Microwind.
2. Στην Εικ. 5.54 σχεδιάζουμε επαφές μεταξύ poly και metal 2 σε 0.12μm τεχνολογία. Να αναπαράγετε το σχέδιο στο Microwind.
3. Ποια συμπεράσματα εξάγετε από τη σύγκριση των δύο αυτών σχεδίων για τις δύο τεχνολογίες;



Εικ. 5.53

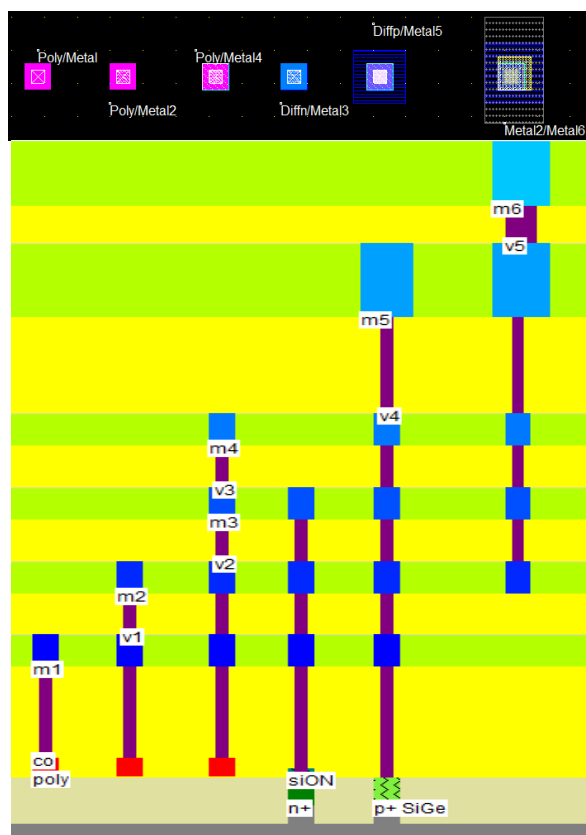


Εικ. 5.54

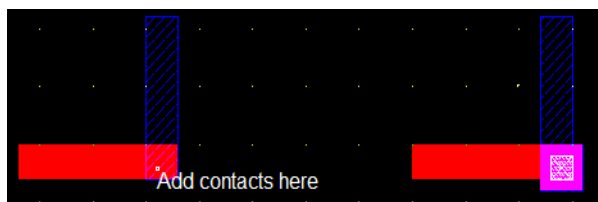
Άσκηση 3

Σχεδιάστε με 0.12μm τεχνολογία τις επόμενες επαφές (Εικ. 5.55) στη σειρά και να κάνετε μια τομή ώστε να τις δείτε σε πλάγια όψη. Μπορείτε να χρησιμοποιήσετε τη μακροεντολή complex contacts από την παλέτα εργαλείων του Microwind.

1. Poly/metal
2. Poly/metal2
3. Poly/metal4
4. Diffn/metal3
5. Diffp/metal5
6. Metal2/metal6



Εικ. 5.55



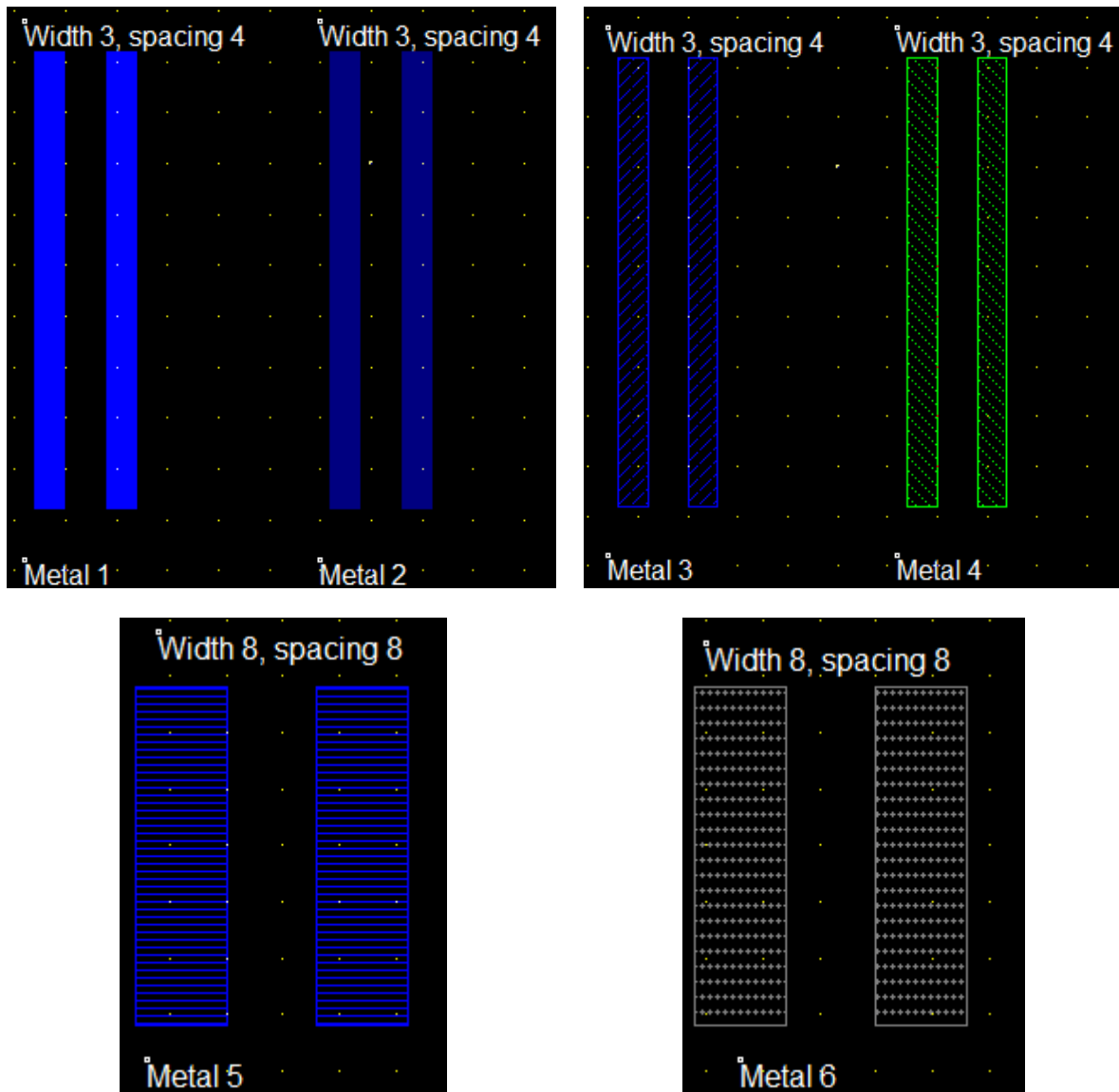
Εικ. 5.56

Άσκηση 4

Ένα χρήσιμο εργαλείο στο Microwind είναι το Edit → Layer Connection (Ctrl+W). Σχεδιάστε ένα επίπεδο poly και ένα επίπεδο metal 3 όπως στην Εικ. 5.56. Αντί να χρησιμοποιήσετε την complex contacts για να τα συνδέσετε, χρησιμοποιήστε την **Connect Layers**.

Άσκηση 5

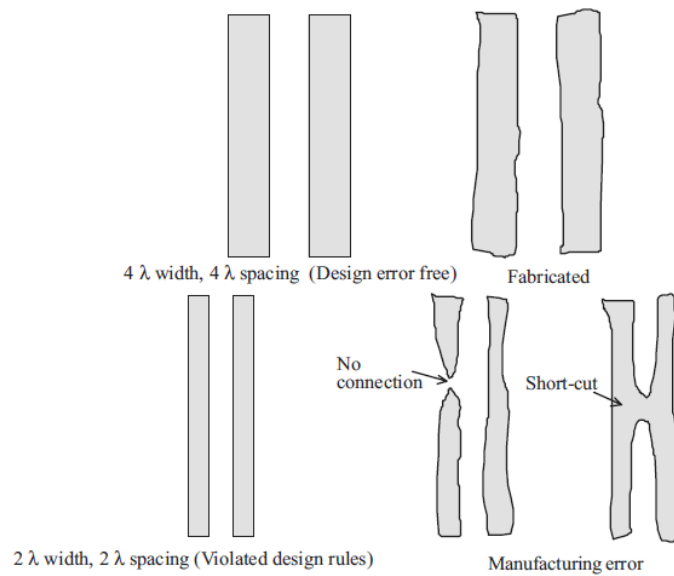
Στην τεχνολογία 0.12μm οι σχεδιαστικοί κανόνες για τα μέταλλα φαίνονται στην Εικ. 5.57 παρακάτω. Επαναλάβετε τη σχεδίαση. (Οι αριθμοί είναι σε μονάδες λ). Αυτές οι τιμές ελάχιστου πλάτους και διαχωρισμού είναι κρίσιμες. Ορίζουν ένα όριο, κάτω από το οποίο η πιθανότητα για κατασκευαστικό σφάλμα αυξάνεται σε μη αποδεκτό βαθμό. Π.χ. αν σχεδιάσουμε metal με πλάτος 2λ και 2λ διαχωρισμό, μπορεί να προκύψουν διακοπές στη συνέχεια του υλικού ή βραχυκυκλώματα, όπως φαίνεται στην Εικ. 5.58.



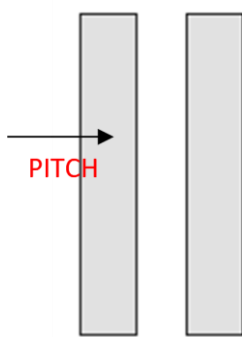
Εικ. 5.57

Πριν από την κατασκευή, το σχέδιο πρέπει να ελεγχθεί για να διασφαλίσουμε ότι είναι συνεπές με τους κανόνες πλάτους και αποστάσεων, ώστε να αποφύγουμε διακοπές συνέχειας υλικού ή βραχυκυκλώματα στο τελικά κατασκευασμένο ολοκληρωμένο κύκλωμα. Το Microwind έχει την εντολή design rule check για αυτόν τον έλεγχο. Βέβαια, ακόμα και αν δεν υπάρχει κανένα σφάλμα κατά τον έλεγχο, υπάρχει πιθανότητα για κατασκευαστικά σφάλματα. Ένα δισκίο με 500 ολοκληρωμένα κυκλώματα έχει απόδοση 70% για σωστά κυκλώματα, δηλαδή 30% των κυκλωμάτων θα έχουν κατασκευαστικό σφάλμα και θα πρέπει να απορριφθούν. Αυτή η απόδοση μπορεί να πέσει στο 20% στις σύγχρονες τεχνολογίες, όπου οι διαστάσεις είναι πολύ μικρές, οι ανοχές πολύ πιο αυστηρές και τα δισκία πολύ μεγάλα για να χωράνε πολλά κυκλώματα.

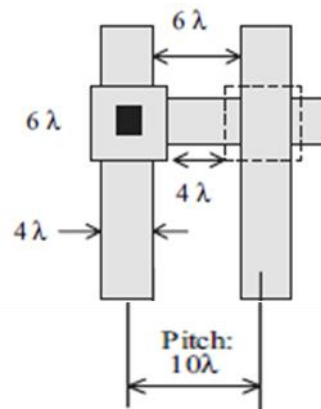
Στη σχεδίαση πρακτικά, οι γραμμές μετάλλου έχουν πλάτος λίγο μεγαλύτερο από το ελάχιστο επιτρεπτό. Στο Microwind οι διασυνδέσεις υλοποιούνται με κανόνα 4λ. Συνήθως μας ενδιαφέρει η περίοδος των διασυνδέσεων (pitch), δηλαδή η απόσταση από την αρχή πλάτους μιας διασύνδεσης μέχρι την αρχή πλάτους της παράλληλης διασύνδεσης (Εικ. 5.59). Στην τεχνολογία 0.7μm η περίοδος αυτή είναι 10λ (Εικ. 5.60). Στις υπομικρονικές τεχνολογίες, η περίοδος των διασυνδέσεων είναι 8λ. Συγκεκριμένα για την τεχνολογία των 0.12μm, η περίοδος γραμμών διασύνδεσης φτάνει στα 0.48μm (Εικ. 5.61).



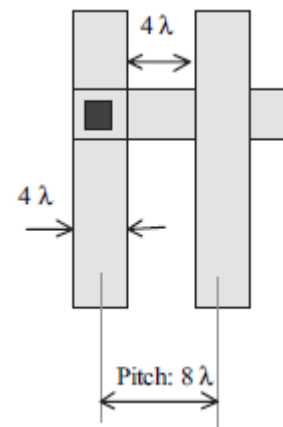
Εικ. 5.58



Εικ. 5.59



Εικ. 5.60

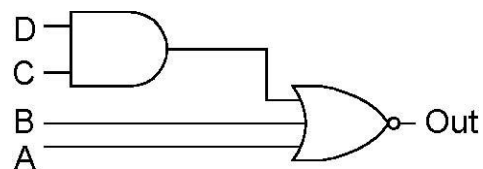


Εικ. 5.61

Σχεδιάστε στο Microwind τα σχέδια των Εικόνων 5.60 και 5.61.

5.6 ΕΡΓΑΣΙΑ 6: ΣΧΕΔΙΑΣΗ ΠΟΛΥΠΛΟΚΩΝ ΠΥΛΩΝ ΛΟΓΙΚΗΣ CMOS

Στο παρακάτω σχήμα (Εικ. 5.62) δίνεται το διάγραμμα σε επίπεδο λογικών πυλών του κυκλώματος που υλοποιεί τη λογική συνάρτηση: $Out = \text{Not} (A + B + C D)$



Εικ. 5.62

Χωροθεσία πύλης OR 2 εισόδων.

Το πρώτο βήμα που πρέπει να γίνει είναι να παραχθεί το κυκλωματικό διάγραμμα σε επίπεδο τρανζίστορ. Στο λογικό δένδρο η τύπου η λογική λειτουργία OR (+) υλοποιείται με παράλληλη σύνδεση των τρανζίστορ, ενώ η λογική λειτουργία AND υλοποιείται με σειριακή σύνδεση των τρανζίστορ. Το λογικό δένδρο p τύπου είναι το δυαδικό του λογικού δένδρου η τύπου.

Ακολουθώντας τους παραπάνω κανόνες σχεδιάστε το διάγραμμα σε επίπεδο τρανζίστορ για την υλοποίηση της παραπάνω λογικής συνάρτησης.

Όπως αναφέρεται στη θεωρία, η τεχνική που θα απλοποιήσει και κατά κάποιο τρόπο θα απλουστεύσει (συντομεύσει) τον σχεδιασμό είναι αυτή που χρησιμοποιεί τα μονοπάτια Euler με την οποία μπορεί να επιτευχθεί ο σχεδιασμός μιας πύλης κατά συνεχή τρόπο.

Προσδιορίστε ένα μονοπάτι Euler στην πύλη που σχεδιάσατε. Χρησιμοποιώντας την τεχνολογία CMOS 0.18 μm ακολουθήστε τα παρακάτω βήματα για τον σχεδιασμό του layout της πύλης.

Βήμα 1. Το πρώτο βήμα του φυσικού σχεδιασμού της πύλης είναι η τοποθέτηση κάθετων λωρίδων πολυκρυσταλλικού πυριτίου σύμφωνα με την ακολουθία του κοινού μονοπατιού που βρέθηκε παραπάνω. Η απόσταση μεταξύ τους να είναι τουλάχιστον 6λ.

Βήμα 2. Στη συνέχεια τοποθετούνται οι δύο παράλληλες περιοχές διάχυσης η και p τύπου οι οποίες τέμνουν κάθετα τις λωρίδες πολυκρυσταλλικού πυριτίου, έτσι ώστε να δημιουργηθούν τα τρανζίστορ της πύλης. Η περιοχή διάχυσης τύπου η να είναι 4λ και η τύπου p 10λ.

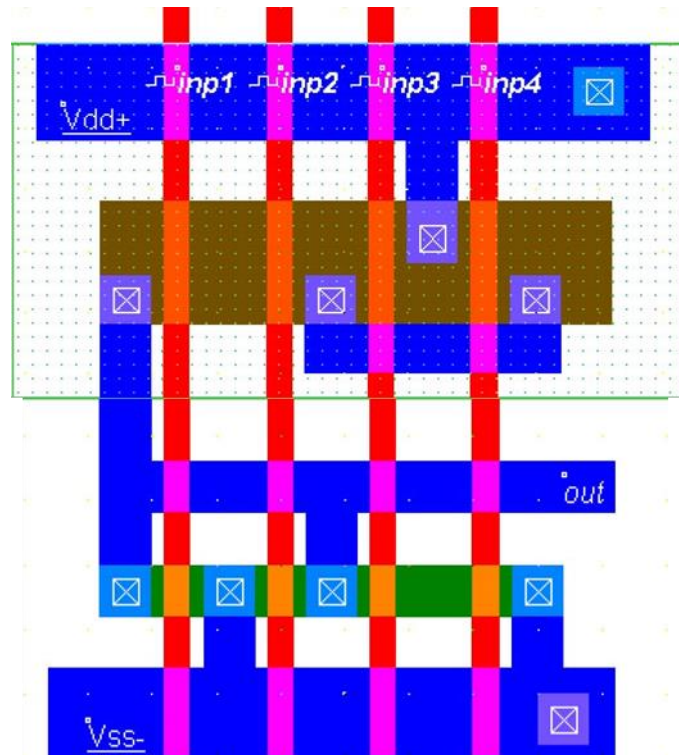
Βήμα 3. Το επόμενο βήμα είναι ο σχεδιασμός των λωρίδων μετάλλου της τροφοδοσίας και της γείωσης (Πλάτος 8λ).

Βήμα 4. Στη συνέχεια σχεδιάζεται η περιοχή του «πηγαδιού» τύπου η, η οποία περικλείει τα τρανζίστορ τύπου p.

Βήμα 5. Με βάση τη συνδεσμολογία των τρανζίστορ που φαίνεται στο κυκλωματικό διάγραμμα (**Εικ. 5.62**) σχεδιάζονται οι διασυνδέσεις της πύλης χρησιμοποιώντας λωρίδες μετάλλου πλάτους 4λ.

Βήμα 6. Για να ολοκληρωθεί ο σχεδιασμός της πύλης, πρέπει να πολωθεί το «πηγάδι» τύπου η και το υπόστρωμα τύπου p με τις κατάλληλες επαφές.

Το τελικό layout φαίνεται στο παρακάτω σχήμα (**Εικ. 5.63**).

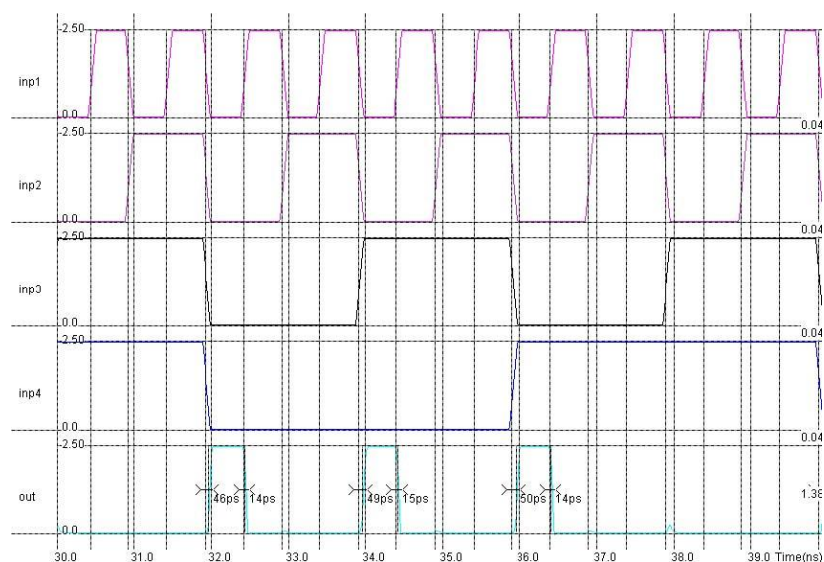


Εικ. 5.63

Εξομοίωση της χωροθεσίας.

Εξομοιώστε την πύλη (χρησιμοποιώντας το μοντέλο BSIM4) για όλους τους δυνατούς συνδυασμούς των εισόδων, ώστε να πάρετε τις κυματομορφές που δίνονται στο παρακάτω σχήμα (Εικ. 5.64).

Η πρώτη είσοδος έχει περίοδο 1 nsec και $t_r = t_f = 0.1$ nsec, ενώ οι υπόλοιπες έχουν τη διπλάσια περίοδο από την πρώτη αλλά τον ίδιο χρόνο ανόδου και καθόδου.



Εικ. 5.64

Επιπλέον Ασκήσεις.

A. Υλοποιήστε το layout της πύλης αυτόματα χρησιμοποιώντας τον μεταφραστή μίας γραμμής (compiler one line) και εξομοιώστε το κύκλωμα με τα ίδια σήματα εισόδου.

B. Συγκρίνετε το layout και τις καθυστερήσεις του κυκλώματος στις δύο περιπτώσεις.

Γ. Απλοποιήστε τη λογική συνάρτηση $F = a'b'c' + b'cd' + ab'c' + a'bcd'$

Δ. Σχεδιάστε και εξομοιώστε για όλους τους δυνατούς συνδυασμούς των εισόδων της τη σύνθετη CMOS πύλη που υλοποιεί την απλοποιημένη μορφή της F με μοναδιαία transistors ($W_{nmos} = 4\lambda$ και $W_{pmos} = 10\lambda$). Θεωρήστε ότι έχετε διαθέσιμα και τα αντίστροφα των εισόδων.

Ε. Υπολογίστε το μέγεθος των transistors ώστε η πύλη να παρουσιάζει τον ίδιο χρόνο ανόδου - καθόδου στη χειρότερη περίπτωση αλλαγής των εισόδων της.

5.7 ΕΡΓΑΣΙΑ 7. ΣΧΕΔΙΑΣΗ ΠΛΗΡΟΥΣ ΑΘΡΟΙΣΤΗ

A. Φτιάξτε τον πίνακα αληθείας και υπολογίστε τις λογικές συναρτήσεις για το άθροισμα και το κρατούμενο του πλήρους αθροιστή (full adder) ενός ψηφίου.

B. Χρησιμοποιώντας τον μεταφραστή μίας γραμμής Verilog, υλοποιήστε σε τεχνολογία CMOS 0.12μm τις συναρτήσεις που υπολογίσατε στο προηγούμενο βήμα και κάντε τις αναγκαίες διασυνδέσεις των σημάτων εισόδου.

ΠΡΟΣΟΧΗ: A. Ο μεταφραστής μίας γραμμής δεν δέχεται τη συνάρτηση του αθροίσματος (Sum). Πρέπει να φτιάξετε δύο πύλες XOR και να τις συνδέσετε με το χέρι.

Γ. Εξομοιώστε το κύκλωμα που σχεδιάσατε ώστε να επαληθεύσετε πλήρως τον πίνακα αληθείας του.

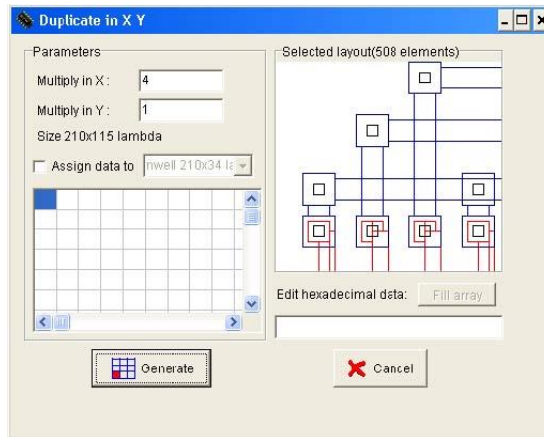
ΠΡΟΣΟΧΗ: Για να γίνει σωστή εξομοίωση του κυκλώματος πριν τρέξετε τον εξομοιωτή πρέπει:

1. Να σβήσετε τα ίδια ονόματα των κόμβων που δεν συνδέονται μεταξύ τους (π.χ. οι είσοδοι των πυλών XOR είναι A και B).
2. Να κάνετε extract netlist από το menu Simulate-Simulation parameters.
3. Να επιλέξετε το μοντέλο BSIM4

Αθροιστής 4-bit.

A. Συνδυάζοντας 4 Full Adder Cells σχεδιάστε έναν αθροιστή διάδοσης κρατουμένου τεσσάρων ψηφίων (4-bit ripple carry adder).

B. Υλοποιήστε τον αθροιστή τεσσάρων ψηφίων χρησιμοποιώντας το cell του πλήρους αθροιστή. Αυτό μπορείτε να το επιτύχετε με την εντολή Duplicate XY. Η εντολή **“Duplicate XY”** είναι πολύ χρήσιμη στη δημιουργία μίας σειράς από ολόιδια cells. Επιλέξτε την εντολή Duplicate XY από το μενού Edit, και μετά επιλέξτε με το ποντίκι την περιοχή του layout που θέλετε να αντιγραφεί. Τότε, εμφανίζεται το ακόλουθο παράθυρο (Εικ. 5.65):



Εικ. 5.65

Γ. Επιλέξτε στο multiply in X και multiply in Y το πόσες φορές θέλετε να αντιγραφεί σε κάθε άξονα το επιλεγμένο τμήμα του layout. Πατώντας το Generate, δημιουργείται το νέο layout. Επειδή τα τμήματα του layout εφάπτονται μεταξύ τους μετά την αντιγραφή, χρειάζεται προσοχή κατά τον σχεδιασμό, ώστε να μην δημιουργηθούν βραχυκυκλώματα και να ενώνονται όπου απαιτείται αντίστοιχα σήματα (π.χ. Vdd και Vss) ή αντίστοιχα επίπεδα (π.χ. n-well). Για να υλοποιήσετε τον αθροιστή τεσσάρων ψηφίων επιλέξτε για τον άξονα X multiply 4 και για τον άξονα Y multiply 1.

Δ. Πραγματοποιήστε τις αναγκαίες διασυνδέσεις, δώστε ονόματα στις εισόδους (A1-A4 και B1-B4, Cin) και εξόδους (Sum1-Sum4, Cout) και εξομοιώστε το κύκλωμα του αθροιστή τεσσάρων ψηφίων. Είναι σκόπιμο για τις διασυνδέσεις να χρησιμοποιείται ένα επίπεδο μετάλλου για τα οριζόντια τμήματα των διασυνδέσεων (metal2) και ένα άλλο για τα κατακόρυφα (metal1).

5.8 ΕΡΓΑΣΙΑ 8. ΣΧΕΔΙΑΣΗ ΑΚΟΛΟΥΘΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

Ακολουθιακά Κυκλώματα (D-Latch & D-Flip-Flop)

A. Σχεδιάστε το λογικό κύκλωμα ενός στατικού D flip-flop που ενεργοποιείται στην κατερχόμενη παρυφή του σήματος χρονισμού (clock).

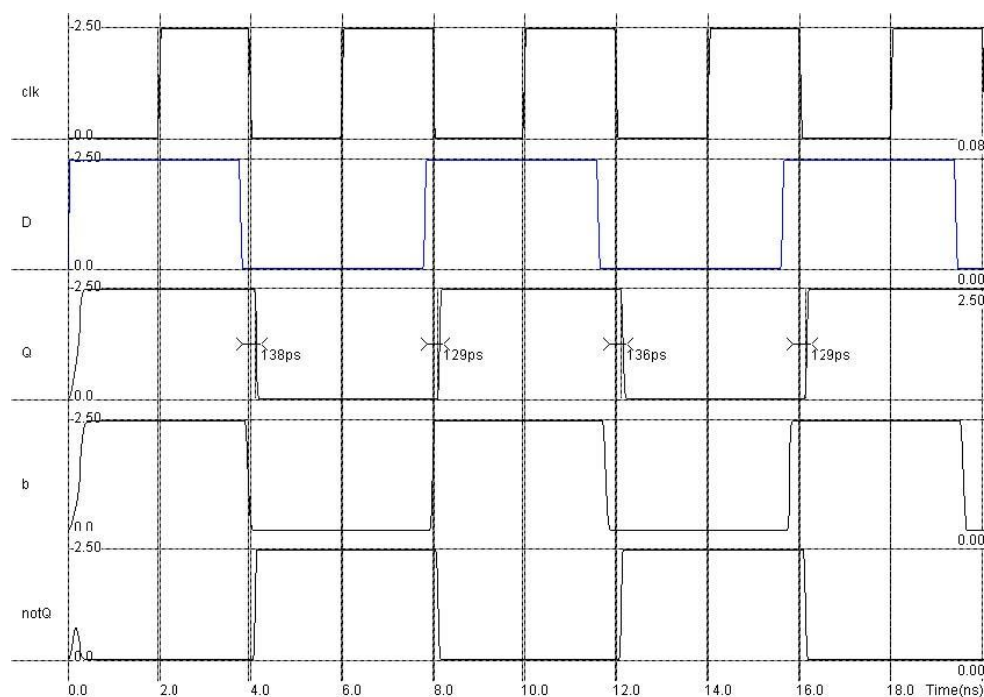
B. Να χρησιμοποιήσετε πολυπλέκτες (multiplexers) για να υλοποιήσετε D-latches, τα οποία θα συνδέσετε στη συνέχεια σε δομή master-slave. Στην ανατροφοδότηση να χρησιμοποιήσετε δύο αντιστροφείς για να εισάγετε την απαιτούμενη καθυστέρηση.

Γ. Σχεδιάστε και εξομοιώστε το layout ενός D-latch το οποίο ενεργοποιείται όταν το σήμα clock είναι 0 (level sensitive). ($t_r = t_f = 50ps$)

ΣΗΜΕΙΩΣΗ: Για να σχεδιάσετε με τον μεταφραστή μίας γραμμής (compile one line) τον multiplexer χρησιμοποιήστε τη λογική εξίσωση της εξόδου του χωρίς να λάβετε υπόψη την αντιστροφή στο σήμα επιλογής.

Δ. Υλοποιήστε το D-flip-flop χρησιμοποιώντας δύο D-latches σύμφωνα με το λογικό κύκλωμα που σχεδιάσατε στο πρώτο βήμα.

Ε. Εξομοιώστε το layout του D flip-flop που σχεδιάσατε ώστε να παραχθούν οι κυματομορφές που δίνονται στο επόμενο σχήμα (Εικ. 5.66).



Εικ. 5.66

Επιπλέον Ασκήσεις.

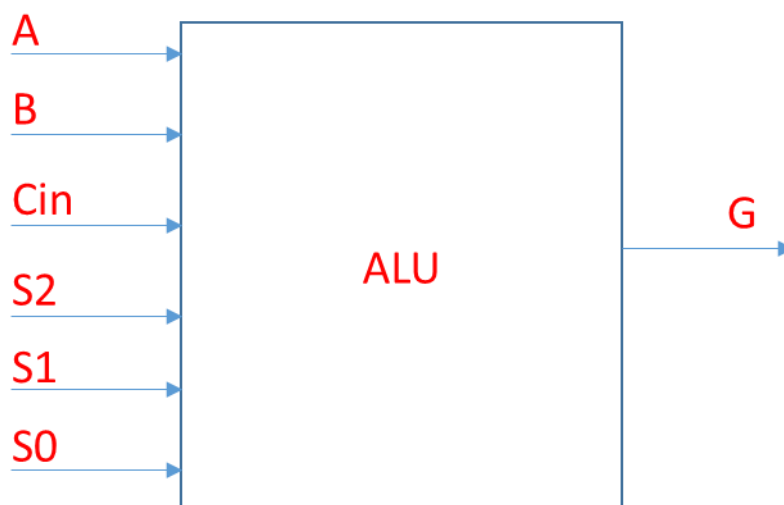
Χρησιμοποιώντας το D flip-flop που σχεδιάσατε, υλοποιήστε και εξομοιώστε έναν ασύγχρονο απαριθμητή που μετράει από 0-15.

5.9 ΕΡΓΑΣΙΑ 9. ΣΧΕΔΙΑΣΗ ΜΟΝΑΔΑΣ ΑΡΙΘΜΗΤΙΚΗΣ-ΛΟΓΙΚΗΣ 1BIT

Αριθμητική – Λογική Μονάδα 1-Bit.

Αντικείμενο της άσκησης είναι ο λογικός σχεδιασμός, η εξομοίωση και η παραγωγή του layout μιας αριθμητικής-λογικής μονάδας (ALU) ενός ψηφίου (1-bit ALU) συνδυάζοντας τη χρήση του schematic editor DSCH, του Microwind και της γλώσσας περιγραφής υλικού (Hardware Description Language, HDL) Verilog.

Το μπλοκ διάγραμμα και ο πίνακας αληθείας της συνολικής ALU φαίνονται στην Εικ. 5.67 και τον Πίνακα 5.4 αντίστοιχα.



Εικ. 5.67 Μπλοκ διάγραμμα της ALU-1Bit.

Πίνακας 5.4 Πίνακας αληθείας της ALU-1Bit.

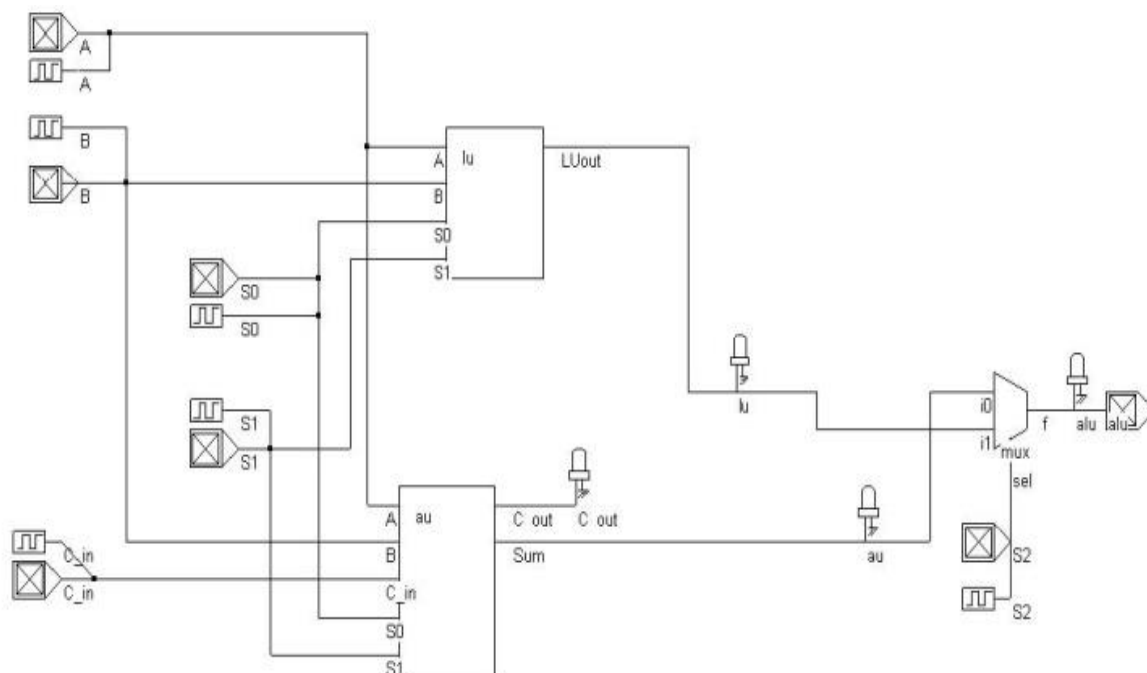
Operation Select					
S2	S1	S0	Cin	G	Function
0	0	0	0	A	Transfer A
0	0	0	1	A+1	Increment A
0	0	1	0	A+B	Addition
0	0	1	1	A+B+1	Add with carry input of 1
0	1	0	0	A+B'	A plus 1's complement of B
0	1	0	1	A+B'+1	Subtraction
0	1	1	0	A-1	Decrement A
0	1	1	1	A	Transfer A
1	0	0	X	AND(A,B)	AND
1	0	1	X	OR(A,B)	OR
1	1	0	X	XOR(A,B)	XOR
1	1	1	X	A'	1's complement

Η ALU-1Bit απαρτίζεται εσωτερικά από μια μονάδα λογικής (LU) και μια μονάδα αριθμητικής (AU). Στην **Εικ. 5.68** απεικονίζεται το λογικό διάγραμμα της μονάδας λογικής και στον **Πίνακα 5.5** ο αντίστοιχος πίνακας αληθείας της.

S1	S0	C_in	Sum	Function
0	0	0	A	Transfer A
0	1	0	A+B	Add
1	0	0	A+B'	
1	1	0	A-1	Decrement A
0	0	1	A+1	Increment A
0	1	1	A+B+1	
1	0	1	A+B'+1	Subtract
1	1	1	A	Transfer A

Σχεδιαστικές Οδηγίες στο DSCH.

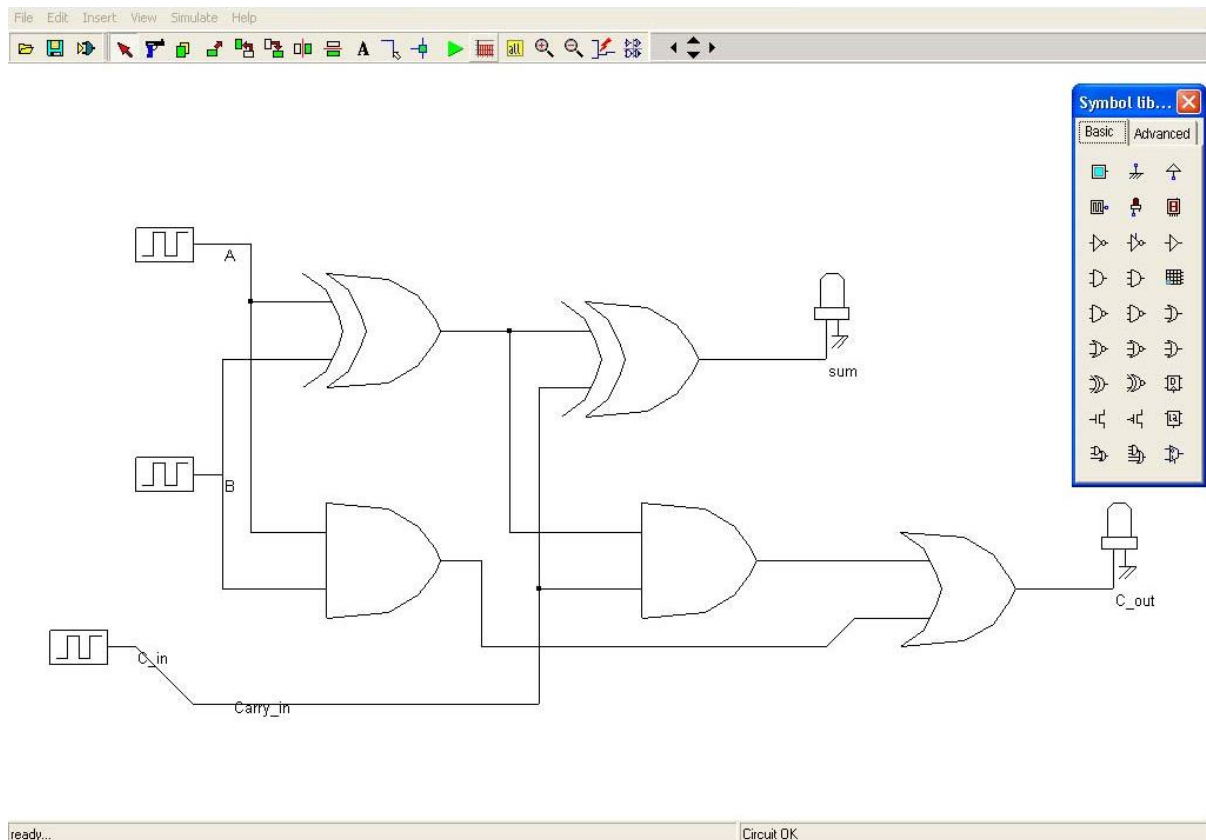
Αρχικά πρέπει να σχεδιαστούν και να εξομοιωθούν με χρήση του DSCH όλες οι υπομονάδες που απαιτούνται για την υλοποίηση της ALU, δηλαδή ένας πολυπλέκτης 4 σε 1, ένας πλήρης αθροιστής ενός ψηφίου, η λογική μονάδα LU και η αριθμητική μονάδα AU. Μετά θα σχεδιαστεί η ALU όπως φαίνεται στο σχήμα της **Εικ. 5.70**.



Εικ. 5.70 Η πλήρης δομή της ALU-1Bit.

Ακολούθως πρέπει να παραχθεί ο κώδικας Verilog, ο οποίος θα χρησιμοποιηθεί στο Microwind για την αυτόματη παραγωγή του layout. Το layout πρέπει τέλος να εξομοιωθεί ώστε να επιβεβαιωθεί η ορθή λειτουργία σύμφωνα με τα αποτελέσματα που παίρνουμε από την εξομοίωση του σχηματικού.

Στην **Εικ. 5.71** φαίνεται το περιβάλλον του schematic editor με το σχέδιο του πλήρη αθροιστή. Από την Symbol Library επιλέγονται τα λογικά στοιχεία που αποτελούν το κύκλωμα. Στα advanced στοιχεία περιλαμβάνονται και τα pads εισόδου-εξόδου, τα οποία είναι απαραίτητα για τη δημιουργία συμβόλου από το σχηματικό. Τα προεπιλεγμένα ονόματα που δίνονται σε διάφορα στοιχεία (π.χ. clk1) μπορούν να αλλαχθούν με διπλό κλικ πάνω στο στοιχείο. Επίσης, στο Schematic editor μπορείτε να φτιάξετε σύμβολο για το σχηματικό ώστε να είναι δυνατός ο ιεραρχικός σχεδιασμός του κυκλώματος.



Εικ. 5.71 Το περιβάλλον του DSCH.

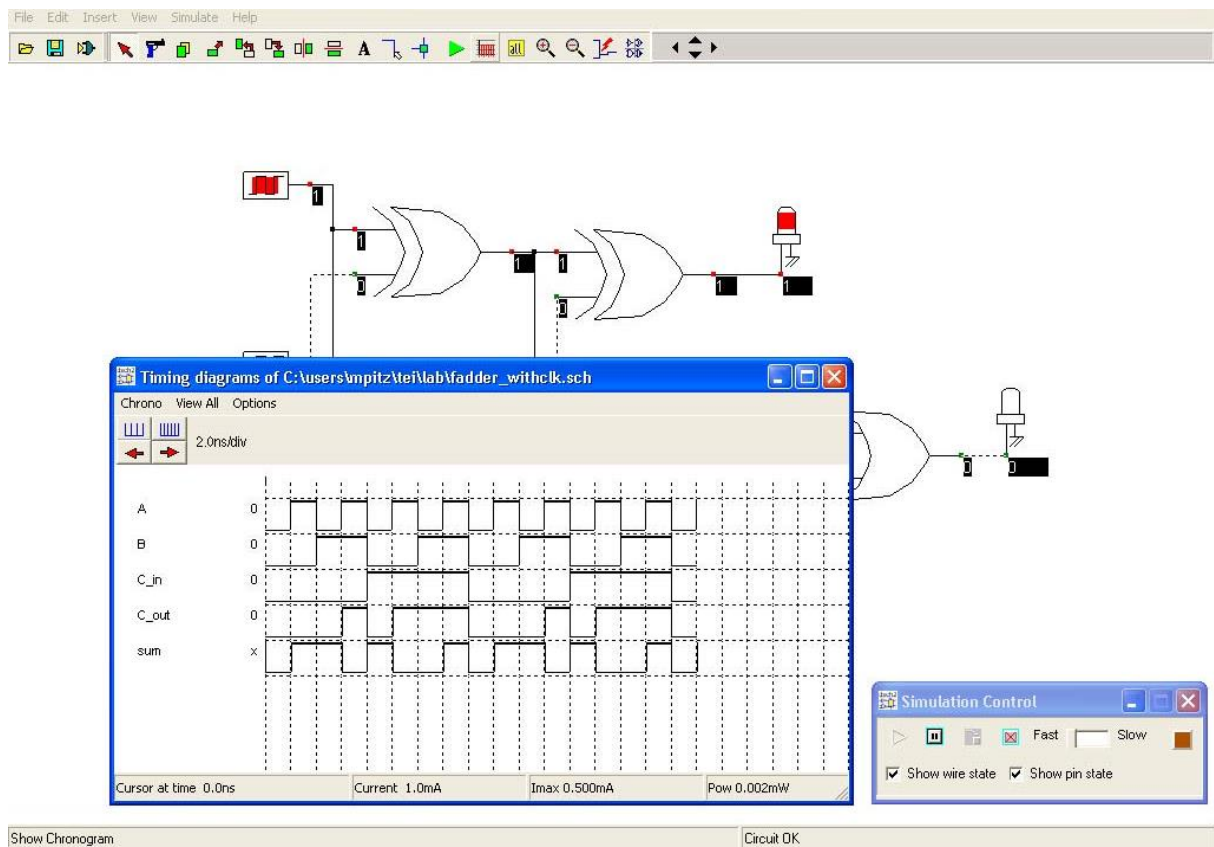
Για να γίνει λογική εξομοίωση του κυκλώματος πρέπει στις εισόδους να τοποθετηθούν γεννήτριες παλμών (clocks) ή άλλη πηγή και στις εξόδους LEDs ή άλλου τύπου display. Η εξομοίωση ξεκινάει από το menu Simulate ή το αντίστοιχο εικονίδιο της γραμμής εργαλείων και εμφανίζεται στην οθόνη ένα παράθυρο ελέγχου. Πατώντας το εικονίδιο του διαγράμματος χρονισμού (timing diagram) από τη γραμμή εργαλείων η εξομοίωση παγώνει και εμφανίζονται οι κυματομορφές των εισόδων και εξόδων του κυκλώματος μέχρι εκείνη τη στιγμή (Εικ. 5.72).

Κλείνοντας το παράθυρο του διαγράμματος χρονισμού η εξομοίωση συνεχίζεται μέχρι να κλείσετε και το παράθυρο ελέγχου της εξομοίωσης. Επίσης, κατά τη διάρκεια της εξομοίωσης δίνεται η δυνατότητα να εμφανίζονται πάνω στο σχηματικό οι λογικές τιμές των κόμβων ή/και να αλλάζουν χρώμα τα καλώδια και να ρυθμίζεται η ταχύτητά της. Από το menu Simulate-simulation options καθορίζονται διάφορες παράμετροι της εξομοίωσης, όπως οι καθυστερήσεις των πυλών και των διασυνδέσεων.

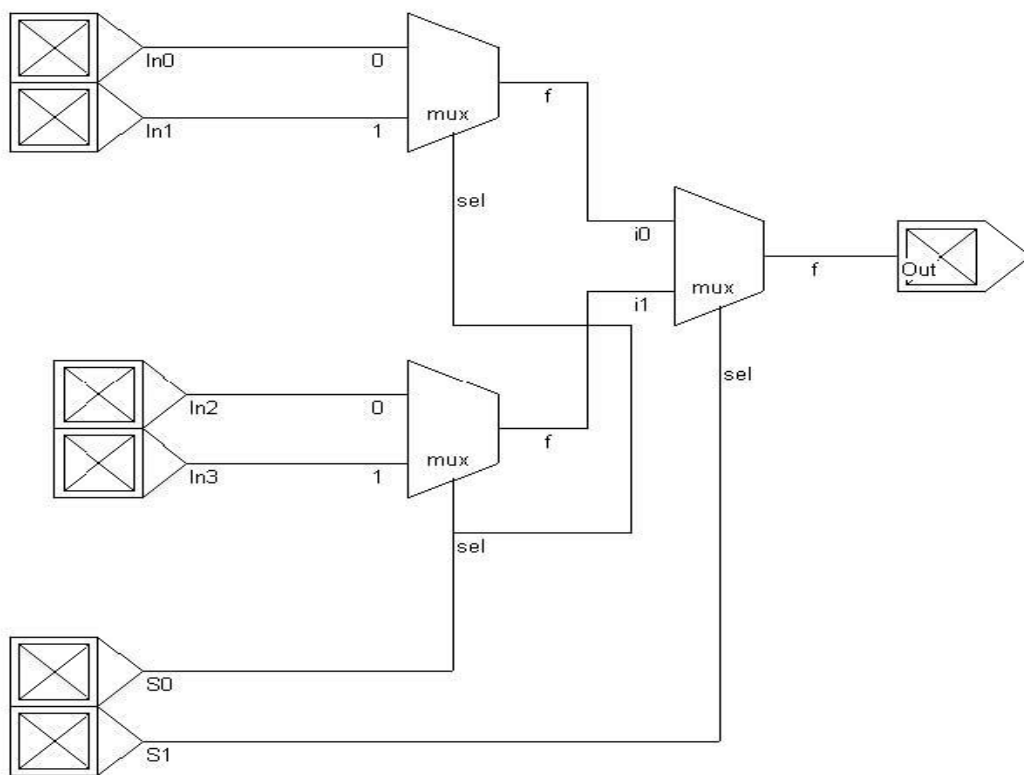
Σχεδίαση Πολυπλέκτη 4 σε 1.

Α. Σχεδιάστε και εξομοιώστε στον schematic editor έναν πολυπλέκτη (multiplexer) τεσσάρων εισόδων σε μία έξοδο, χρησιμοποιώντας πολυπλέκτες των δύο εισόδων. Το λογικό διάγραμμα δίνεται στο επόμενο σχήμα (**Εικ. 5.73**). Σώστε το σχέδιο με όνομα **mmux4**.

ΠΡΟΣΟΧΗ: Μην δώσετε όνομα που αρχίζει από mux π.χ. mux4, γιατί το “mux” είναι δεσμευμένη λέξη της Verilog, που χρησιμοποιείται από το DSCH για την περιγραφή με κώδικα των σχεδίων.

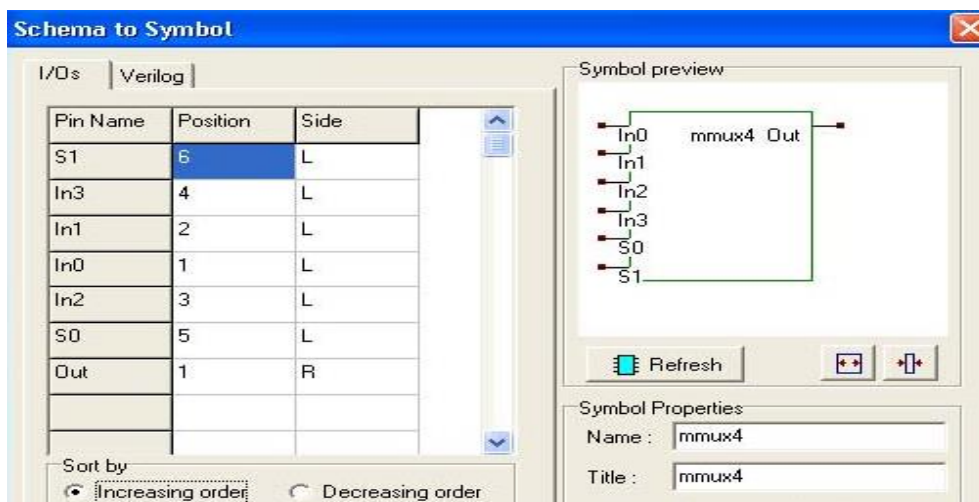


Εικ. 5.72 Εισαγωγή clocks, προσομοίωση και διάγραμμα χρονισμού.



Εικ. 5.73 Mux4x1 με δύο Mux2x1.

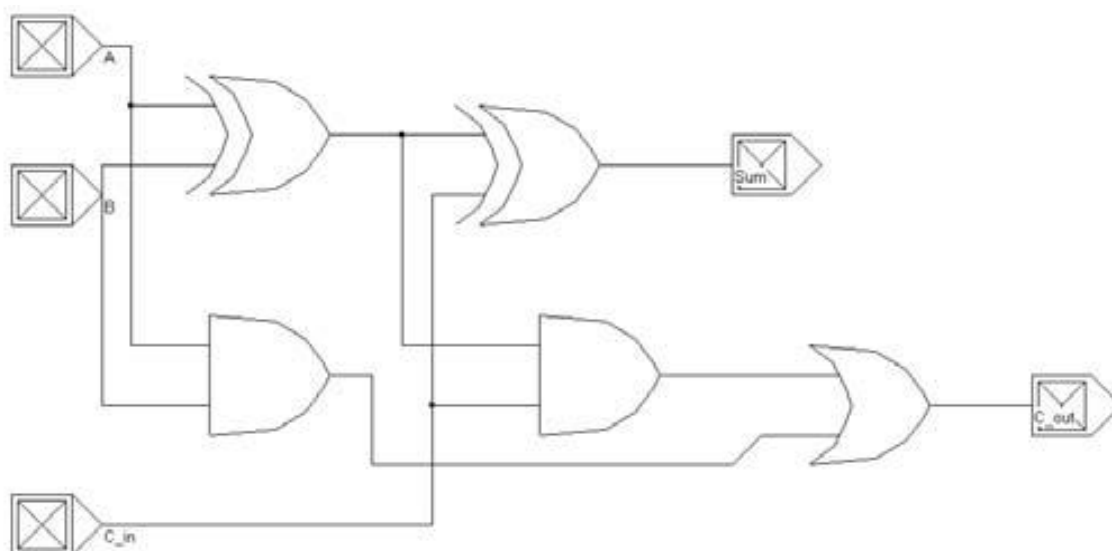
Β. Για τον πολυπλέκτη που σχεδιάσατε δημιουργήστε ένα σύμβολο (**Εικ. 5.74**). Πριν ξεκινήσετε τη διαδικασία δημιουργίας συμβόλου, πρέπει να σβήσετε τα clocks που έχετε βάλει για την εξομοίωση. Επιλέξτε από το menu FILE → Schema to new symbol ή το αντίστοιχο εικονίδιο από το toolbar. Στο menu που θα εμφανιστεί επιλέξτε Sort by increasing order για να αλλάξετε τη διάταξη των ακροδεκτών στο σύμβολο. Επιλέγοντας τη Verilog βλέπετε πώς περιγράφεται.



Σχήμα 5.74 Δημιουργία συμβόλου για τον mux4.1.

Σχεδίαση Πλήρους Αθροιστή.

Α. Σχεδιάστε, εξομοιώστε και δημιουργήστε σύμβολο για τον πλήρη αθροιστή του ενός ψηφίου (1-bit full-adder), το λογικό διάγραμμα του οποίου δίνεται στο παρακάτω σχήμα (**Εικ. 5.75**):

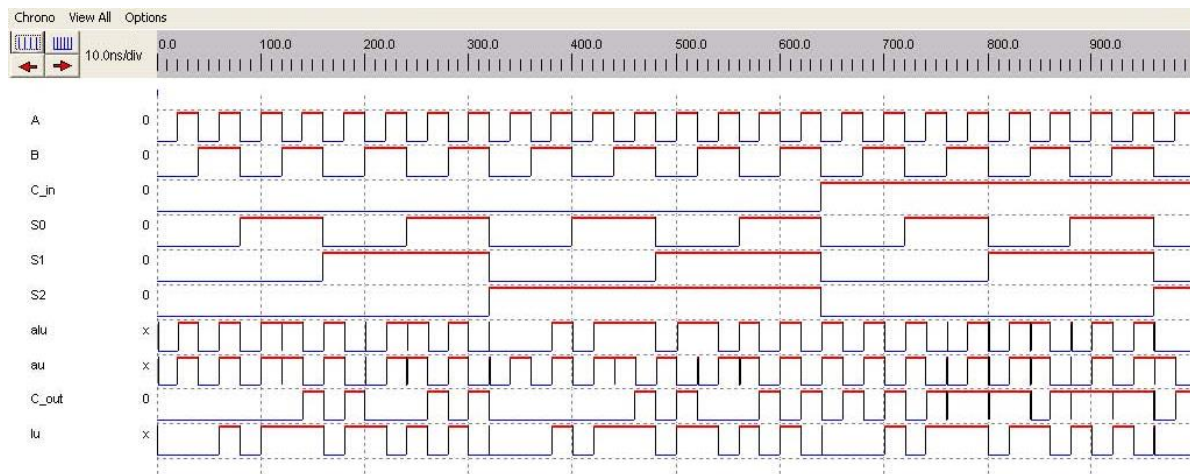


Εικ. 5.75 Πλήρης αθροιστής.

Β. Χρησιμοποιώντας τον πολυπλέκτη 4:1 που σχεδιάσατε παραπάνω, σχεδιάστε, εξομοιώστε και δημιουργήστε σύμβολο για τη λογική μονάδα του ενός ψηφίου, όπως φαίνεται στην **Εικ. 5.68**.

Γ. Σχεδιάστε, εξομοιώστε και δημιουργήστε σύμβολο για την αριθμητική μονάδα του ενός ψηφίου, όπως φαίνεται στην **Εικ. 5.69**.

Δ. Σχεδιάστε και εξομοιώστε την αριθμητική-λογική μονάδα του ενός ψηφίου (1-bit ALU). Το λογικό διάγραμμα της καθώς και τα σήματα εισόδου και εξόδου που πρέπει να λάβετε υπόψη σας φαίνονται στην **Εικ. 5.70**. Το διάγραμμα χρονισμού της ALU φαίνεται στην **Εικ. 5.76**. Για να είναι πιο εύκολη η σύγκρισή του με τον αντίστοιχο πίνακα αληθείας (**Πίνακας 5.4**) και για να διευκολυνθείτε στην εξομοίωση του layout, χρησιμοποιήστε στην εξομοίωση παλμούς ρολογιού, όπως αυτοί που φαίνονται στην **Εικ. 5.76**. Η περίοδος του σήματος εισόδου A είναι 40 nsec, του B 80 nsec κ.λπ.



Εικ. 5.76 Προσομοίωση ALU-1Bit.

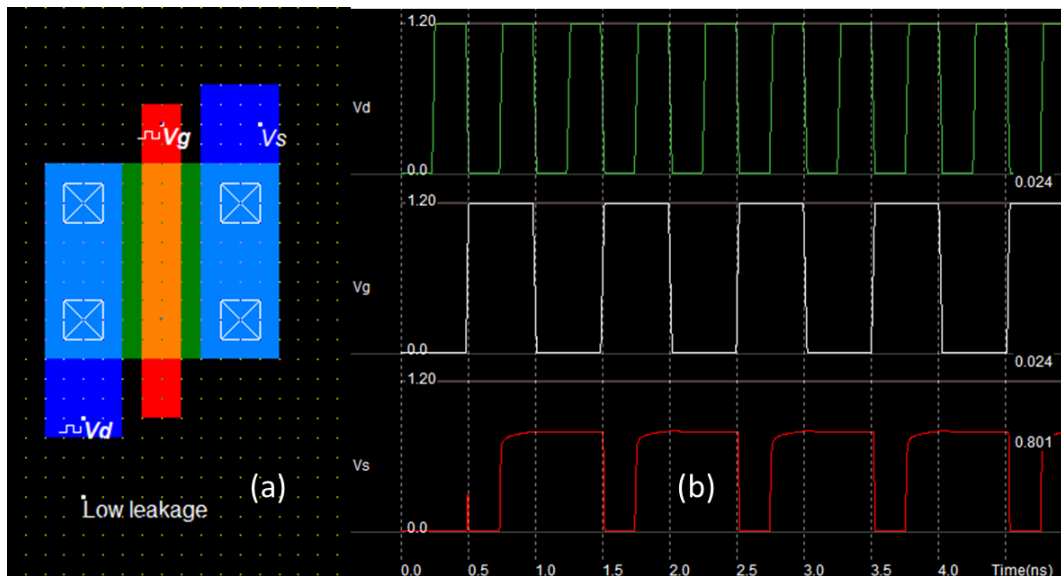
Ε. Από το menu File → Make Verilog File παράγετε το αρχείο Verilog για την τελική μορφή της ALU χωρίς να σβήσετε τα σήματα χρονισμού.

ΣΤ. Παράγετε αυτόματα με το Microwind το layout της ALU (από το menu Compile → Compile Verilog File) χρησιμοποιώντας τεχνολογία CMOS 0.18 μm και εξομοιώστε το. Σημαντική βοήθεια προσφέρει η μετάφραση των παλμών που περιλαμβάνονται στον κώδικα Verilog και η αντιστοίχισή τους στα σήματα του layout. Παρατηρήστε την αναλογική μορφή των σημάτων και τα πιθανά spikes σε αντίθεση με τους ψηφιακούς παλμούς του λογικού εξομοιωτή του DSCH.

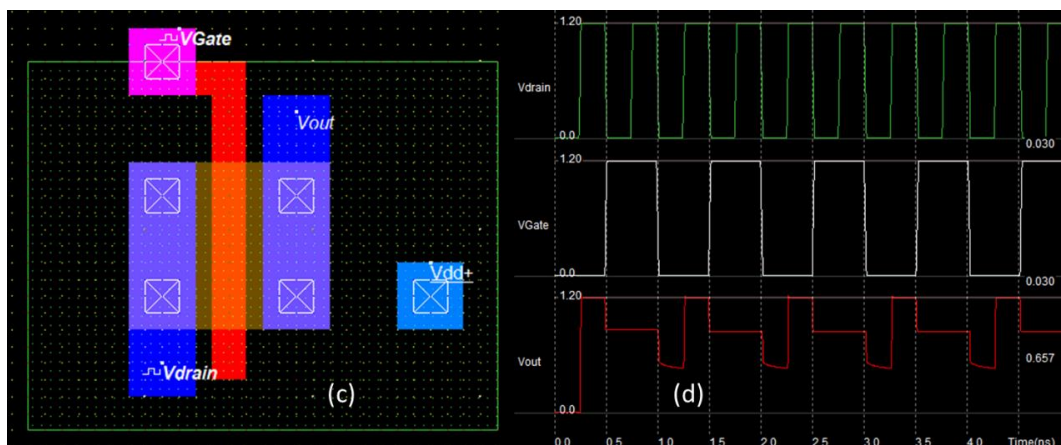
5.10 ΕΠΙΠΡΟΣΘΕΤΕΣ ΕΡΓΑΣΙΕΣ

Άσκηση 1.

Βρείτε μέσα στη δομή του φακέλου του Microwind στον υπολογιστή σας τα παρακάτω δύο αρχεία μασκών: MOSN.MSK και MOSP.MSK που αναφέρονται σε σχέδιο ενός nmos και ενός pmos αντίστοιχα. Ανοίξτε κάθε αρχείο και πραγματοποιήστε Simulation using BSIM4 από το μενού ώστε να παραχθούν τα αποτελέσματα της **Εικ. 5.77** και **5.78** αντίστοιχα. Σχολιάστε τα αποτελέσματα από τη σκοπιά της ποιότητας των nmos και pmos ως διακόπτες.



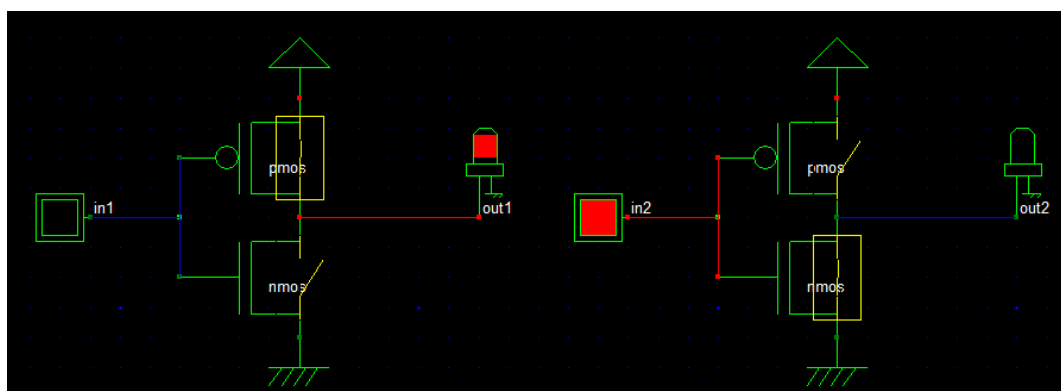
Εικ. 5.77 mosn.msk.



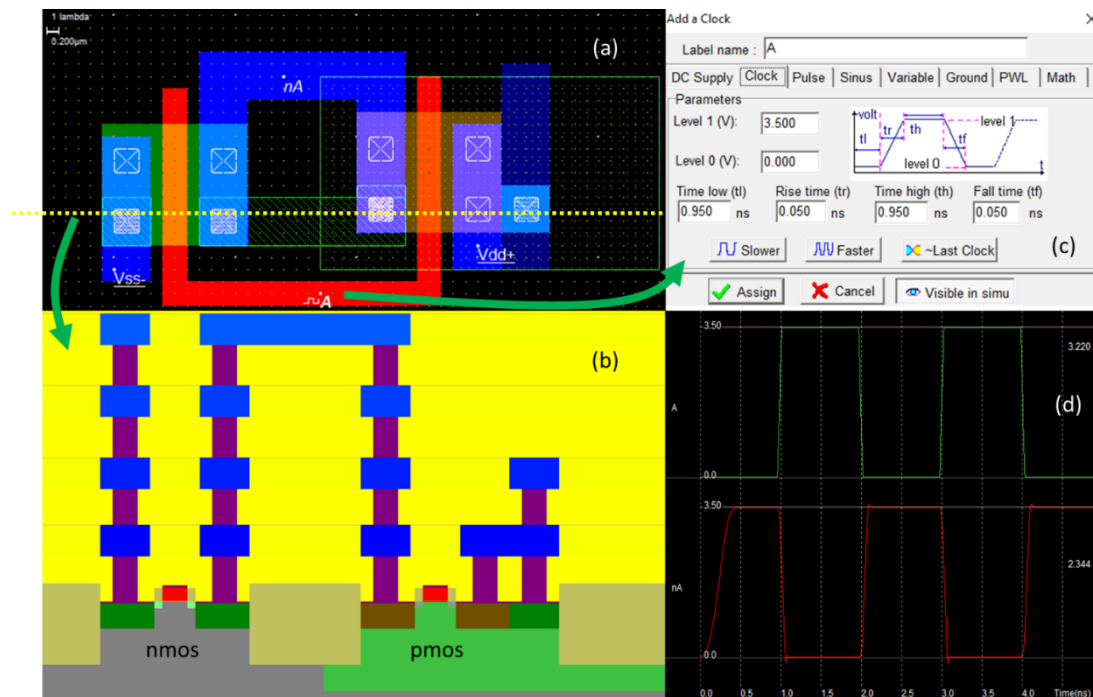
Εικ. 5.78 mosp.msk.

Άσκηση 2.

Κάντε τις απαιτούμενες ενέργειες στα αρχεία CMOSINV.SCH και CMOS.MSK ώστε να κάνετε αναπαραγωγή των Εικ. 5.79 και 5.80.



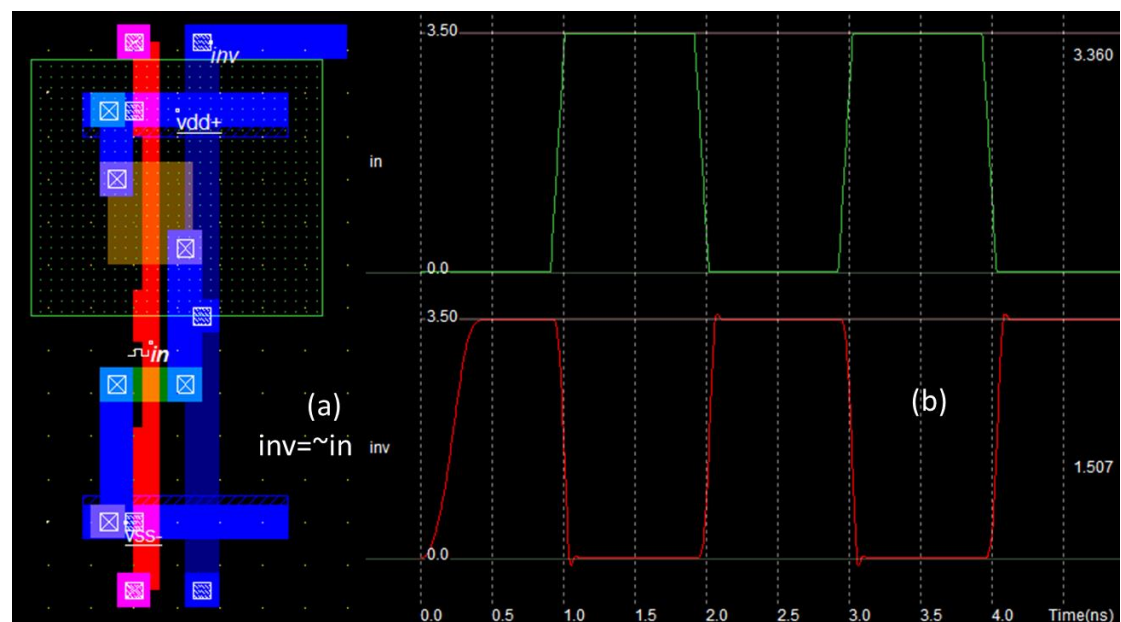
Εικ. 5.79 CMOSINV.SCH.



Εικ. 5.80 CMOS.MSK.

Άσκηση 3.

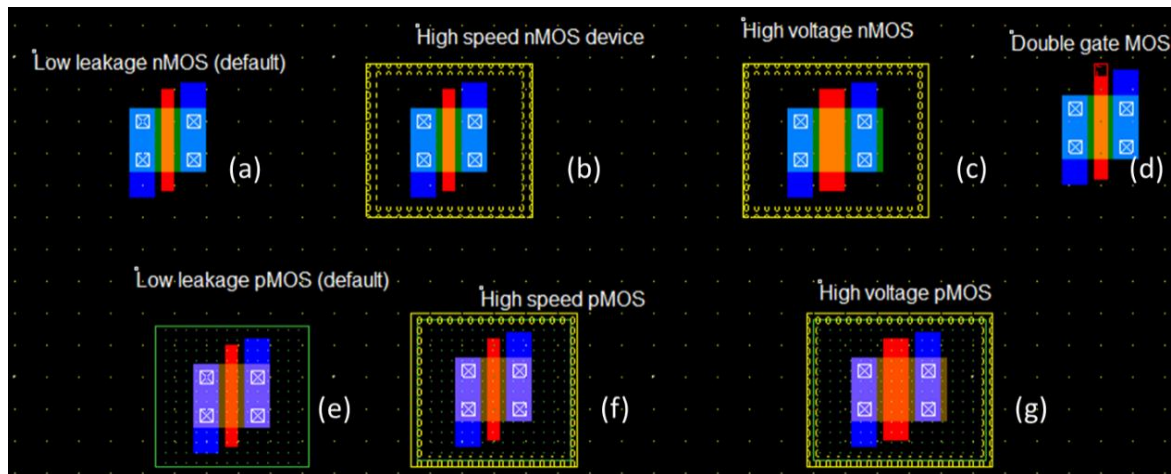
Κάντε τις απαιτούμενες ενέργειες στο αρχείο INV.MSK ώστε να κάνετε αναπαραγωγή της Εικ. 5.81.



Εικ. 5.81 INV.MSK.

Άσκηση 4.

Χρησιμοποιήστε τα περιεχόμενα του αρχείου ALLMOSDEVICES.MSK (Εικ. 5.82) και παρουσιάστε τομή για την κάθε διάταξη. Επαληθεύστε τα επόμενα.



Εικ. 5.82 ALLMOSDEVICES.MSK.

Μικρής διαρροής (Low leakage). Μικρή συγκέντρωση ντοπαρίσματος στο υπόστρωμα. Μικρο I_{off} , Μικρό I_{on} . Μεγαλύτερο V_{th} . Μεγαλύτερο ενεργό μήκος καναλιού. Λεπτό πάχος στρώματος οξειδίου. Χρήση σε όλες τις περιπτώσεις που δεν απαιτείται μεγάλη ταχύτητα.

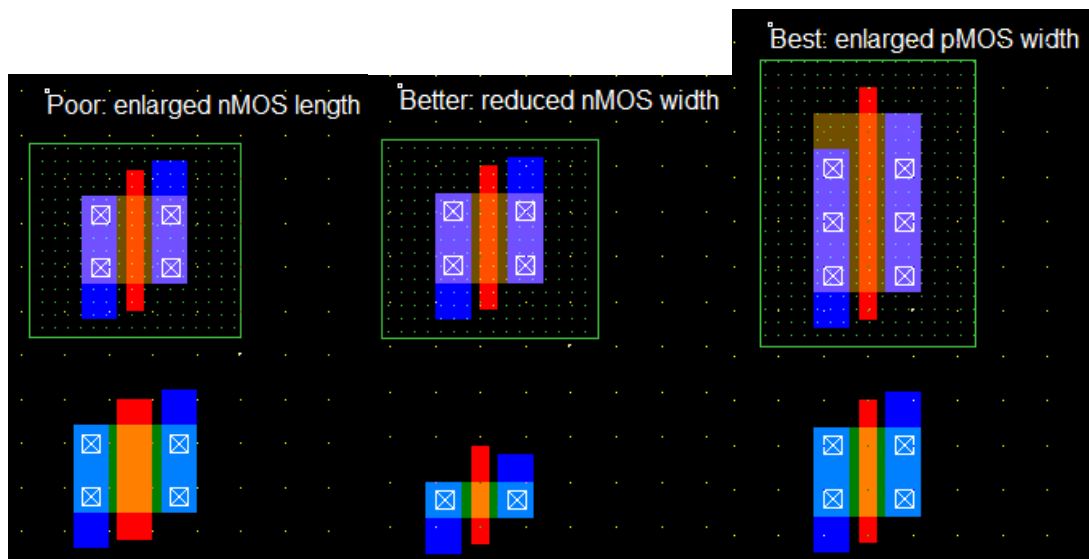
Μεγάλης ταχύτητας (High speed). Μεγαλύτερη συγκέντρωση ντοπαρίσματος στο υπόστρωμα. Μεγαλύτερο I_{off} , Μεγαλύτερο I_{on} , Μικρότερο V_{th} , Μικρότερο ενεργό μήκος καναλιού. Λεπτό πάχος στρώματος οξειδίου. Χρήση σε δέντρα ρολογιού, διεπιφάνειες διαύλων, κεντρικές μονάδες επεξεργασίας.

Υψηλής τάσης (High voltage). Για χρήση στις μονάδες εισόδου/εξόδου. Παχύτερο στρώμα οξειδίου. $0.25\mu m$ το ελάχιστο ενεργό μήκος καναλιού.

Από την άποψη της χωροθεσίας, δεν υπάρχει διαφορά στο σχέδιο ενός τρανζίστορ mos τύπου υψηλής ταχύτητας και τύπου μικρής διαρροής. Η μόνη σχεδιαστική διαφορά είναι το στρώμα-επιλογής (option layer) που σχεδιάζουμε γύρω από το υψηλής ταχύτητας για να δηλώσουμε ότι είναι ακριβώς υψηλής ταχύτητας. Ωστόσο, το υψηλής τάσης έχει διαφορετική χωροθεσία λόγω του παχύτερου οξειδίου του και του γεγονότος ότι είναι φαρδύτερο (μεγαλύτερο πλάτος).

Άσκηση 5.

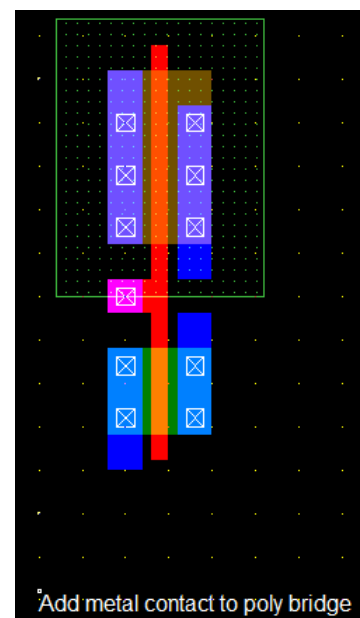
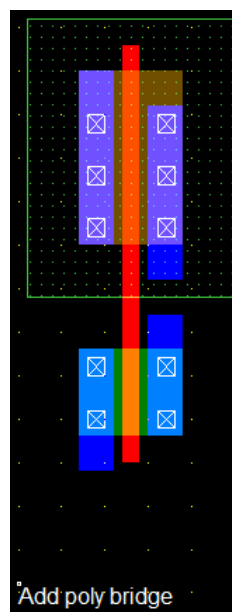
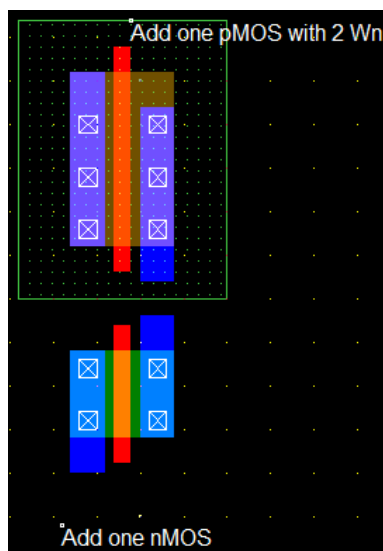
Σχολιάστε γιατί το τρίτο σχέδιο της Εικ. 5.83 είναι η καλύτερη σχεδίαση για χρήση σε αντιστροφέα.

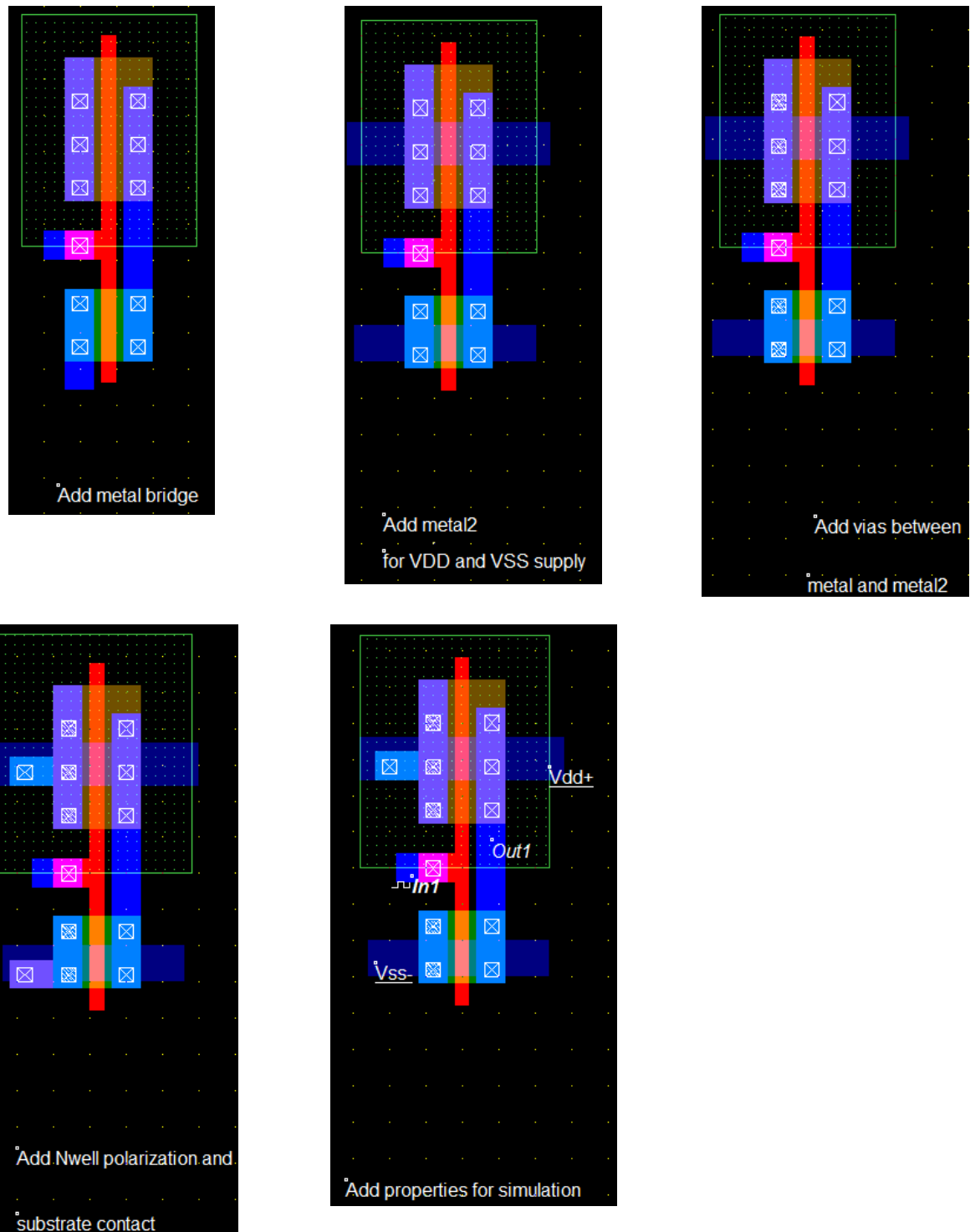


Εικ. 5.83

Άσκηση 6.

Κάντε τα επόμενα βήματα σχεδίασης αντιστροφέα (Εικ. 5.84) σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομίωση.

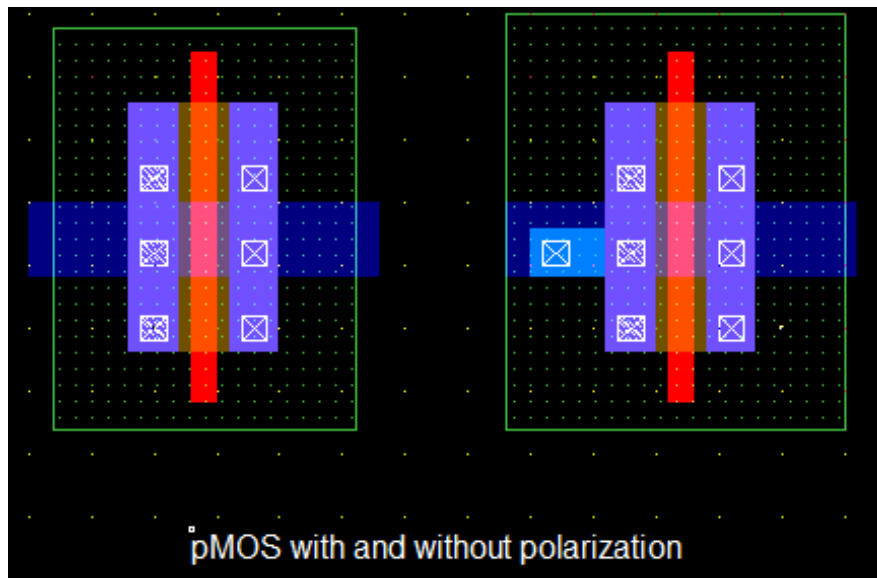




Εικ. 5.84

Άσκηση 7.

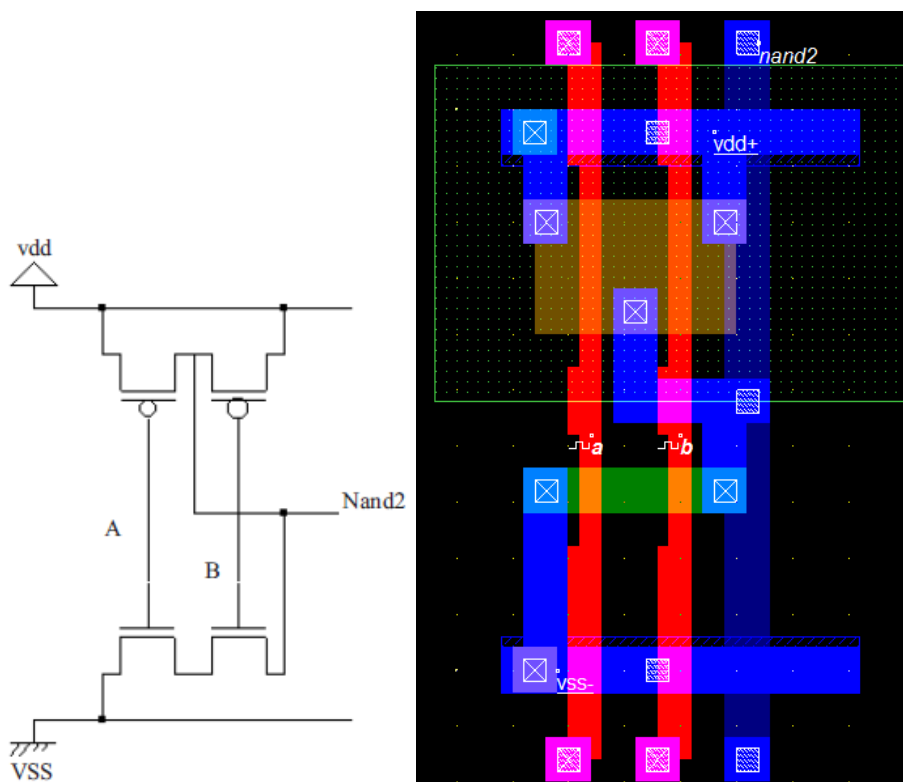
Σχολιάστε τα χαρακτηριστικά και τον λόγο της πόλωσης του pmos της Εικ. 5.85.



Εικ. 5.85

Άσκηση 8.

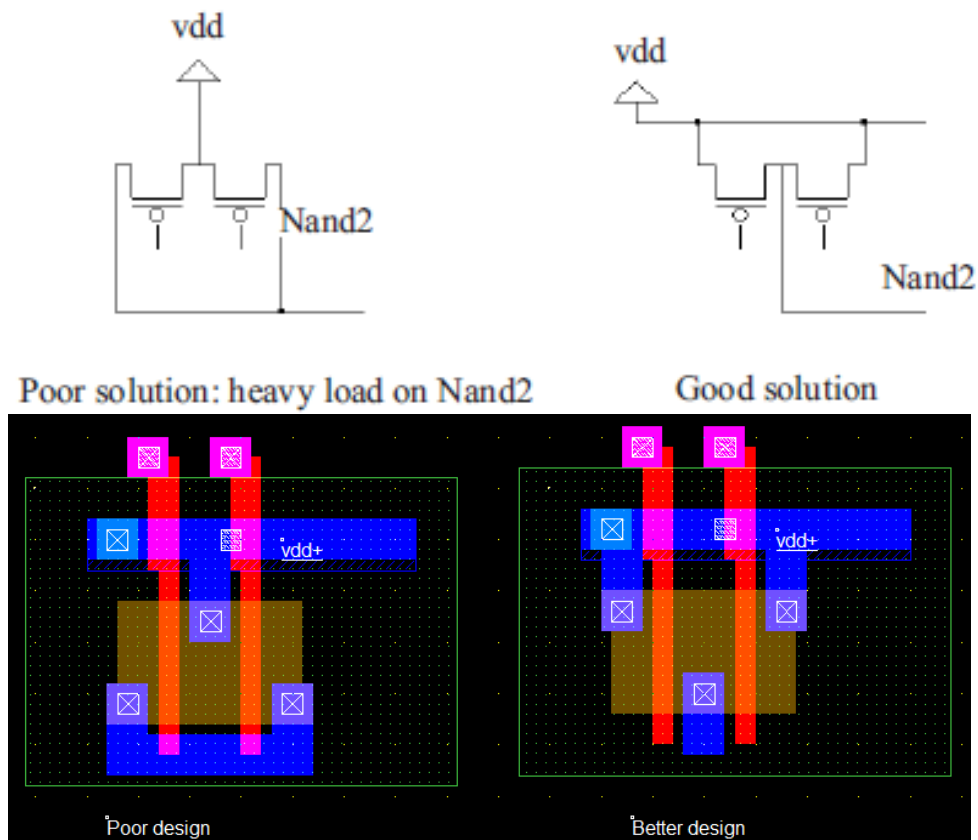
Κάντε τη σχεδίαση της Εικ. 5.86 σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομοίωση.



Εικ. 5.86

Άσκηση 9.

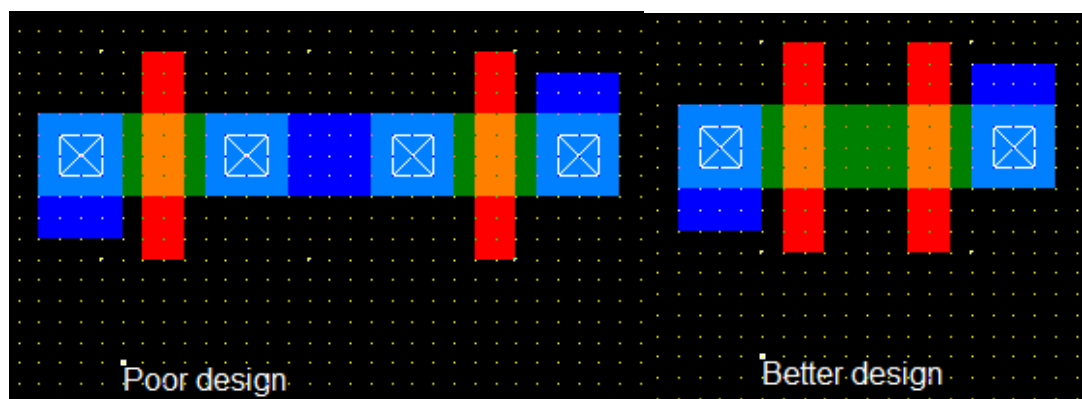
Κάντε τη σχεδίαση της Εικ. 5.87 σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομοίωση.



Εικ. 5.87

Άσκηση 10.

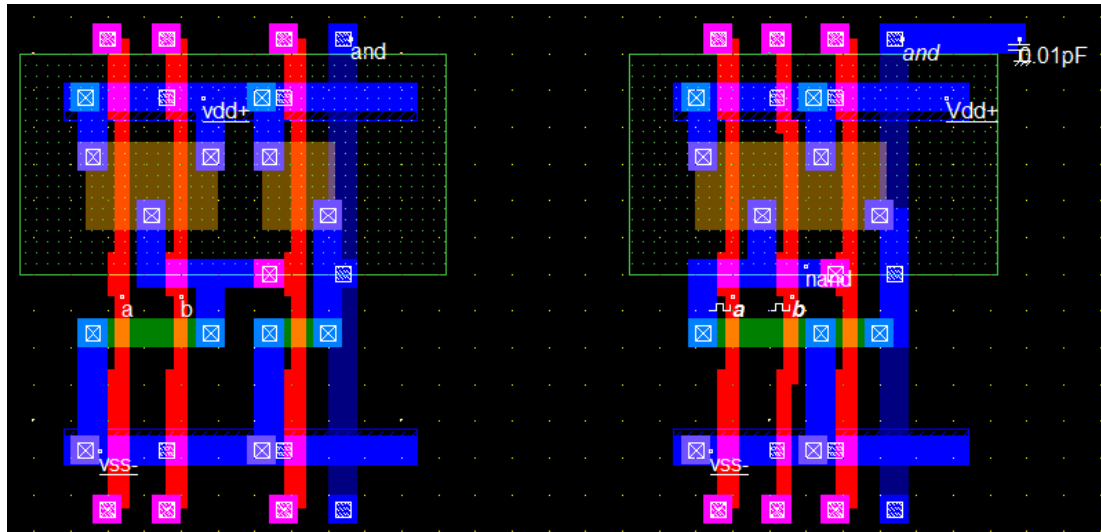
Κάντε τη σχεδίαση της Εικ. 5.88 σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομοίωση.



Εικ. 5.88

Άσκηση 11.

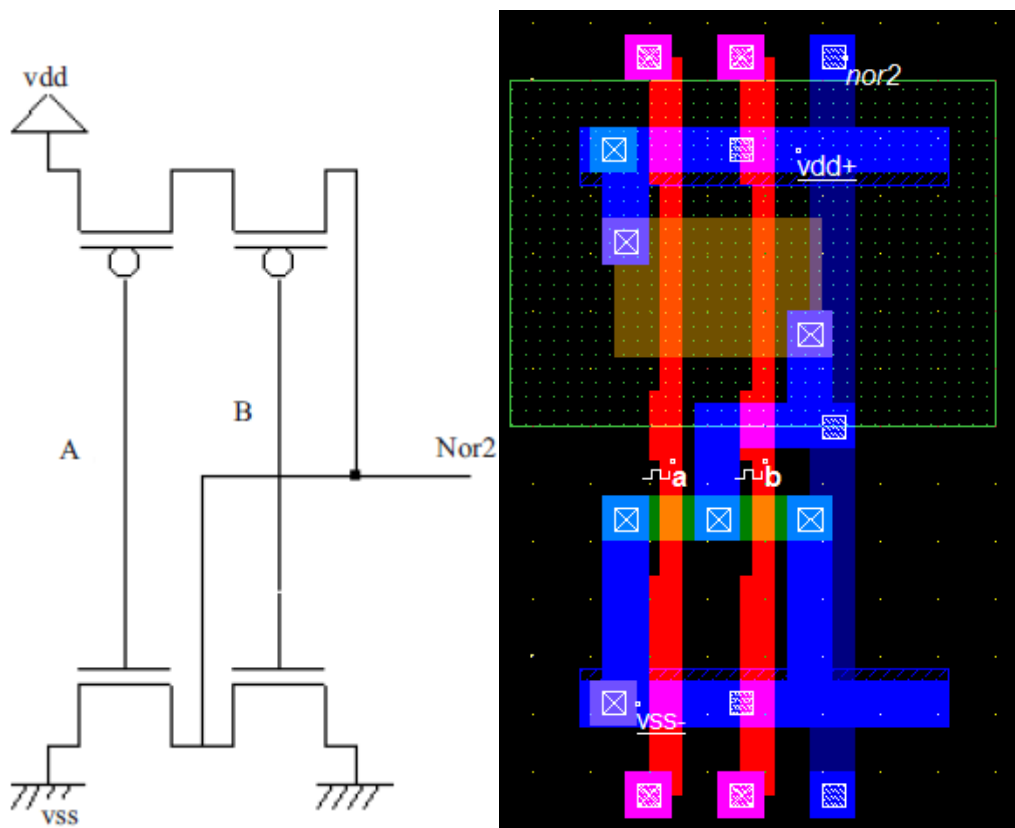
Κάντε τη σχεδίαση της Εικ. 5.89 σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομοίωση.



Εικ. 5.89

Άσκηση 12.

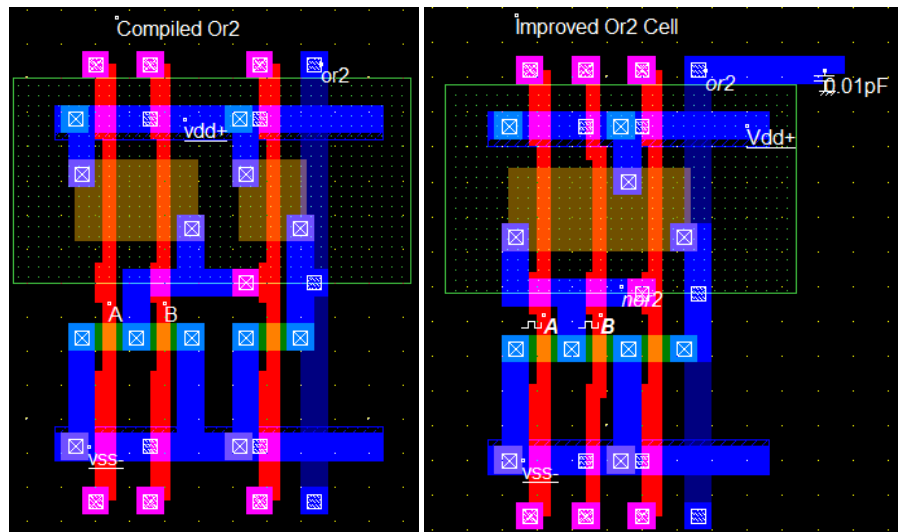
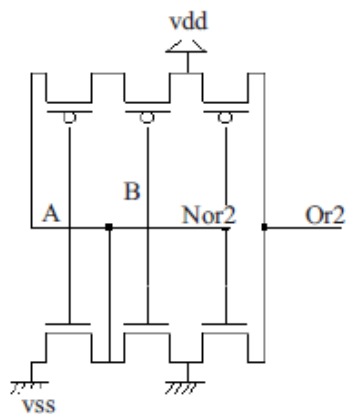
Κάντε τη σχεδίαση της Εικ. 5.90 σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομοίωση.



Εικ. 5.90

Άσκηση 13.

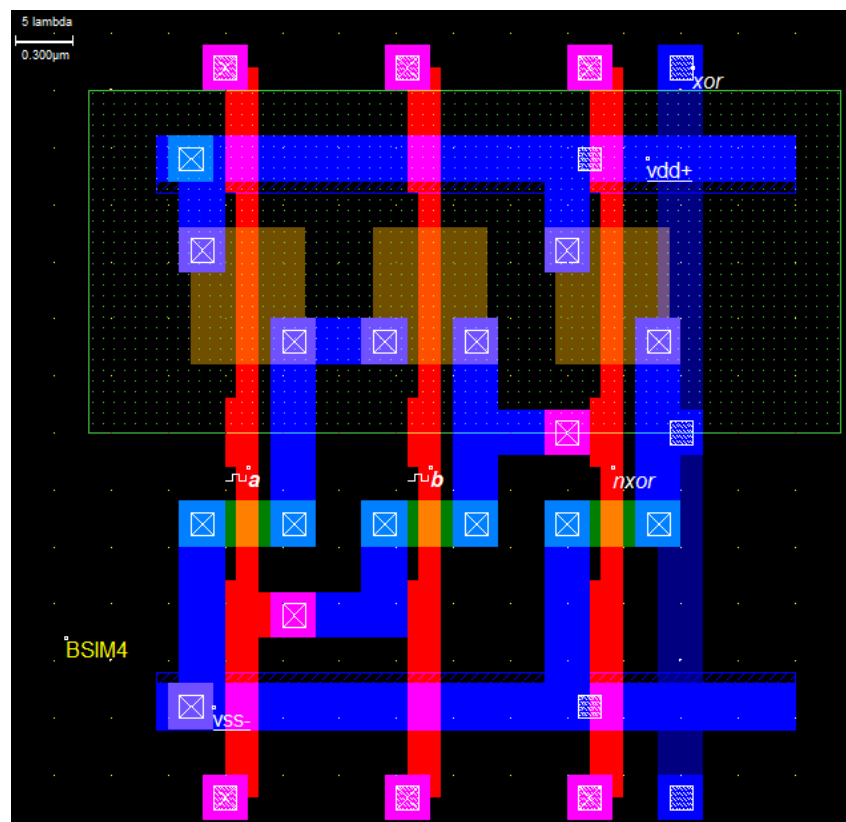
Κάντε τη σχεδίαση της Εικ. 5.91 σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομοίωση.



Εικ. 5.91

Άσκηση 14.

Κάντε τη σχεδίαση της Εικ. 5.92 σε τεχνολογία 0.18 μm . Παρουσιάστε την τελική προσομοίωση.



Εικ. 5.92

5.11 ΒΙΒΛΙΟΓΡΑΦΙΑ

1. <http://srv-wwwperso.insa-toulouse.fr/~sicard/microwind/microwind.html>
2. Sicard, E., & Bendhia, S. D. (2007). *Basics of CMOS Cell Design*, McGraw-Hill.

ΚΕΦΑΛΑΙΟ 6. ΕΙΔΙΚΑ ΣΤΟΙΧΕΙΑ ΧΩΡΟΘΕΣΙΑΣ (LAYOUT)

ΣΥΝΟΨΗ

Περιγράφονται ειδικές τεχνικές σχεδίασης χωροθέσιας με σκοπό την κατά το δυνατό αύξηση της πυκνότητας των δομών σε συγκεκριμένη περιοχή επιφάνειας πάνω στο πυρίτιο.

ΣΤΟΧΟΣ

Εξοικείωση με τις επόμενες τεχνικές σχεδίασης:

- * mos μεγάλου πλάτους (μακριών mos),
- * διαμοίραση πηγής-απαγωγού,
- * σύνδεσης διατάξεων με επέκταση της περιοχής polysilicon,
- * «τράβηγμα» μετάλλου πάνω από τις διατάξεις,
- * πυλών με διακριτά στοιχεία,
- * «τετραγωνισμένων» κυκλωμάτων,
- * γραμμικά διαγράμματα (stick diagrams)

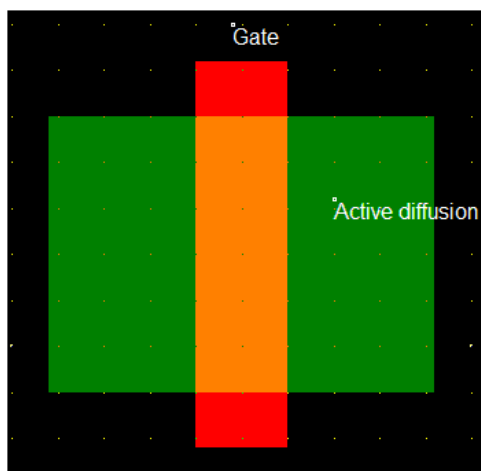
ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Βασικές γνώσεις χειρισμού λογισμικού Microwind και Dsch.
- * Γεωμετρική δομή του mosfet τύπου n και τύπου p.
- * Τεχνικές κατασκευής ολοκληρωμένων κυκλωμάτων.
- * Στοιχεία χωροθέτησης (layout).
- * Κεφάλαιο 1, 3.

6.1 ΕΙΣΑΓΩΓΗ

Τα ΟΚ κατασκευάζονται από πολλά τρανζίστορ (MOS), οπότε η διαδικασία που θα δούμε εδώ για το ένα απλά θα πρέπει να επαναληφθεί για όλα τα MOS ενός πολύπλοκου κυκλώματος. Εστιάζουμε στη CMOS τεχνολογία που είναι αυτή που χρησιμοποιούμε σήμερα για την κατασκευή των πιο σύγχρονων κυκλωμάτων επεξεργαστών. Θα ξεκινήσουμε σχεδιάζοντας τη χωροθεσία μεμονωμένων διατάξεων.

Το nMOS κατασκευάζεται από μια πύλη polysilicon, τοποθετημένη πάνω από ένα λεπτό στρώμα SiO_2 και πάνω από την ενεργό περιοχή n-active (περιοχή των προσμείξεων). Η ενεργός περιοχή είναι εκεί που θα εμφυτευτούν άτομα για να δημιουργήσουμε το τρανζίστορ. Η επικάλυψη ανάμεσα στην πύλη και στο στρώμα της ενεργού περιοχής καθορίζει το μέγεθος της διάταξης (το μήκος καναλιού και το πλάτος του MOS). (Εικ. 6.1)

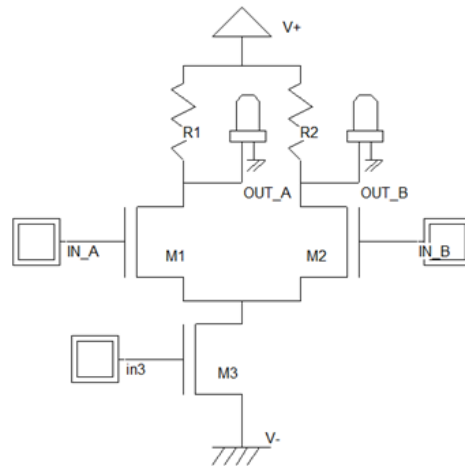


Εικ. 6.1 Ένα nMOS σχεδιάζεται με ένα παραλληλόγραμμο polysilicon (κόκκινο) πάνω από ένα παραλληλόγραμμο n-active (πράσινο). Το λογισμικό της σχεδίασης έχει κατάλληλους κανόνες, ώστε να αναγνωρίζει ότι κάτω από το polysilicon υπάρχει στρώμα μονωτικού SiO_2 καθώς και ότι η ενεργός περιοχή θα διακόπτεται από τη λωρίδα του polysilicon. Το μήκος καναλιού του nMOS σε αυτήν την περίπτωση είναι ίσο με τη μικρή διάσταση του polysilicon, ενώ το πλάτος του ίσο με τη μικρή διάσταση του n-active.

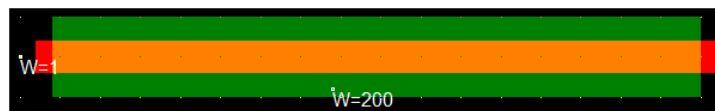
6.2 ΣΧΕΔΙΑΣΗ ΜΑΚΡΙΩΝ MOS

Ας υποθέσουμε ότι στο κύκλωμα της **Εικ. 6.2**, το M_1 και το M_2 έχουν προδιαγραφές: $W=200\mu\text{m}$, $L=1\mu\text{m}$ και το M_3 : $W=60\mu\text{m}$, $L=1\mu\text{m}$. Η τομή για ένα μακρύ MOS φαίνεται στην **Εικ. 6.3**, (δεν είναι βέβαια σε κλίμακα). Γενικά, μακριά και λεπτά MOS έχουν προβλήματα στην κατασκευή. Περιοχή polysilicon με μεγάλο μήκος θα εμφανίζει μεγάλη παρασιτική αντίσταση. Ένας τρόπος να ελαττώσουμε την παρασιτική αντίσταση είναι να διαιρέσουμε το μεγάλο μήκος σε πολλά μικρότερα. Για παράδειγμα, μπορούμε να ενώσουμε παράλληλα 4 μικρότερα MOS με πλάτος $50\mu\text{m}$ το καθένα και θα έχουμε ουσιαστικά το ίδιο πλάτος: $4 \times 50 = 200\mu\text{m}$ (**Εικ. 6.4**). Μπορούμε να θεωρούμε τα 4 MOS ως ισοδύναμα με ένα μοναδικό μεγάλο MOS, εφόσον συνδεθούν κατάλληλα. Κάθε ακροδέκτης καθενός MOS θα πρέπει να συνδεθεί στον αντίστοιχο ακροδέκτη καθενός από τα άλλα MOS. Με τον τρόπο αυτόν έχουμε μικρότερα MOS του ίδιου συνολικού πλάτους πύλης, αλλά με μικρότερη παρασιτική αντίσταση. Κάθε πύλη είναι το $\frac{1}{4}$ του πλάτους του μεγάλου MOS, άρα θα έχει αντίσταση το $\frac{1}{4}$ της αντίστασης πύλης του μεγάλου MOS. Επειδή μάλιστα η σύνδεση θα γίνει παράλληλα, θα

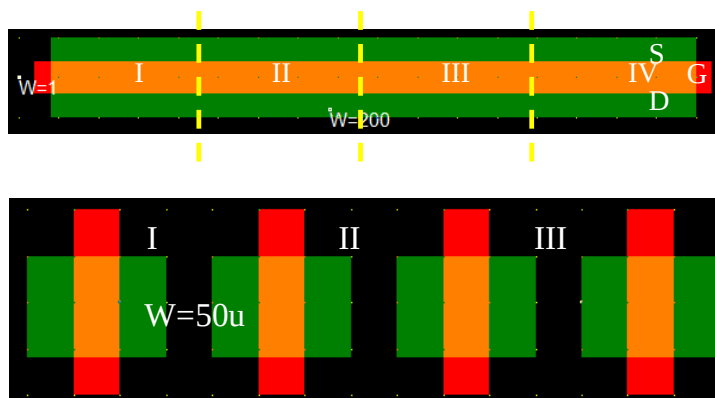
προκύψει τελικά συνολική αντίσταση ίση με το $\frac{1}{4}$ της αρχικής αντίστασης, άρα τελικά αντίσταση ίση με το $\frac{1}{16}$ της αντίστασης της ενιαίας πύλης με το μεγάλο πλάτος. Εφόσον ελαττώθηκε η παρασιτική αντίσταση, ανάλογα θα ελαττώθηκε η σταθερά χρόνου RC, οπότε το MOS θα λειτουργεί αποτελεσματικότερα.



Εικ. 6.2



Εικ. 6.3



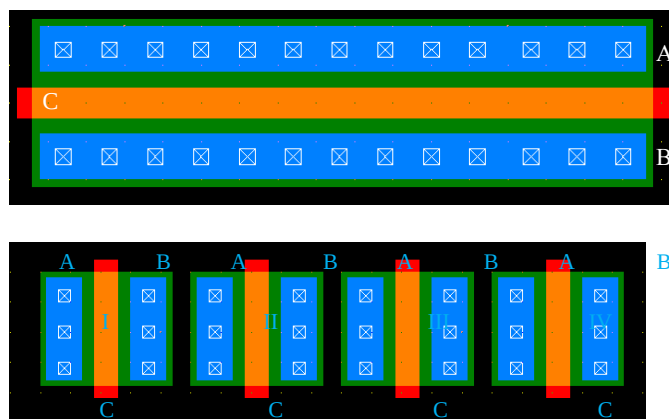
Εικ. 6.4

Δεν υπάρχει όριο σε αυτήν την τεχνική. Ανάλογα με το μέγεθος της διάταξης και άλλους παράγοντες, μπορούμε να χωρίζουμε το MOS σε ολοένα μικρότερα τμήματα. Συμπερασματικά, έχουμε χωρίσει ένα MOS με μεγάλο πλάτος σε 4 μικρότερα χωρίς να επηρεάσουμε το ενεργό πλάτος πύλης. Ωστόσο, γλιτώσαμε από ένα μεγάλο ποσό παρασιτικής αντίστασης. Η αρχική παρασιτική χωρητικότητα εξακολουθεί να παραμένει, γιατί η επικάλυψη (overlap) της πύλης δεν μπορεί να αλλάξει.

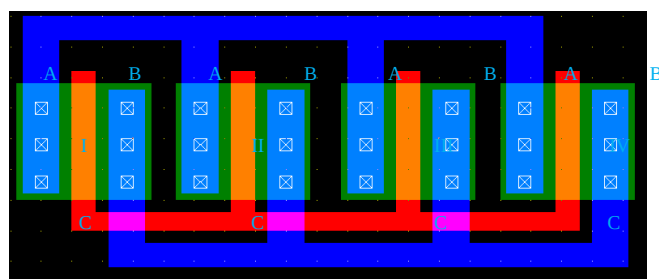
6.3 ΣΧΕΔΙΑΣΗ ΜΕ ΔΙΑΜΟΙΡΑΣΗ ΠΗΓΗΣ-ΑΠΑΓΩΓΟΥ

Στην Εικ. 6.5 έχουμε ξανά το αρχικό μακρύ nMOS, το οποίο έχουμε μοιράσει σε 4 κομμάτια. Το A και το B μπορεί να είναι η πηγή ή ο απαγωγός αντίστοιχα. Το C θα είναι η πύλη. Οι διαφορετικοί κόμβοι πρέπει να είναι σε ελάχιστη μεταξύ τους απόσταση. Η χωροθέτηση θα πρέπει να είναι όσο πυκνή μας επιτρέπουν οι

σχεδιαστικοί κανόνες, γιατί έτσι μπορούμε να βάλουμε περισσότερα τρανζίστορ στο τσιπ. Πρέπει να συνδέσουμε όλα τα A μεταξύ τους, όλα τα B μεταξύ τους και όλα τα C μεταξύ τους. Στην **Εικ. 6.6** βλέπουμε έναν τρόπο διασύνδεσης. Οι πηγές έχουν συνδεθεί πάνω, οι απαγωγοί κάτω και οι πύλες επίσης κάτω.

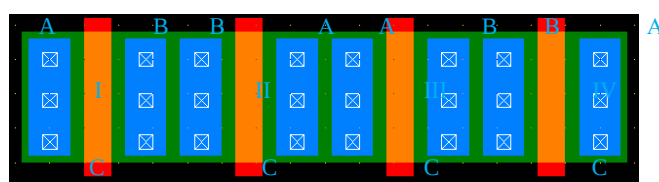


Εικ. 6.5



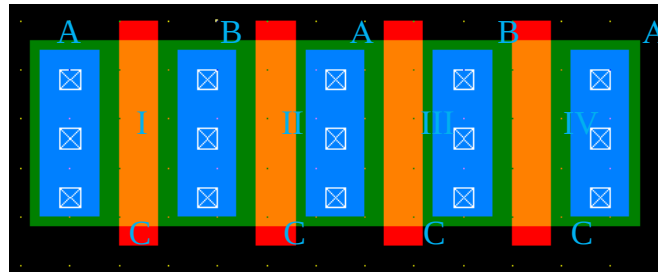
Εικ. 6.6

Επειδή σε ένα MOS η πηγή και ο απαγωγός είναι κόμβοι που μπορούν να ανταλλαχθούν, μπορούμε να αντικατοπτρίσουμε το σχέδιο με τα 4 MOS (**Εικ. 6.6**) ώστε να αποκτήσει τη δομή A-B-B-A-A-B-B-A. Δηλαδή το 2ο και το 4ο τρανζίστορ έχουν σχεδιαστεί κατοπτρικά ως προς την πύλη. Με τον τρόπο αυτόν η σύνδεση μεταξύ των τρανζίστορ γίνεται ευκολότερη (**Εικ. 6.7**).



Εικ. 6.7

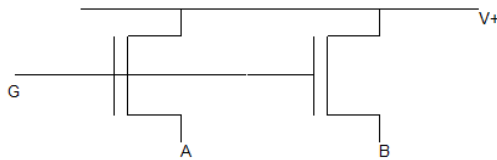
Μπορούμε τώρα να συμπτύξουμε τις κοινές περιοχές A και B έτσι ώστε η συνδυασμένη περιοχή να είναι ταυτόχρονα πηγή για το ένα τρανζίστορ και απαγωγός για το άλλο. Έτσι εξαλείφουμε την κενή περιοχή μεταξύ των παράλληλων τρανζίστορ, αλλά ταυτόχρονα συνδυάζουμε και αντίστοιχα τμήματά τους (**Εικ. 6.8**). Συμπέρασμα: Η διαμοίραση πηγής – απαγωγού μπορεί να γίνει μεταξύ δύο διατάξεων που είναι δίπλα και έχουν κοινό ακροδέκτη.



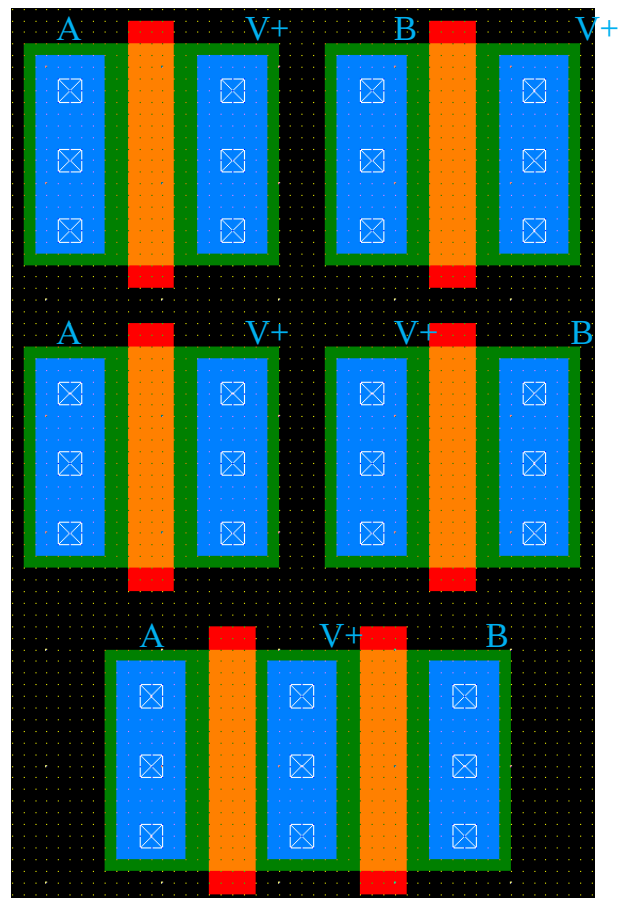
Εικ. 6.8

Εφαρμογή

Θα χρησιμοποιήσουμε τώρα ό,τι έχουμε μάθει μέχρι στιγμής για να σχεδιάσουμε τη χωροθεσία του κυκλώματος της Εικ. 6.9. Στο κύκλωμα αυτό, το τερματικό άκρο που μπορεί να μοιραστεί είναι αυτό της $V+$. Τα A και B πρέπει να είναι ξεχωριστά, γιατί δεν συνδέονται. Η διαδικασία φαίνεται στην Εικ. 6.10, με όλα τα ενδιάμεσα στάδια.



Εικ. 6.9

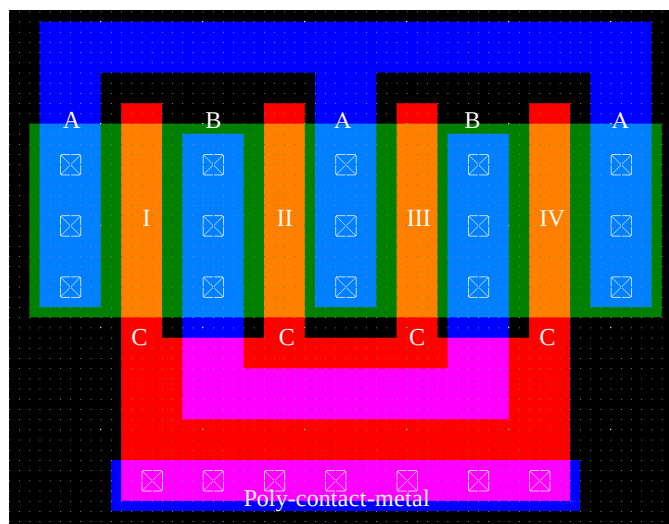


Εικ. 6.10

6.4 ΤΕΧΝΙΚΗ ΣΥΝΔΕΣΗΣ ΔΙΑΤΑΞΕΩΝ ΜΕ ΕΠΕΚΤΑΣΗ POLYSILICON

Η διασύνδεση πύλης είναι ελαφρώς διαφορετική από αυτή μεταξύ απαγωγών και πηγών. Σε μερικές περιπτώσεις το polysilicon μπορεί να χρησιμοποιηθεί ως μέσο σύνδεσης, δηλαδή σε ρόλο μετάλλου. Επειδή το polysilicon είναι αγωγίμο, μπορούμε να επεκτείνουμε τα δάκτυλα της πύλης έξω από τη διάταξη και να τα

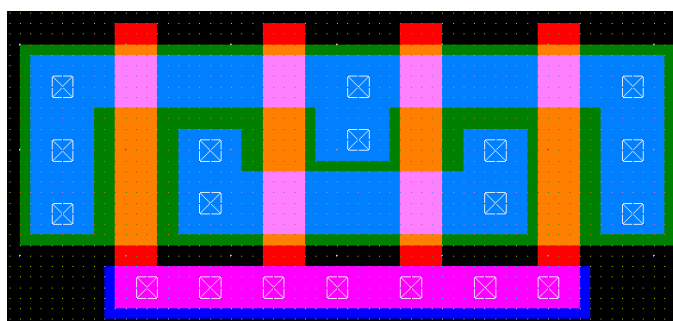
συνδέσουμε μεταξύ τους. Η χρήση του polysilicon για σύνδεση είναι ικανή μόνο για μικρές αποστάσεις. Επειδή είναι πολύ μεγαλύτερης αντίστασης από το μέταλλο, μετά από σχετικά μικρό μήκος, η αντίσταση είναι μεγάλη. Αν το καλώδιο που θέλουμε να δημιουργήσουμε μεταφέρει ρεύμα και έχει μεγάλη αντίσταση, τότε υπάρχει ο κίνδυνος να πάψει να λειτουργεί το κύκλωμα. Για τον λόγο αυτόν πρέπει να χρησιμοποιούμε με σύνεση το polysilicon. Δηλαδή, πρέπει να προσαρμόζουμε προσεκτικά αποστάσεις, ρεύμα και αντίσταση. Στο παράδειγμά μας έχουμε προσθέσει λίγο μέταλλο στις επαφές πύλης, ώστε επιπλέον σύνδεση να μπορεί να γίνει από εκεί και πέρα με μέταλλο. Άρα το αρχικό 200x1 τρανζίστορ έχει πλέον τη μορφή της **Εικ. 6.11**, αλλά αυτό έχει παρασιτική αντίσταση πολύ μικρότερη και λειτουργεί πολύ ταχύτερα, ενώ διαχειρίζεται με καλύτερο τρόπο την πολύτιμη επιφάνεια.



Εικ. 6.11

6.5 ΣΧΕΔΙΑΣΗ ΜΕ «ΤΡΑΒΗΓΜΑ» ΜΕΤΑΛΛΟΥ ΠΑΝΩ ΑΠΟ ΤΙΣ ΔΙΑΤΑΞΕΙΣ

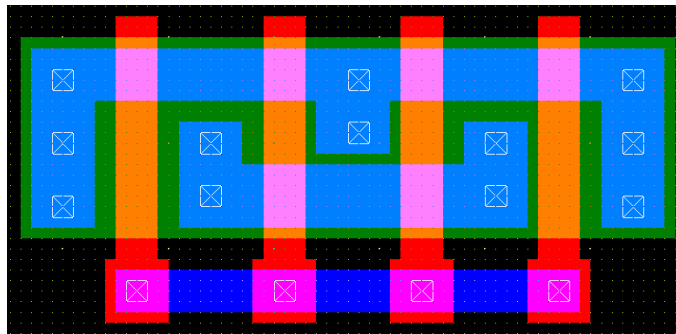
Αν θέλουμε να κερδίσουμε ακόμα περισσότερο σε χώρο, μπορούμε να απαλλαγούμε από μερικές επαφές και να κάνουμε τις συνδέσεις άμεσα πάνω από τις διατάξεις μας (**Εικ. 6. 12**). Με τον τρόπο αυτόν, τα διάφορα κομμάτια μετάλλου έρχονται πάνω στις διατάξεις. Πρέπει ωστόσο να είμαστε προσεκτικοί να μην διώξουμε περισσότερες επαφές από όσες είναι αναγκαίες για την ικανή μεταφορά του ρεύματος μέσω αυτών. Τα σχέδια στις **Εικ. 6.11 και 6.12** είναι ισοδύναμα. Τα A συνδέονται και πάλι με μέταλλο που μοιάζει με M, ενώ τα B συνδέονται με μέταλλο σε σχήμα U. Τα C ενώνονται με μια λωρίδα poly κατά μήκος της βάσης του σχεδίου.



Εικ. 6.12

6.6 ΣΧΕΔΙΑΣΗ ΠΥΛΩΝ ΔΙΑΚΡΙΤΑ ΚΑΙ ΜΕ ΣΥΝΔΕΣΕΙΣ ΜΕΤΑΛΛΟΥ

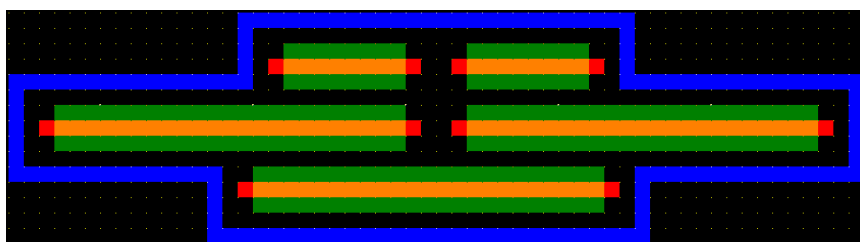
Στο παράδειγμά μας τώρα στην **Εικ. 6.13**, η μόνη διαφορά σε σχέση με πριν είναι ότι τα δάκτυλα της πύλης έχουν συνδεθεί με μεταλλική λωρίδα. Αυτή η μέθοδος είναι η πιο ασφαλής. Χρησιμοποιεί το ελάχιστο ποσό polysilicon και μπορεί με ασφάλεια να συνδεθεί και διαμέσου της πύλης των διατάξεων χωρίς να ανησυχούμε για το είδος του σήματος που θα μεταδοθεί.



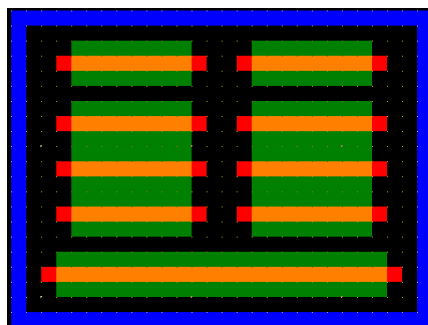
Εικ. 6.13

6.7 ΣΧΕΔΙΑΣΗ ΜΕ ΤΕΤΡΑΓΩΝΙΣΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

Ως γενικός σχεδιαστικός κανόνας είναι το ότι πρέπει να υλοποιούμε μεγάλα σχέδια από μικρά και εύκολα κατανοητά μπλοκ. Ο στόχος είναι να κάνουμε τη χωροθέτηση πυκνή. Πρέπει να έχουμε στόχο να κάνουμε τις διατάξεις που σχεδιάζουμε όσο το δυνατό πιο τετραγωνισμένες. Ένα τετραγωνισμένο χωροθετημένο κύκλωμα μπορεί πιο εύκολα να προσαρμοστεί σε ένα μεγαλύτερο κύκλωμα με εκατομμύρια άλλα τετραγωνισμένα κυκλώματα (**Εικ. 6.15**), παρά ένα με ακανόνιστο σχήμα (**Εικ. 6.14**). Ωστόσο, θα προκύψουν περιπτώσεις που θα πρέπει να σχεδιάσουμε κάποιο ακανόνιστο σχήμα. Σε αυτήν την περίπτωση θα πρέπει να εξετάσουμε τα άλλα κυκλώματα που αλληλεπιδρούν με το κομμάτι της χωροθεσίας που έχει αυτήν την απαίτηση και, αν είμαστε τυχεροί, μπορούμε να προετοιμάσουμε την τοποθέτηση των άλλων κυκλωμάτων με τέτοιο τρόπο που να καταλήξουμε σε ένα συνολικό, τετραγωνισμένης χωροθεσίας, κύκλωμα.



Εικ. 6.14 Δύσκολη δομή για μεγάλη πυκνότητα σχεδίασης.



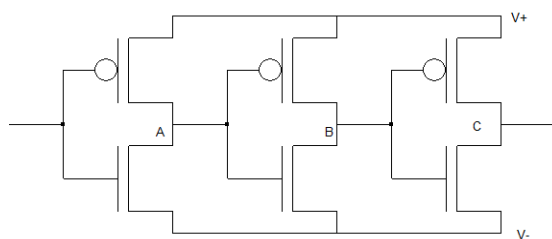
Εικ. 6.15 Τετραγωνισμένη δομή, κατάλληλη για μεγάλη πυκνότητα σχεδίασης.

6.8 ΓΡΑΜΜΙΚΑ ΔΙΑΓΡΑΜΜΑΤΑ ΚΥΚΛΩΜΑΤΩΝ (STICK DIAGRAMS)

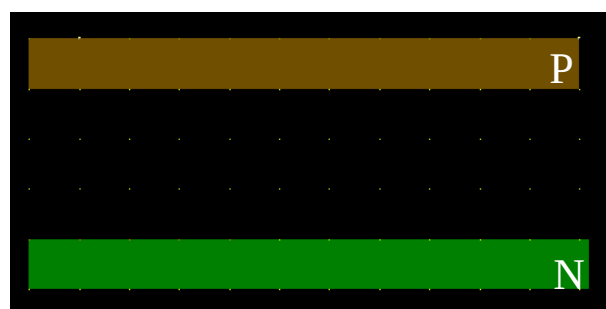
Πώς πηγαίνουμε από ένα διάγραμμα κυκλώματος στην πιο επαρκή σχεδίαση διαμοίρασης πύλης – απαγωγού; Ένα χρήσιμο εργαλείο προς αυτήν την κατεύθυνση είναι το γραμμικό διάγραμμα. Πρόκειται για μια απλή αναπαράσταση των διατάξεων και των διασυνδέσεων. Είναι ένα διάγραμμα ενδιάμεσο ανάμεσα στο σχηματικό και στην τελική χωροθέτηση. Με την ολοκλήρωσή του, μας δίνει τη θέση των διατάξεων και των μεταξύ τους διασυνδέσεων. Αυτό που έχουμε να κάνουμε στη συνέχεια είναι να υλοποιήσουμε την πραγματική χωροθεσία και τις καλωδιώσεις.

Στην τεχνολογία CMOS, τυπικά χτίζουμε όλες τις διατάξεις τύπου p σε μια κοινή περιοχή – πηγάδι τύπου n. Κάθε διάταξη θα πρέπει να χτιστεί στο n-πηγάδι, τα οποία συνήθως είναι όλα συνδεδεμένα στο ίδιο σημείο, οπότε έχει νόημα να χτίσουμε όλες τις διατάξεις σε ένα κοινό πηγάδι. Η τεχνική κοινού n πηγαδιού ελαττώνει την επιφάνεια κυκλώματος, αφού συνήθως οι κανόνες για τη γειτονία περιοχών n πηγαδιού απαιτούν συνήθως μεγάλες αποστάσεις. Δηλαδή, οι κανόνες σχεδίασης ορίζονται με βάση τις αποστάσεις τρανζίστορ – τρανζίστορ. Αντίστοιχα, οι διατάξεις τύπου n χτίζονται σε κοινή περιοχή, είτε σε πηγάδι τύπου p είτε πάνω σε p υπόστρωμα. Επειδή χρησιμοποιούμε κοινές περιοχές, όλες οι p διατάξεις είναι γενικά κοντά μεταξύ τους και αντίστοιχα οι περιοχές τύπου n είναι αντίστοιχα κοντά μεταξύ τους. Συνεπώς, μπορούμε να σχεδιάσουμε p διαχύσεις ως οριζόντιες γραμμές κατά μήκος της κορυφής του διαγράμματος και οι n διαχύσεις ως πάλι οριζόντιες γραμμές κατά μήκος της βάσης του διαγράμματος. Σε γραμμικό διάγραμμα γραμμών αναπαριστούμε το polysilicon, τις διαχύσεις και τα καλώδια ως απλές γραμμές στο χαρτί. Στα σημεία όπου οι γραμμές του polysilicon και των διαχύσεων τέμνονται, έχουμε ένα MOS τρανζίστορ.

Θα σχεδιάσουμε σε γραμμικό διάγραμμα το κύκλωμα της **Εικ. 6.16**. Ξεκινάμε σχεδιάζοντας παράλληλες γραμμές για τις περιοχές τύπου p και τύπου n, όπως στην **Εικ. 6.17**. Οι πύλες του polysilicon σχεδιάζονται ως κάθετες γραμμές που διασταυρώνουν τις διαχύσεις, όπου υπάρχει τρανζίστορ (**Εικ. 6.18**). Τέλος, η καλωδίωση αναπαρίσταται από γραμμές που συνδέουν τα διάφορα τερματικά άκρα των διατάξεων (**Εικ. 6.19**).



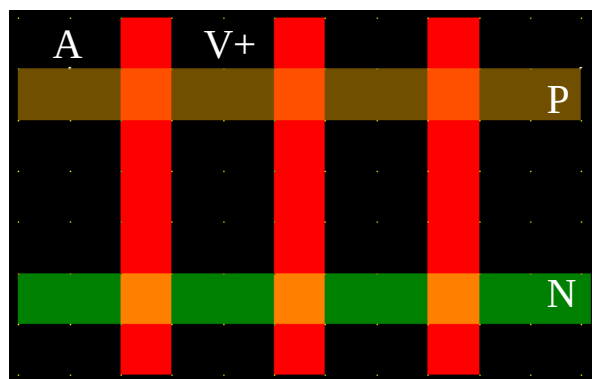
Εικ. 6.16



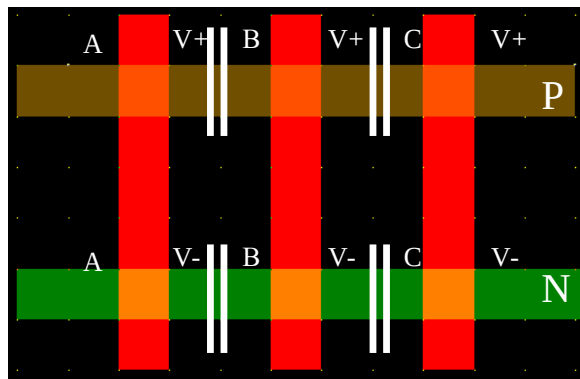
Εικ. 6.17

Τα σημεία επαφών αναπαρίστανται συνήθως με ένα μικρό (x) εκεί που είναι η επαφή. Στη συνέχεια εφαρμόζουμε τη διαμοίραση πηγής – απαγωγού. Από το σχηματικό του κυκλώματος βλέπουμε ότι το πρώτο p τρανζίστορ έχει έναν ακροδέκτη με όνομα A και έναν με όνομα V+. Στη συνέχεια θα πρέπει να προχωρήσουμε με τους επόμενους ακροδέκτες. Ωστόσο, όπως βλέπουμε από την αντίστοιχη εικόνα, δεν έχουμε κάνει και πολύ καλή δουλειά, γιατί πρέπει να σπάσουμε τη διάχυση σε πολλά μέρη ώστε να πετύχουμε τη σωστή τοποθέτηση (**Εικ. 6.19**). Η τομή στη διάχυση απεικονίζεται με δύο κάθετες παράλληλες γραμμές στο σημείο τομής. Η τομή γίνεται στη διάχυση για να πετύχουμε αρκετή απόσταση μεταξύ ανόμοιων

διατάξεων. Μερικές φορές είναι απαραίτητη η τομή αν δεν μπορεί να γίνει διαμοίραση μεταξύ πηγών και απαγωγών. Κάθε τομή στη διάχυση χωρίζει τα τρανζίστορ και άρα σπαταλάει επιφάνεια. Η τέλεια λύση θα ήταν να μην υπάρχουν καθόλου σπασίματα.



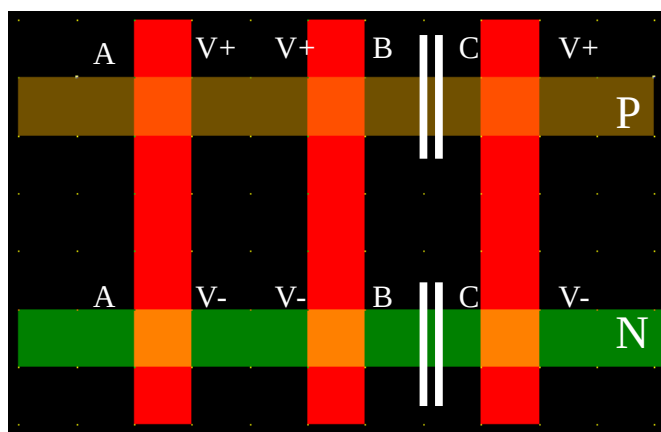
Εικ. 6.18



Εικ. 6.19

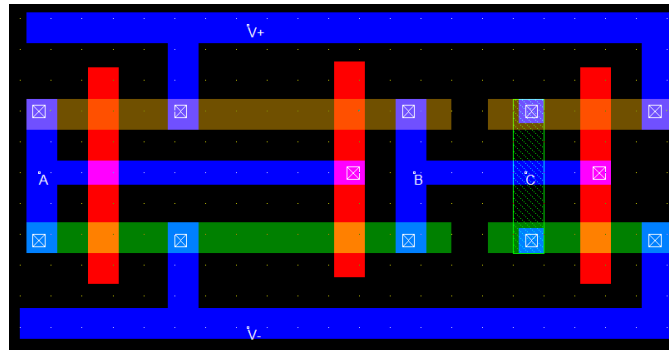
Χρειάζεται να ελαττώσουμε το μέγεθος της χωροθέτησης. Εξετάζουμε την τοποθέτηση των διατάξεων για να δούμε αν με τη διαμοίραση πηγής – απαγωγού μπορεί να αφαιρέσει μερικά από τα σπασίματα στις διαχύσεις. Αν κάνουμε αντικατοπτρισμό ως προς την κατακόρυφο του BV^+ και αντίστοιχα του BV^- ως $V^+ B$ και $V^- B$ αντίστοιχα, τότε έχουμε μια μικρή βελτίωση, αλλά και πάλι παραμένει από ένα σπάσιμο σε κάθε διάχυση. Δεν μπορούμε να κάνουμε παραπέρα βελτίωση με διαμοίραση πηγής-απαγωγού (Εικ. 6.20).

Σε μεγαλύτερα κυκλώματα η διαμοίραση πηγής – απαγωγού γίνεται πολλές φορές μέχρις σημείου που δεν μπορούμε να απλοποιήσουμε παραπέρα. Ίσως να πρέπει να αλλάξουμε και τη σειρά με την οποία οι διατάξεις είναι τοποθετημένες για να πετύχουμε πυκνότερη διάταξη. Μετά τη διαδικασία διαμοίρασης πηγής – απαγωγού θα πρέπει να τοποθετήσουμε τις διατάξεις μας. Μπορούμε να συνδέσουμε τους υπόλοιπους ακροδέκτες. Στα ψηφιακά κυκλώματα είναι τυπικό για κάθε τρανζίστορ τύπου p να υπάρχει ένα τρανζίστορ τύπου n. Καλό είναι να διατηρούμε τα ζεύγη κοντά ώστε οι πύλες τους να καλωδιωθούν με ένα μικρό κομμάτι polysilicon.

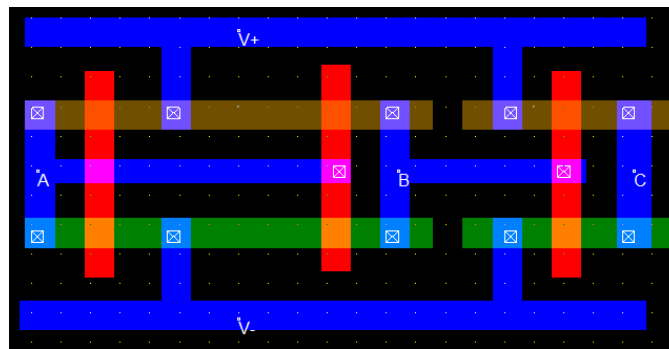


Εικ. 6.20

Στη συνέχεια τοποθετούμε γραμμές μετάλλου και κάνουμε τις επαφές (Εικ. 6.21). Σε αυτό το παράδειγμα βελτιώνουμε ακόμα περισσότερο το σχέδιο με το να τουμπάρουμε το τρίτο τρανζίστορ ώστε η έξοδός του C να μην διασταυρώνεται με το μέταλλο (Εικ. 6.22).

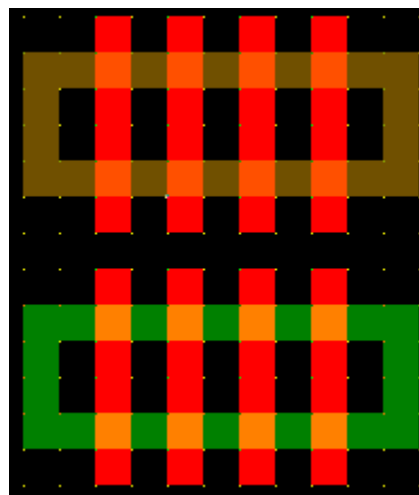


Εικ. 6.21



Εικ. 6.22

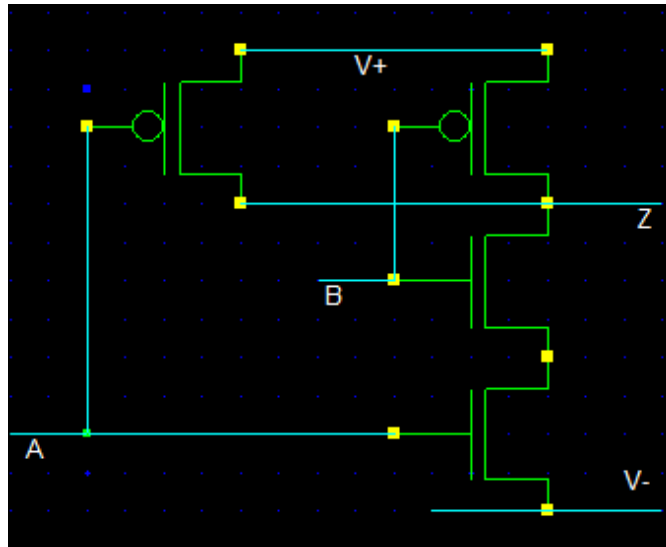
Σε υβριδική μορφή το γραμμικό διάγραμμα της χωροθέτησης χρησιμοποιεί παραλληλόγραμμα για τις διαχύσεις αντί για γραμμές (Εικ. 6.23). Έτσι, δίνει περισσότερο την αίσθηση των διατάξεων και είναι λίγο πιο κοντά στην τελική χωροθεσία.



Εικ. 6.23

Άσκηση 1

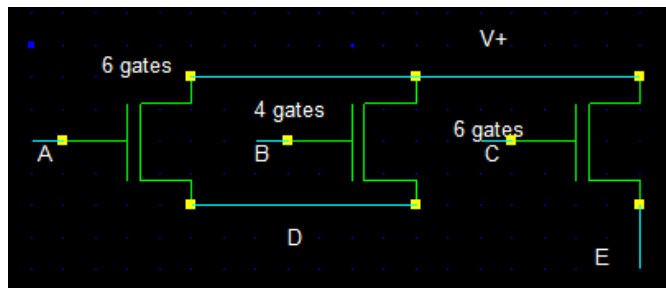
Υλοποιήστε τη χωροθεσία του κυκλώματος της Εικ. 6.24, όσο το δυνατό πιο τετραγωνισμένη και θεωρώντας ότι τα pmos έχουν τριπλάσιο πλάτος από τα nmos. Χρησιμοποιήστε τεχνολογία CMOS 0.12 μm .



Εικ. 6.24

Άσκηση 2

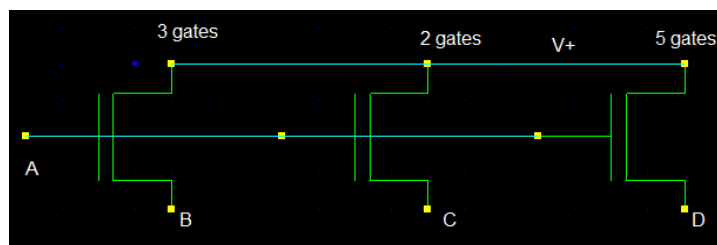
Υλοποιήστε τη χωροθεσία του κυκλώματος της **Εικ. 6.25**, όσο το δυνατό πιο τετραγωνισμένη. Χρησιμοποιήστε τεχνολογία CMOS 0.12 μm . Λάβετε υπόψη το πλάτος του κάθε MOS που αναγράφεται, ώστε να τα υλοποιήσετε σε αντίστοιχο πλήθος κομματιών.



Εικ. 6.25

Άσκηση 3

Υλοποιήστε τη χωροθεσία του κυκλώματος της **Εικ. 6.26**, όσο το δυνατό πιο τετραγωνισμένη. Χρησιμοποιήστε τεχνολογία CMOS 0.12 μm . Λάβετε υπόψη το πλάτος του κάθε MOS που αναγράφεται, ώστε να τα υλοποιήσετε σε αντίστοιχο πλήθος κομματιών.



Εικ. 6.26

6.9 ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Hastings, A. (2001). *The Art of Analog Layout*. Prentice Hall.
2. <http://srv-wwwperso.insa-toulouse.fr/~sicard/microwind/microwind.html>
3. Maloberti, F. (2003). *Analog Design for CMOS VLSI Systems*. Kluwer Academic Publishers.
4. Sicard, E., & Bendhia, S. D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.

ΚΕΦΑΛΑΙΟ 7. ΔΙΑΤΑΞΕΙΣ ΚΑΙ ΤΕΧΝΟΛΟΓΙΑ MOS (ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)

ΣΥΝΟΨΗ

Περιλαμβάνονται στοιχεία τεχνολογίας κατασκευής και δομή των mosfet σε μορφή ερωτήσεων/ ασκήσεων.

ΣΤΟΧΟΣ

Εμβάθυνση σε:

- * Γεωμετρική δομή και τοπογραφία mosfet,
- * Τεχνολογία κατασκευής mosfet,
- * Χωροθεσία mosfet.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Εισαγωγικά στοιχεία χρήσης λογισμικού Microwind.
- * Εισαγωγικά στοιχεία θεωρίας φυσικής ημιαγωγών.
- * Εισαγωγικά στοιχεία τεχνολογίας κατασκευής ολοκληρωμένων κυκλωμάτων.
- * Κεφάλαιο 1.

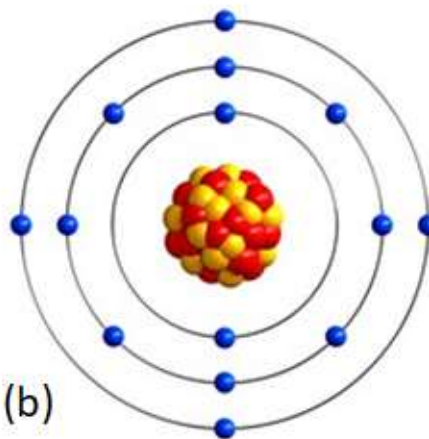
ΚΕΦΑΛΑΙΟ 7. ΔΙΑΤΑΞΕΙΣ ΚΑΙ ΤΕΧΝΟΛΟΓΙΑ MOS (ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)

1. Παρατηρήστε το Σχήμα 7.1. Το πυρίτιο στον περιοδικό πίνακα βρίσκεται στην IVA ομάδα και στην 3η περίοδο. Οπότε, το πλήθος των ηλεκτρονίων του είναι;
A 10 electrons
B 12 electrons
C 14 electrons
D 16 electrons
2. Παρατηρήστε το Σχήμα 7.2. Το πυρίτιο στον περιοδικό πίνακα βρίσκεται στην IVA ομάδα και στην 3η περίοδο. Οπότε, το άτομο του πυριτίου έχει (A) _____ ηλεκτρόνια συνολικά, από τα οποία (B) _____ βρίσκονται στο 1ο ενεργειακό επίπεδο (στοιβάδα), (C) _____ στο 2ο και (D) _____ στο 3ο. Μάλιστα, τα ηλεκτρόνια στο 3ο επίπεδο λέγονται ηλεκτρόνια (E) _____ γιατί συμμετέχουν στον σχηματισμό χημικών δεσμών του πυριτίου με άλλα άτομα πυριτίου ή με άτομα άλλων στοιχείων.

8 4 2 14 σθένους



(a)

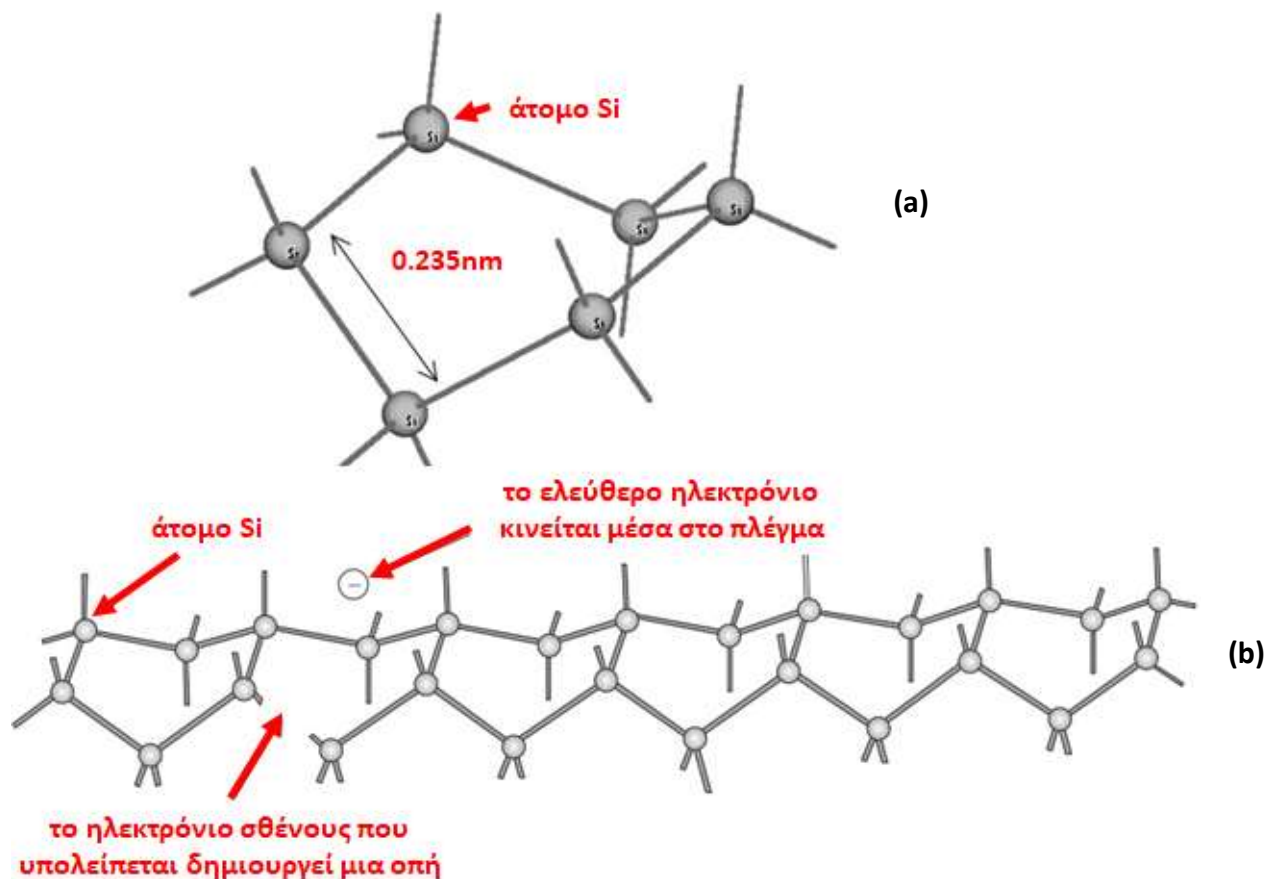


(b)

● 14 Protons ● 14 Neutrons ● 14 Electrons

Σχήμα 7.1 / 7.2. (a) Το πυρίτιο στον περιοδικό πίνακα βρίσκεται στην IVA ομάδα και στην 3η περίοδο. (b) Ηλεκτρονιακή δομή πυριτίου (Si).

3. Παρατηρήστε το Σχήμα 7.3 και απαντήστε στα επόμενα:
a) Πόσα ηλεκτρόνια σθένους έχει ή δεσμούς μπορεί να σχηματίσει ένα άτομο Si ;
b) Πόσα άτομα Si δημιουργούν τη βασική κυψελίδα του κρυστάλλου του ;



Σχήμα 7.3 (a) Δομή της βασικής κυψελίδας πλέγματος κρυσταλλικού Si.

Σχήμα 7.4 (b) Ελεύθερα ηλεκτρόνια και οπές σε κρυσταλλικό πλέγμα Si.

4. Παρατηρήστε το Σχήμα 7.4 και κάντε τις επόμενες αντιστοιχίσεις.

- | | |
|---|---|
| A. ____ Ο καθαρός (pure) κρύσταλλος Si είναι από μηχανικής απόψης | a. αλλά ημιαγωγός. |
| B. ____ Από ηλεκτρική άποψη είναι | b. είναι περίπου $1.45 \times 10^{10} \text{ cm}^{-3}$. |
| C. ____ Η ατομική πυκνότητα του κρυστάλλου Si είναι περίπου | c. μερικές φορές διεγείρουν ηλεκτρόνια σθένους ώστε να αφήσουν αυτά τις θέσεις τους στο κρυσταλλικό πλέγμα και να διαφύγουν ελεύθερα στο πλέγμα, αυξάνοντας έτσι την αγωγιμότητα. |
| D. ____ Οι τυχαίες δονήσεις του κρυσταλλικού πλέγματος λόγω θερμικής διέγερσης, | d. πολύ δυνατός και σκληρός. |
| E. ____ Η απουσία ενός ηλεκτρονίου από έναν δεσμό, | e. είναι ίση με τη συγκέντρωση των ελευθέρων οπών. |
| F. ____ Το πλήθος των ηλεκτρονίων που συμμετέχουν στην αγωγιμότητα του κρυστάλλου Si, ονομάζονται | f. πολύ κακός αγωγός του ηλεκτρισμού, διότι τα ηλεκτρόνια σθένους του είναι μοιρασμένα εντός της δομής του κρυστάλλου. |

G. ____ Η συγκέντρωση n_i των ενδογενών φορέων στον κρύσταλλο Si,

g. ονομάζεται οπή (hole).

H. ____ Όταν αυξάνεται η θερμοκρασία,

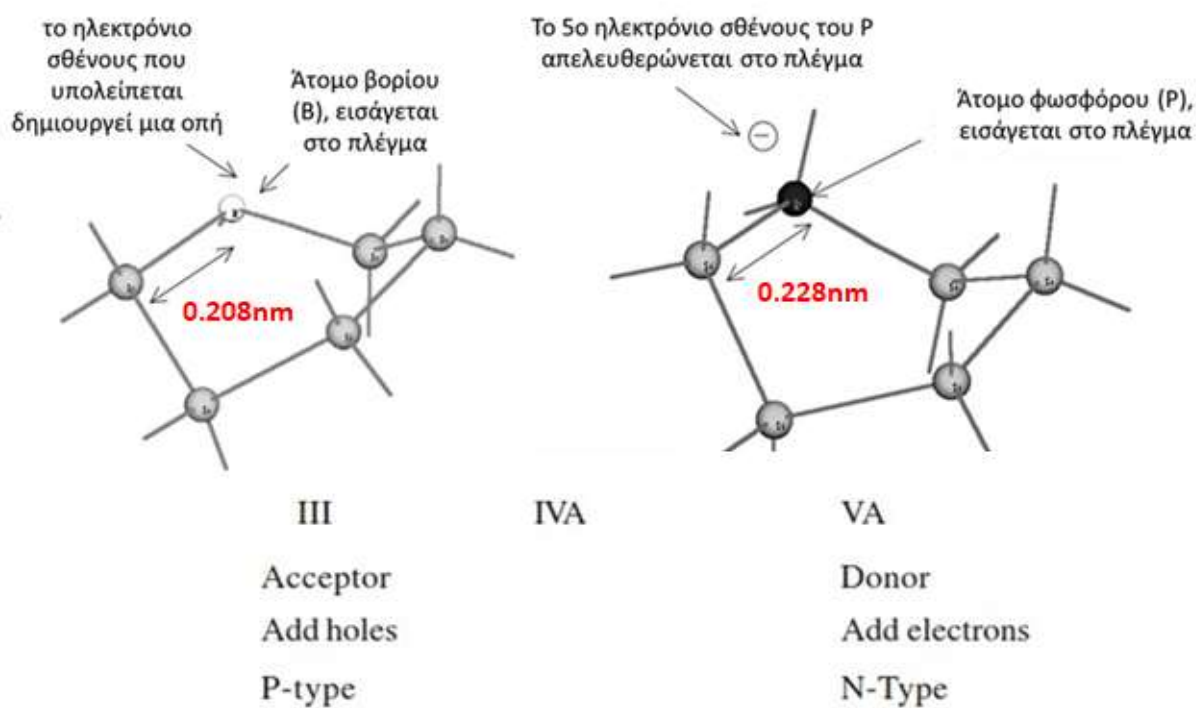
h. αυξάνεται η πυκνότητα των ενδογενών φορέων αγωγιμότητας στον κρύσταλλο του Si.

I. ____ Το Si δεν είναι ούτε μονωτής αλλά ούτε και καλός αγωγός του ηλεκτρισμού,

i. 5×10^{22} άτομα ανά κυβικό εκατοστό (cm^{-3}).

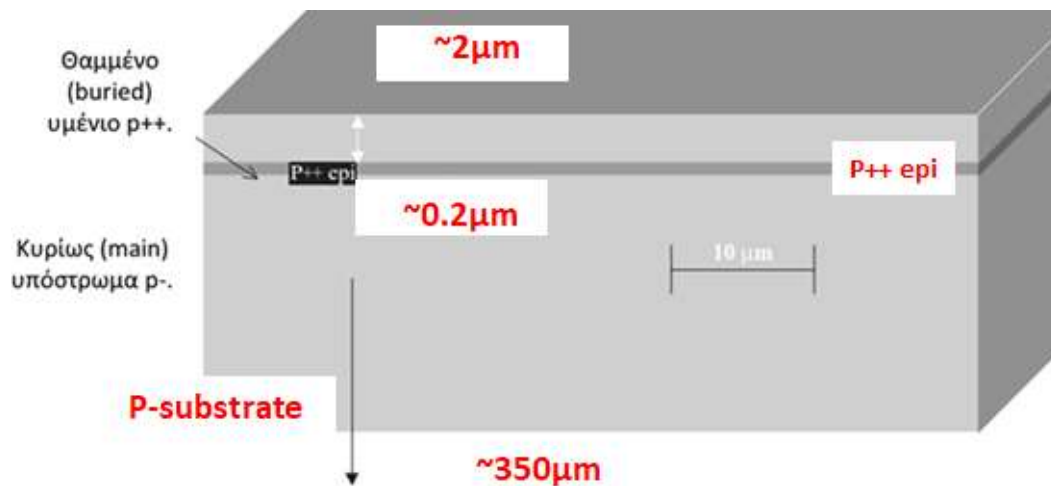
J. ____ Η συγκέντρωση των ελευθέρων ηλεκτρονίων στον κρύσταλλο Si, υποθέτουμε ότι

j. ενδογενείς φορείς (intrinsic carriers).



B 5 Boron	C 6 Carbon	N 7 Nitrogen
Al 13 Aluminium	Si 14 Silicon	P 15 Phosphorus
Ga 31 Gallium	Ge 32 Germanium	As 33 Arsenic

Σχήμα 7.5 Δότες (donors), αποδέκτες (acceptors), τύπος (n, p), εμφύτευση. ...συνεχίζεται.



Σχήμα 7.5 ...συνέχεια.

5. Παρατηρήστε το Σχήμα 7.5 και κάντε τις επόμενες αντιστοιχίσεις.

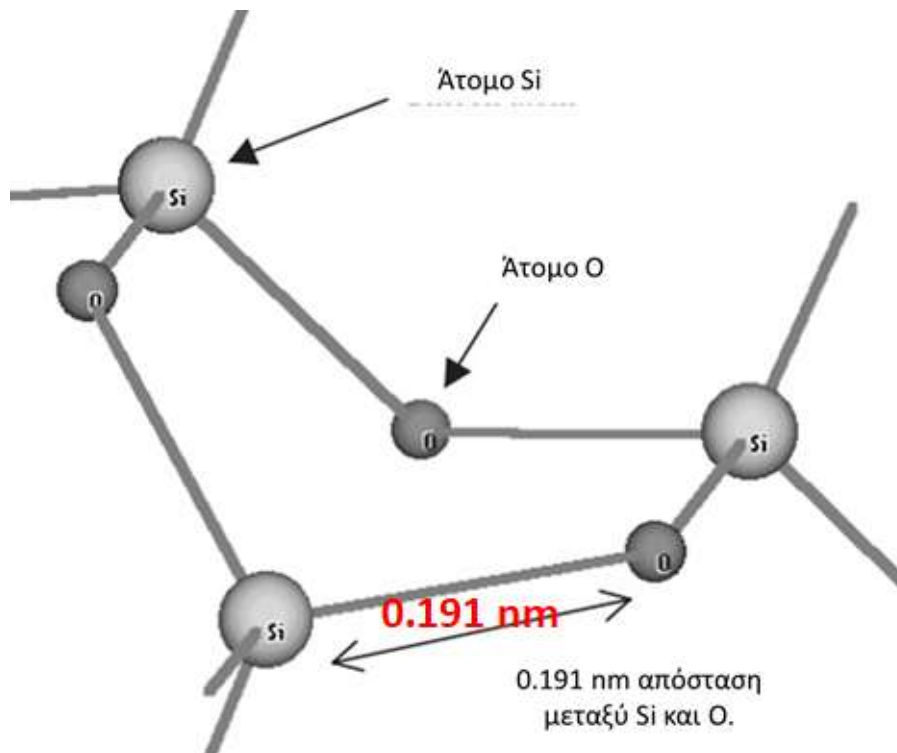
- | | |
|---|---|
| A. ____ Για να αυξήσουμε την αγωγιμότητα του ενδογενούς πυριτίου, | a. δότες ηλεκτρονίων και συμβολίζονται με το N. |
| B. ____ Παραδείγματα ατόμων που είναι δότες ηλεκτρονίων όταν εισάγονται στο πλέγμα του πυριτίου, είναι | b. $P+(1E16 \text{ cm}^{-3})$, |
| C. ____ Επειδή ο φώσφορος και το αρσενικό έχουν μόνο 5 ηλεκτρόνια σθένους και το πλέγμα του πυριτίου αποτελείται από τετρασθενή άτομα πυριτίου, | c. N- (αντιστοιχεί περίπου σε 1 N-τύπου άτομο ανά 100,000,000 άτομα Si ή $1E14 \text{ cm}^{-3}$). |
| D. ____ Ο φώσφορος και το αρσενικό ονομάζονται | d. ο φώσφορος και το αρσενικό (ομάδα VA), τα οποία με τη διαδικασία της εμφύτευσης εισάγονται σε μικρές ποσότητες στο πλέγμα του πυριτίου. |
| E. ____ Μια πολύ μεγάλη συγκέντρωση δοτών συμβολίζεται ως | e. εισάγουμε στο πλέγμα του άτομα άλλων υλικών που λέγονται δότες (donors) ηλεκτρονίων. |
| F. ____ Μια μεγάλη συγκέντρωση δοτών συμβολίζεται ως | f. απουσία ενός ηλεκτρονίου ή οποία ερμηνεύεται ως οπή. Το πλέγμα συμβολίζεται πλέον ως τύπου P. |
| G. ____ Μια μικρή συγκέντρωση δοτών συμβολίζεται ως | g. κάθε φορά που αντικαθιστούν ένα άτομο πυριτίου στο πλέγμα, ένα ηλεκτρόνιο ελευθερώνεται, οπότε συμμετέχει στην αύξηση της ηλεκτρικής αγωγιμότητας. |
| H. ____ Για να αυξήσουμε τον αριθμό των οπών στο πλέγμα του ενδογενούς πυριτίου, | h. N+ (αντιστοιχεί περίπου σε 1 N-τύπου άτομο ανά 1,000,000 άτομα Si ή $1E16 \text{ cm}^{-3}$). |

- | | |
|--|---|
| I. ____ Το άτομα βορίου ονομάζονται αποδέκτες (acceptors), επειδή είναι τρισθενή και όταν βρεθούν σε θέση πυριτίου στο κρυσταλλικό πλέγμα, δημιουργούν | i. για να σχηματίσει έναν καλό αγωγό κάτω από την ενεργό περιοχή και να συνδέεται με τη γείωση όταν το p^{++} στρώμα δεν υφίσταται. |
| J. ____ Μια πολύ μεγάλη συγκέντρωση αποδεκτών συμβολίζεται | j. $P^{++} (1E18 \text{ cm}^{-3})$, |
| K. ____ Μια μεγάλη συγκέντρωση αποδεκτών συμβολίζεται | k. είναι ελαφρώς νοθευμένο με βόριο και χαρακτηρίζεται ως τύπου P^- . |
| L. ____ Μια μικρή συγκέντρωση αποδεκτών συμβολίζεται | l. έχει πάχος γύρω στα 350 μm . |
| M. ____ Το υπόστρωμα πυριτίου πάνω στο οποίο κατασκευάζουμε τις CMOS διατάξεις | m. πρέπει να εισάγουμε άτομα βορίου. |
| N. ____ Το υπόστρωμα (substrate) πυριτίου συνήθως | n. $P^-(1E14 \text{ cm}^{-3})$. |
| O. ____ Κοντά στην πάνω επιφάνεια συνήθως δημιουργείται ένα θαμένο στρώμα p -τύπου | o. N^{++} (αντιστοιχεί περίπου σε 1 N -τύπου άτομο ανά 10,000 άτομα Si ή $1E18 \text{ cm}^{-3}$). |

6. Παρατηρήστε το Σχήμα 7.6 και κάντε τις επόμενες αντιστοιχίσεις.

- | | |
|---|---|
| A. ____ Ο πιο επαρκής από φυσική, μηχανική και ηλεκτρική άποψη μονωτής στην κατασκευή ολοκληρωμένων κυκλωμάτων είναι το διοξείδιο του πυριτίου | a. συμβολικά, SiO_2 . |
| B. ____ Στο πλέγμα του SiO_2 , η απόσταση μεταξύ Si και O | b. είναι μικρότερη σε σχέση με την απόσταση μεταξύ Si-Si , γεγονός που δημιουργεί κάποιες διαφορές στην ομοιομορφία και την κανονικότητα μεταξύ στρωμάτων Si και SiO_2 . |
| C. ____ Το υμένιο του SiO_2 αναπτύσσεται πάνω στην επιφάνεια πλέγματος Si | c. με εναπόθεση από αέριο οξυγόνο σε συνθήκες πολύ υψηλής θερμοκρασίας. |
| D. ____ Κατά τη δημιουργία του υμενίου SiO_2 πάνω στο Si , τα άτομα του O συνδέονται τόσο με επιφανειακά άτομα Si | d. αλλά μέσω διάχυσης και με άτομα Si που βρίσκονται βαθύτερα από την επιφάνεια. |

- E. ____ Η σχετική διηλεκτρική σταθερά του SiO_2 είναι
- F. ____ Η σχετική διηλεκτρική σταθερά του αέρα είναι 1,
- G. ____ Το υμένιο SiO_2 είναι πολύ υψηλής ποιότητας
- H. ____ Το "O" στα αρχικά CMOS δεν αντιστοιχεί σε "Oxygen"
- e. 3.9. Ο αριθμός αυτός ποσοτικοποιεί τη φαινόμενη χωρητικότητα του μονωτικού στρώματος που σχηματίζει το SiO_2 .
- f. που αποτελεί και την ελάχιστη τιμή που χρησιμοποιείται και ως αναφορά για όλα τα άλλα υλικά.
- g. μονωτής και χρησιμοποιείται κατά αποκλειστικότητα στα CMOS κυκλώματα για τη μόνωση των διατάξεων.
- h. αλλά σε "Oxide", δηλαδή παραπέμπει στο SiO_2 .



Σχήμα 7.6 Δομή κυψελίδας SiO_2 .

7. Παρατηρήστε το Σχήμα 7.7 και κάντε τις επόμενες αντιστοιχίσεις.

- A. ____ Τα OK χρησιμοποιούν αρκετά μεταλλικά υλικά για
- B. ____ Aluminum (III), tungsten (IVB), gold (IB), και copper (IB)
- C. ____ Τα μεταλλικά υμένα χαρακτηρίζονται από φυσική άποψη από το μέτρο της
- a. και τον ακολουθούν ο χρυσός και το αλουμίνιο.
- b. $1 (\Omega \cdot \text{cm})^{-1}$
- c. $1/\sigma$.

- D. ____ Ο χαλκός (copper) είναι ο καλύτερος αγωγός, γιατί έχει την πιο μικρή τιμή ειδικής αντίστασης
- E. ____ Το υψηλής νόθευσης κρυσταλλικό πυρίτιο δεν παρουσιάζει
- F. ____ Ο ενδογενής κρύσταλλος πυριτίου έχει μέτρο ειδικής αντίστασης
- G. ____ Πολλές φορές χρησιμοποιούμε το μέτρο της ειδικής αγωγιμότητας ή αγωγιμότητας ρ sometimes used
- H. ____ $\rho =$
- I. ____ Μονάδα ειδικής αγωγιμότητας $[\rho] =$
- J. ____ Μονάδα ειδικής αντίστασης $[\sigma] =$
- d. την κατασκευή διασυνδέσεων (interconnects).
- e. είναι μεταλλικά υλικά που χρησιμοποιούνται στην κατασκευή OK.
- f. μεταξύ αυτών που συναντάμε στους αγωγούς και στους μονωτές.
- g. αντιστατικότητας ή ειδικής αντίστασης (resistivity) (σ).
- h. αντί της ειδικής αντίστασης σ .
- i. $1 (\Omega \cdot \text{cm})$
- j. μικρή ειδική αντίστασης.

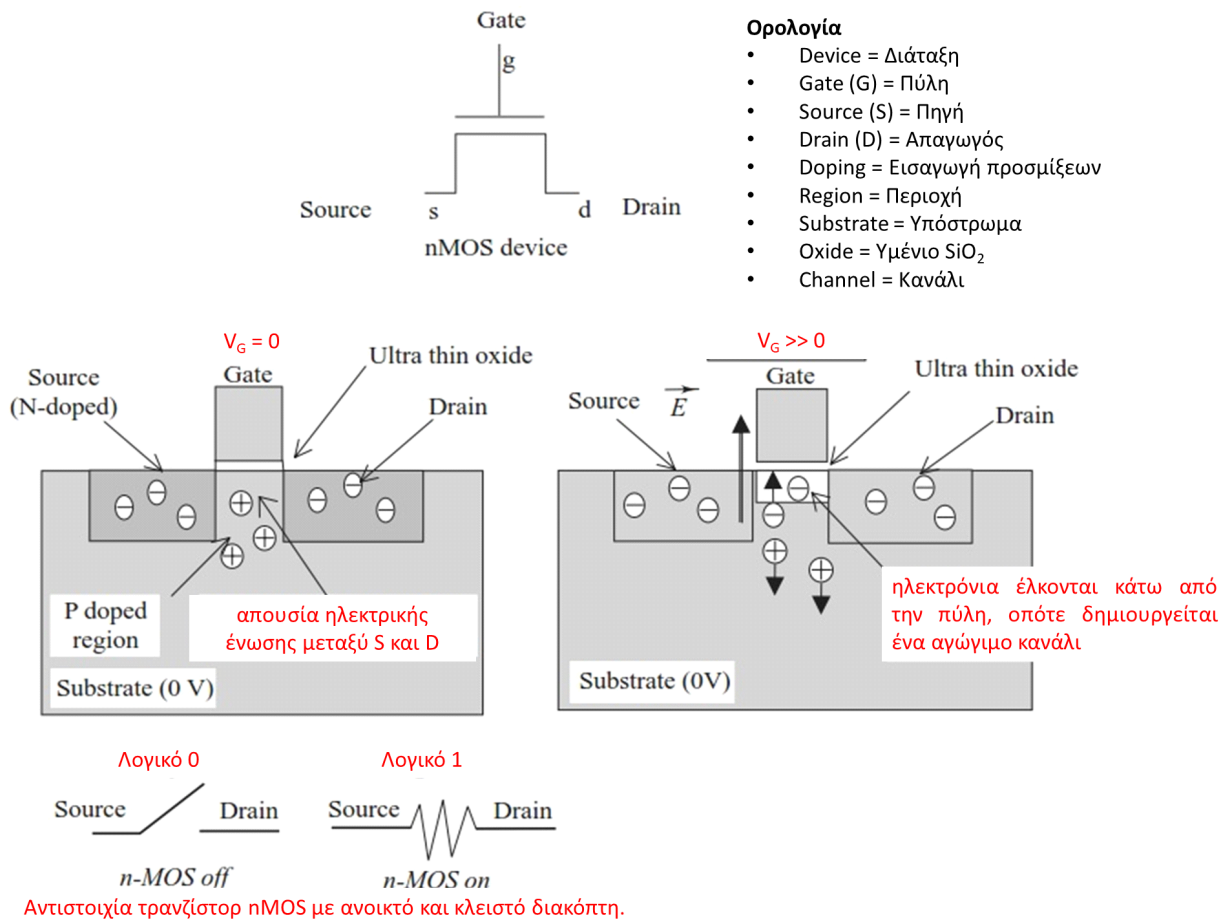
Μεταλλικά υλικά στη CMOS τεχνολογία

VIB	VIIB	VII	VII	VII	IB	IIB	Al 13 Aluminum
Cr 24 Chromium	Mn 25 Manganese	Fe 26 Iron	Co 27 Cobalt	Ni 28 Nickel	Cu 29 Copper	Zn 30 Zinc	Ga 31 Gallium
Mo 42	Tc 43	Ru 44	Rh 45	Pd 46	Ag 47 Silver	Cd 48 Cadmium	In 49 Indium
W 74 Tungsten	Re 75	Os 76	Ir 77	Pt 78	Au 79 Gold	Hg 80	Tl 81

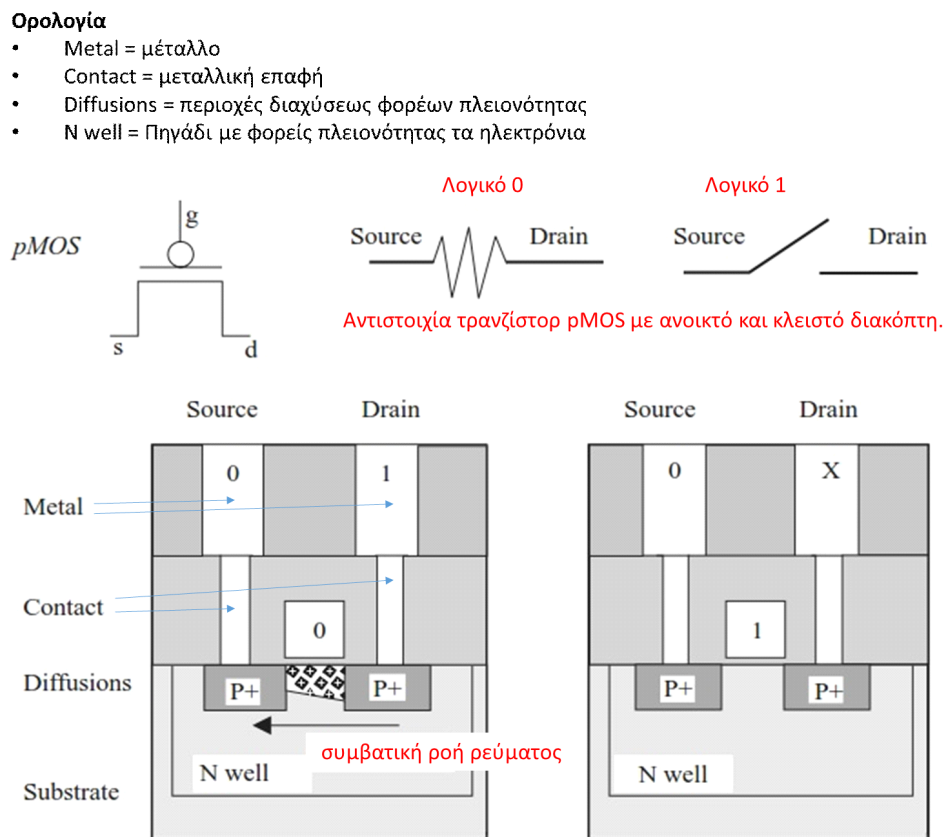
Αγωγιμότητα κυριότερων μεταλλικών υλικών στη CMOS τεχνολογία

Material	Symbol	Resistivity σ ($\Omega \cdot \text{cm}$)
Copper	Cu	1.72×10^{-6}
Gold	Au	2.4×10^{-6}
Aluminium	Al	2.7×10^{-6}
Tungsten	W	5.3×10^{-6}
Silicon, N+ doped	N+	0.25
Silicon, intrinsic	Si	2.5×10^5

Σχήμα 7.7 Μεταλλικά υλικά που χρησιμοποιούνται στη CMOS τεχνολογία κατασκευής OK και οι κυριότερες τιμές αγωγιμότητας των βασικότερων από αυτά.



Σχήμα 7.8 nMOS διακόπτης/ τρανζίστορ.



Σχήμα 7.9 pMOS διακόπτης/ τρανζίστορ.

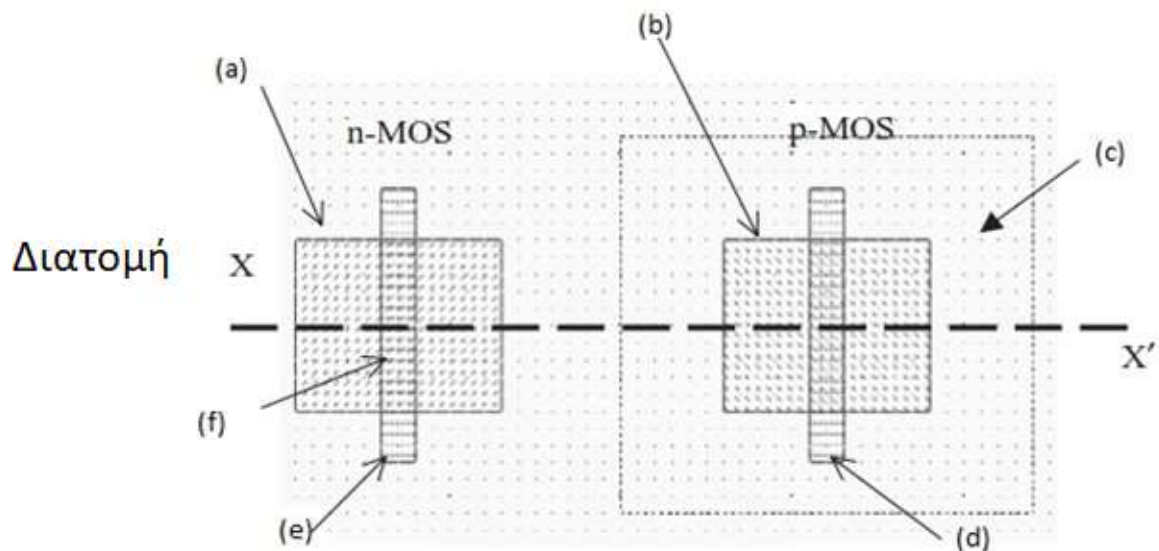
8. Παρατηρήστε το Σχήμα 7.8 και επιλέξτε (T) rue ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F MOS = Metal - Oxide - Semiconductor.
- B. T F Ο διακόπτης MOS δεν εμφανίζεται συχνά στα OK.
- C. T F Το MOS τρανζίστορ είναι η "ολοκληρωμένη" (integrated) έκδοση του ηλεκτρικού διακόπτη.
- D. T F Το nMOS όταν είναι σε κατάσταση on δεν επιτρέπει τη ροή του ρεύματος στο κανάλι, ενώ όταν είναι σε κατάσταση off την επιτρέπει.
- E. T F Το MOS τρανζίστορ έρχεται σε κατάσταση on ή off μέσω άσκησης μηχανικής πίεσης στην πύλη του.
- F. T F CMOS = Complementary Metal Oxygen Semiconductor.
- G. T F Στη CMOS τεχνολογία χρησιμοποιούμε δύο είδη διακοπών. Το n-channel MOS ή nMOS και το p-channel MOS ή pMOS.
- H. T F Λογική τιμή 0 αντιστοιχεί σε 0.0 V και συμβολικά στα ψηφιακά κυκλώματα εμφανίζεται και ως V_{DD} .
- I. T F Η λογική τιμή 1 αντιστοιχεί σε 1.2 V (στην τεχνολογία 0.12 μm) και συμβολικά στα ψηφιακά κυκλώματα εμφανίζεται και ως V_{DD} .
- J. T F Παρά την πολύ μικρή τιμή του, το ρεύμα ενός MOS είναι αρκετό να οδηγήσει ένα led σε κατάσταση on και off.
- K. T F Κάθε διάταξη MOS αποτελείται από δύο περιοχές φορέων αγωγιμότητας, την πηγή και τον απαγωγό, οι οποίες διαχωρίζονται από ένα κανάλι.
- L. T F Το κανάλι των ηλεκτρονίων κάτω από την πύλη ενός nMOS σχηματίζεται ανεξάρτητα από την ύπαρξη δυναμικού στην πύλη του τρανζίστορ.
- M. T F Η πύλη του τρανζίστορ είναι ένα αγωγίμο υμένιο που σχηματίζεται πάνω από το κανάλι αλλά σε ηλεκτρική επαφή με αυτό.
- N. T F Το MOS είναι ουσιαστικά ένας διακόπτης μεταξύ απαγωγού και πηγής.
- O. T F Θεωρητικά, η πηγή είναι η περιοχή που περιέχει τα ηλεκτρόνια και ο απαγωγός η περιοχή που περιέχει τις οπές.
- P. T F Στην περίπτωση nMOS, στο κανάλι οι φορείς αγωγιμότητας είναι τα ηλεκτρόνια.
- Q. T F Στο nMOS η πηγή είναι η περιοχή διάχυσης που συνδέεται στο χαμηλότερο δυναμικό του κυκλώματος.
- R. T F Το MOS όταν χρησιμοποιείται στην ψηφιακή σχεδίαση μπορεί να είναι σε κατάσταση on ή off.
- S. T F Το nMOS για να είναι on θα πρέπει στην πύλη του να υπάρχει αρκετά θετικό δυναμικό. T.
- T. F Στο nMOS όταν είναι on, ηλεκτρικό ρεύμα ρέει μεταξύ πηγής και πύλης.
- U. T F Όταν το nMOS είναι on, το κανάλι μπορεί να παρομοιαστεί προσεγγιστικά με αντίσταση.
- V. T F Η αντίσταση του καναλιού σε ένα MOS μπορεί να κυμανθεί από 0.1 Ω ως αρκετές εκατοντάδες k Ω .

- W. T F Τρανζίστορ MOS με συνθήκες υψηλής αντίστασης καναλιού βρίσκουν χρήση σε κυκλώματα αναλογικής σχεδίασης για εφαρμογές χαμηλής ισχύος.
- X. T F Στις πύλες ψηφιακής λογικής η αντίσταση R_{on} του καναλιού είναι στη περιοχή του 1 KΩ.
- Y. T F Η αντίσταση του "off" MOS θεωρείται προσεγγιστικά άπειρη, ωστόσο είναι στην περιοχή των αρκετών MΩ.
- Z. T F Σε ένα nMOS όταν είναι off, το ρεύμα μεταξύ πηγής απαγωγού είναι σχεδόν μηδενικό.

9. Παρατηρήστε το Σχήμα 7.9 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F Το nMOS σε κατάσταση off, ισοδυναμεί με ανοικτό διακόπτη, όπου το δυναμικό στον διακόπτη (κανάλι) είναι απροσδιόριστο.
- B. T F Το pMOS χρειάζεται θετικό δυναμικό στην πύλη του για να είναι on.
- C. T F Το σύμβολο του pMOS είναι όμοιο με αυτό του nMOS με τη διαφορά της προσθήκης ενός μικρού κύκλου στην πύλη του.
- D. T F Οι φορείς αγωγιμότητας στο κανάλι του pMOS είναι τα ηλεκτρόνια.
- E. T F Υψηλό δυναμικό στην πύλη του pMOS, αποσυνδέει το κανάλι πηγής-απαγωγού.
- F. T F Υψηλό δυναμικό στην πύλη του pMOS, αυξάνει τη ροή του ρεύματος στο κανάλι του.
- G. T F Στο pMOS, αρνητικό δυναμικό στην πύλη του, έλκει σπές κάτω από την πύλη και δημιουργεί το κανάλι που θα επιτρέψει τη ροή ρεύματος μεταξύ πηγής - απαγωγού.
- H. T F Το pMOS άγει με λογικό 1 στην πύλη του.
- I. T F Το pMOS άγει με λογικό 0 στην πύλη του.



Σχήμα 7.10 Κάτοψη χωροθεσίας (layout) nMOS και pMOS.

10. Παρατηρήστε το Σχήμα 7.10 και κάντε τις επόμενες αντιστοιχίες:

- A. ____ (a) a. Περιοχή N-πηγαδιού κάτω από το pMOS.

B. ____ (b)

C. ____ (c)

D. ____ (d)

E. ____ (e)

F. ____ (f)

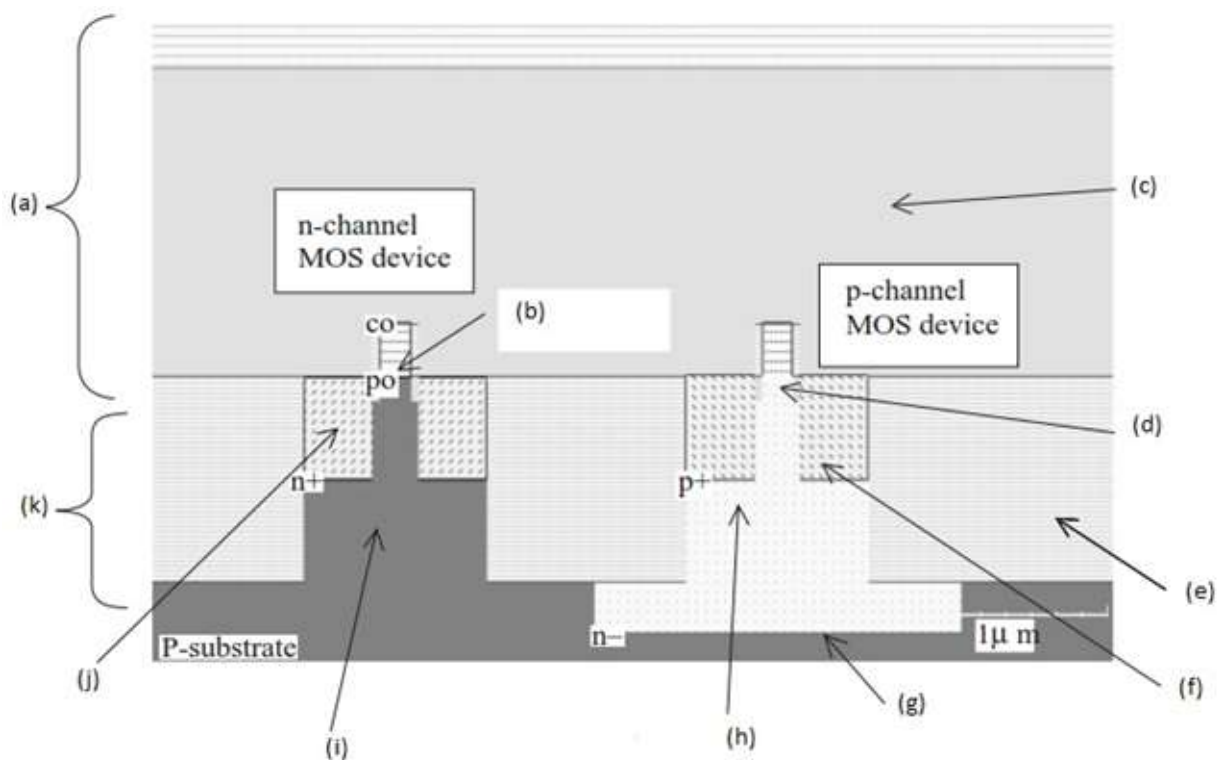
b. Περιοχή καναλιού στη διατομή της N+ διάχυσης και του πολυκρυσταλλικού πυριτίου.

c. Πύλη nMOS.

d. Περιοχή διάχυσης N+ (N+ diffusion).

e. Περιοχή διάχυσης P+ (P+ diffusion).

f. Πύλη pMOS.



Σχήμα 7.11 Τομή κατά βάθος (cross-section) στην κάτοψη χωροθεσίας (layout) nMOS και pMOS.

11. Παρατηρήστε το Σχήμα 7.11 και κάντε τις επόμενες αντιστοιχίες:

A. ____ (a)

B. ____ (b)

C. ____ (c)

D. ____ (d)

E. ____ (e)

F. ____ (f)

G. ____ (g)

a. Κανάλι nMOS.

b. Πύλη pMOS.

c. Οξείδιο απομόνωσης (Isolation oxide)

d. Πύλη nMOS.

e. Διάχυση N+ (N+ diffusion).

f. SiO₂.

g. Περιοχή μετάλλων (Metallization area)

H. ____ (h)

h. Περιοχή N-πηγαδιού μικρής νόθευσης (Lightly doped N-well)

I. ____ (i)

i. Κανάλι pMOS.

J. ____ (j)

j. Διάχυση P+ (P+ diffusion).

K. ____ (k)

k. Περιοχή διάχυσης (Diffusion area).

12. Παρατηρήστε το Σχήμα 7.12 και κάντε τις επόμενες αντιστοιχίσεις:

A. ____ Πολυκρυσταλλικό πυρίτιο

a. Contact

B. ____ N+ Περιοχή διάχυσης

b. Diffn

C. ____ P+ Περιοχή διάχυσης

c. Diffp

D. ____ Μεταλλική επαφή

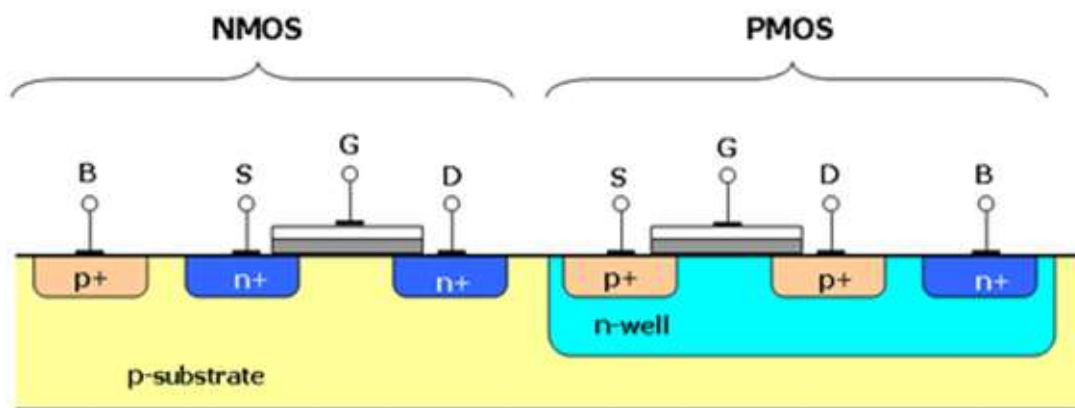
d. Poly

E. ____ 1ο επίπεδο μετάλλου

e. n-well

F. ____ Περιοχή N-πηγαδιού

f. Metal 1



Σχήμα 7.12 Κωδικές ονομασίες υλικών για την κατασκευή nMOS και pMOS.

13. Παρατηρήστε το Σχήμα 7.13 και κάντε τις επόμενες αντιστοιχίσεις:

A. ____ Polysilicon

a. Χρησιμοποιείται για τη διασύνδεση των διατάξεων μεταξύ τους ώστε να επιτύχουμε την επιθυμητή συνάρτηση λογικής ή αναλογική λειτουργία.

B. ____ N+ diffusion

C. ____ P+ diffusion

D. ____ Contact

E. ____ First level of metal

F. ____ n-well

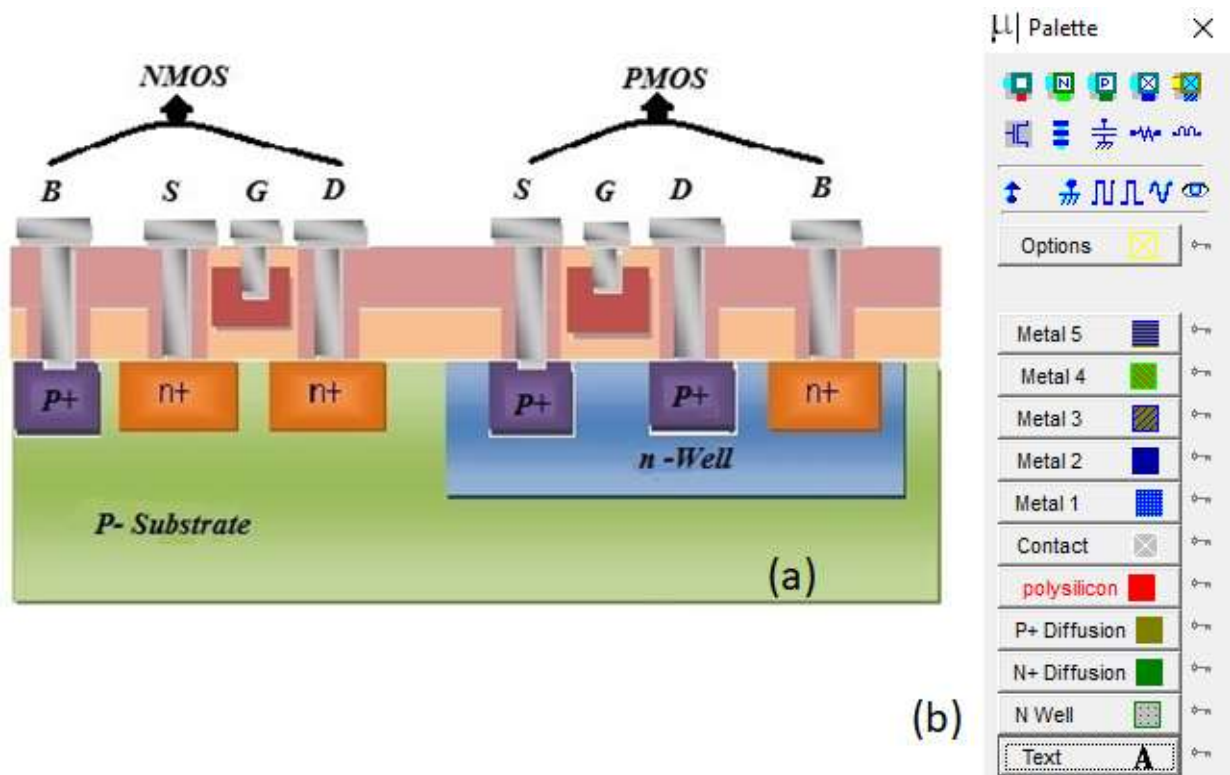
b. Χρειάζεται για τη διασύνδεση μεταξύ των περιοχών διάχυσης και των μεταλλικών επιπέδων. Κατασκευάζεται ανοίγοντας μια τρύπα στο στρώμα οξειδίου και γεμίζοντάς την στη συνέχεια με μέταλλο.

c. Προσδιορίζει το ενεργό τμήμα του καναλιού του nMOS. Χρησιμοποιείται επίσης για την πόλωση του πηγαδιού-N.

d. Αποτελεί την πύλη στα nMOS και pMOS.

e. Περιοχή μικρής νόθευσης που χρησιμοποιείται για να αντιστρέψει τον τύπο του υποστρώματος. Όλα τα pMOS κατασκευάζονται μέσα σε τέτοιες περιοχές.

f. Προσδιορίζει το ενεργό τμήμα του καναλιού του pMOS. Χρησιμοποιείται επίσης για την πόλωση του υποστρώματος.



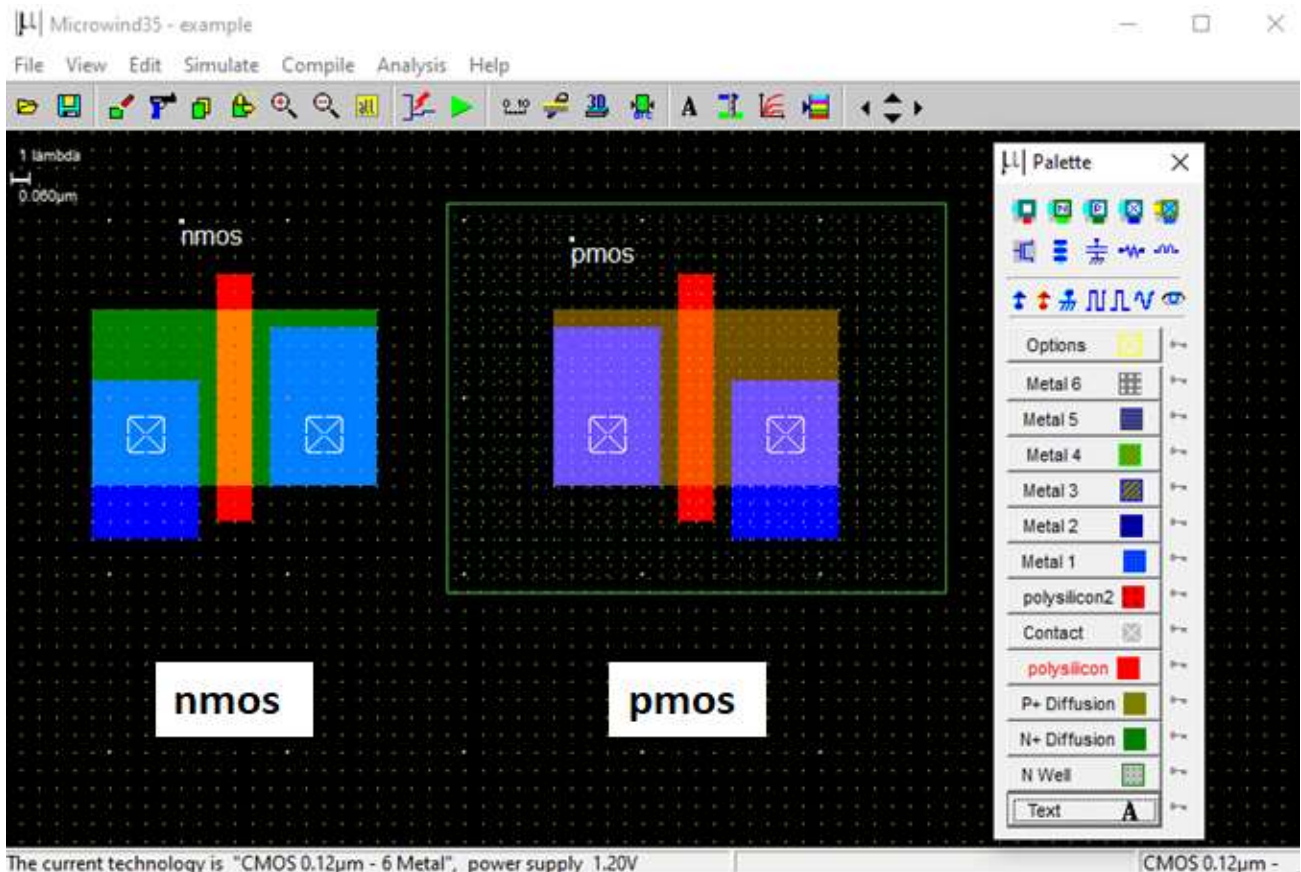
Σχήμα 7.13 (a) Περιγραφές βασικών υλικών που χρησιμοποιούνται για την κατασκευή nMOS και pMOS. Σχήμα 7.14 (b) Παλέτα βασικών εργαλείων σχεδιασμού στο Microwind. Χρωματικός κωδικός βασικών υλικών που χρησιμοποιούνται στην κατασκευή nMOS και pMOS.

14. Παρατηρήστε το Σχήμα 7.14 και κάντε τις επόμενες αντιστοιχίες:

A. ____ Polysilicon

a. Μπλε

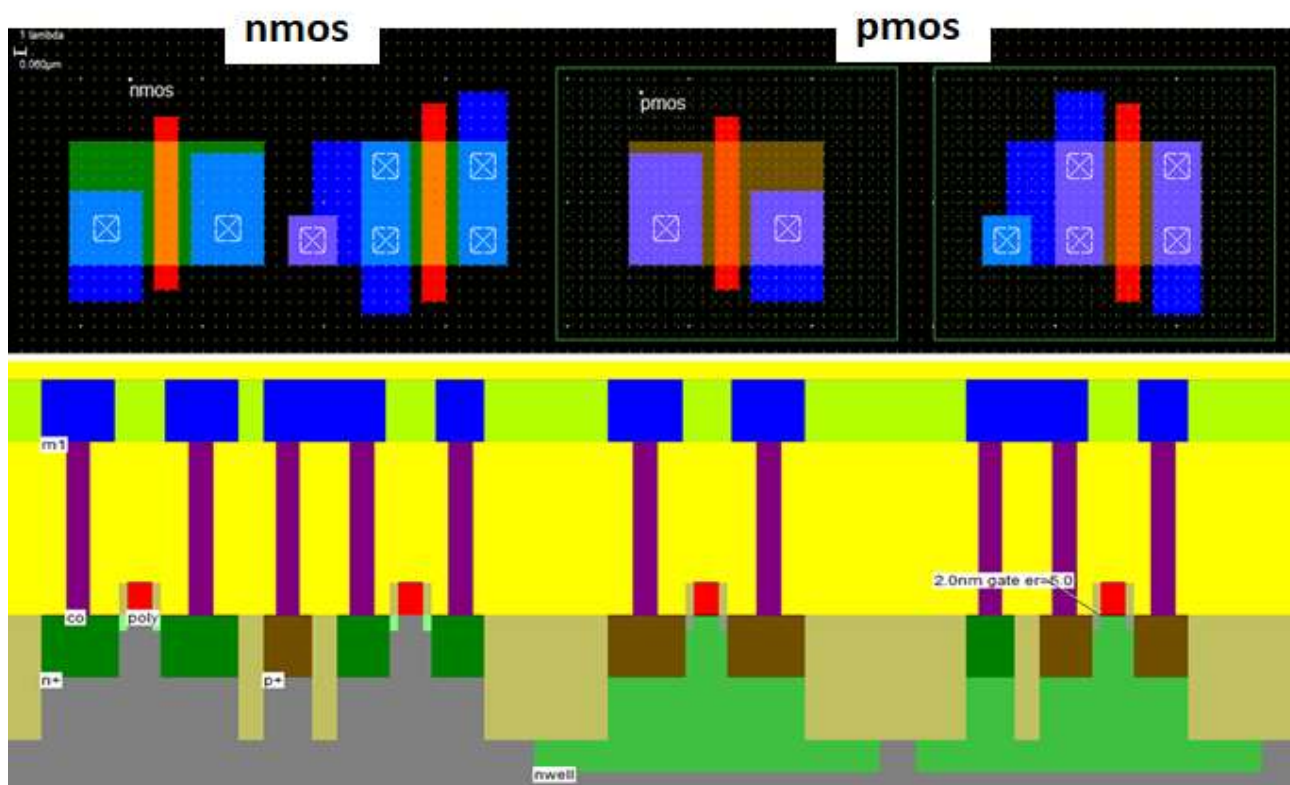
- | | |
|------------------------------|------------------------|
| B. ____ N+ diffusion | b. Λευκός σταυρός |
| C. ____ P+ diffusion | c. Maroon |
| D. ____ Contact | d. Σκούρο πράσινο |
| E. ____ First level of metal | e. Κόκκινο |
| F. ____ n-well | f. Πράσινο με στίγματα |



Σχήμα 7.15 Κάτοψη nMOS/pMOS στο λογισμικό Microwind.

15. Παρατηρήστε το Σχήμα 7.15 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:
- T F Το κυρίως παράθυρο του λογισμικού χρησιμοποιεί ένα πλέγμα (τελείες) σε μονάδες λ.
 - T F Το μέγεθος του πλέγματος δεν μπορεί να αλλάξει όταν αλλάξει η μεγέθυνση μέσα στο κυρίως παράθυρο.
 - T F $\lambda = L_{\min}/2$ όπου $L_{\min}$ είναι το μήκος καναλιού της συγκεκριμένης τεχνολογίας σχεδίασης. Π.χ. για σχεδίαση με τεχνολογία CMOS 0.12 μm με 6 επίπεδα μετάλλου, η μονάδα $\lambda = 0.06 \mu\text{m}$.
 - T F Οι διαστάσεις του χωροθετημένου κουτιού (layout box) του poly μπορεί να είναι όσο μικρές μας εξυπηρετούν κατά τη σχεδίαση.
 - T F Η N+ περιοχή διάχυσης θα πρέπει να εκτείνεται τουλάχιστον κατά 4λ και στις δύο πλευρές της πύλης από poly.

- F. T F Η τομή μεταξύ περιοχών διάχυσης και poly σχηματίζει το κανάλι του nMOS.
- G. T F Το nMOS σχηματίζεται με τη σχεδίαση της πύλης poly πάνω από p+ περιοχές διάχυσης.
- H. T F Το υπόστρωμα για τον nMOS δε μπορεί να είναι απευθείας p-τύπου, αλλά πρέπει να σχηματίσουμε πρώτα μια περιοχή n-πηγαδιού και μέσα εκεί να σχεδιάσουμε το nMOS.
- I. T F Η περιοχή p+ διάχυσης του pMOS πρέπει να βρίσκεται ολόκληρη εντός n-well για τη σωστή λειτουργία της διάταξης.
- J. T F Η ελάχιστη επέκταση του n-well πρέπει να είναι 6λ γύρω από την p+ diffusion.
- K. T F Η επέκταση της περιοχής P+ diffusion μπορεί να είναι μέχρι 4λ γύρω από όλες τις πλευρές της πύλης.



Σχήμα 7.16 Χωροθεσίες nMOS, pMOS χωρίς και με πόλωση.

16. Παρατηρήστε το Σχήμα 7.16 και κάντε τις επόμενες αντιστοιχίσεις:

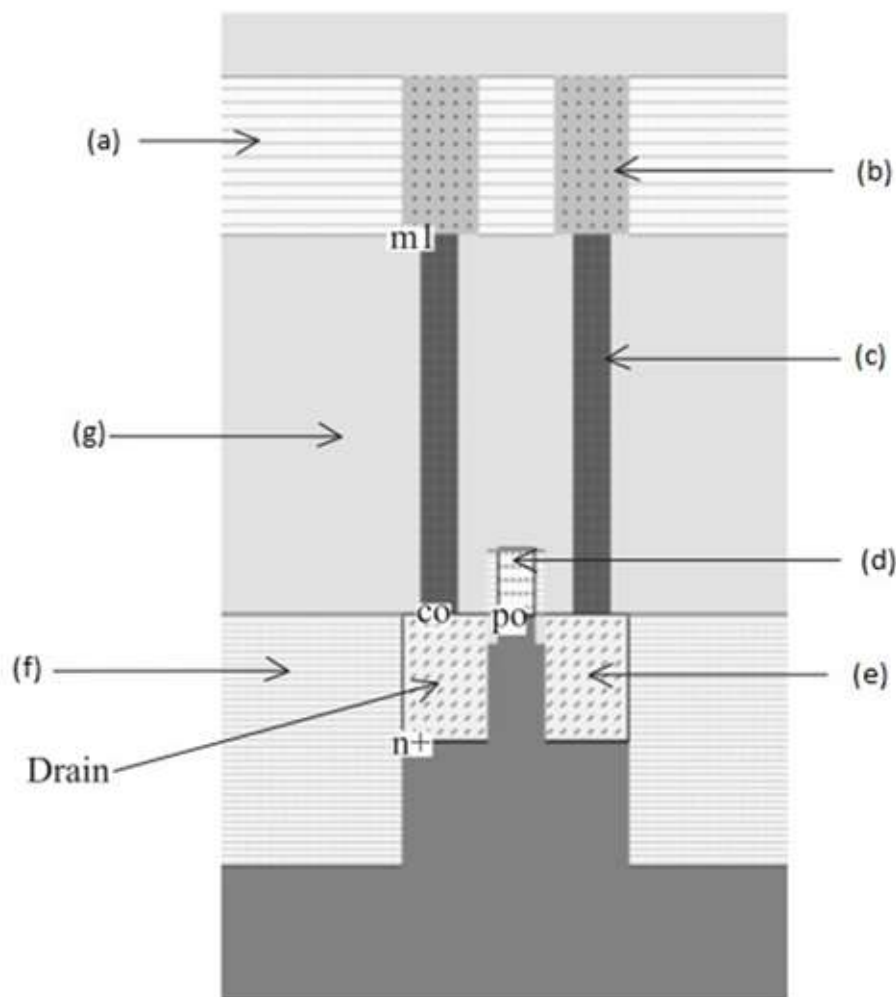
- | | |
|---|---|
| A. ____ Το nMOS δημιουργείται από πύλη poly | a. πρέπει να είναι ανάστροφα πολωμένη. |
| B. ____ Το pMOS υλοποιείται από πύλη poly πάνω από περιοχή διάχυσης p+, την οποία διαχωρίζει σε πηγή και απαγωγό. | b. Μια άμεση επαφή με το πηγάδι-n θα παρήγαγε διάφορα παρασιτικά ηλεκτρικά φαινόμενα. Άρα η n+ περιοχή εντός του n-πηγαδιού είναι αναγκαία. |
| C. ____ Η περιοχή n-πηγαδιού (the n-well) σε ένα pMOS | c. Η pMOS διάταξη απαιτεί την παρουσία n-well επιπλέον του polysilicon και των στρώσεων διάχυσης (diffusion layers). |

D. ____ Μια επαφή πόλωσης (polarization contact) μεταφέρει το σήμα της V_{DD} κάτω στην περιοχή του n-πηγαδιού, μέσω της n+ διάχυσης.

E. ____ Όταν η περιοχή n-πηγαδιού είναι σε υψηλό δυναμικό

d. η επαφή (junction) P+ / n-well junction στο υπόστρωμα του pmos είναι ανάστροφα πολωμένη, οπότε συμπεριφέρεται ως χωρητικότητα επαφής (junction capacitance).

e. που εναποτίθεται πάνω στην επιφάνεια του υποστρώματος p-τύπου όπου ήδη υπάρχει ένα λεπτό μονωτικό στρώμα SiO_2 (που ονομάζεται οξείδιο πύλης) και διαχωρίζει την περιοχή διάχυσης N+ σε δύο διακριτά μέρη, την πηγή και τον απαγωγό.



Σχήμα 7.17 Τομή κατά βάθος (cross-section) στην κάτοψη χωροθεσίας (layout) διάταξης nMOS.

17. Παρατηρήστε το Σχήμα 7.17 και κάντε τις επόμενες αντιστοιχίσεις:

A. ____ (a)

B. ____ (b)

C. ____ (c)

a. First level of metal

b. Contact

c. Interlayer oxide (SiO_2)

D. ____ (d)

E. ____ (e)

F. ____ (f)

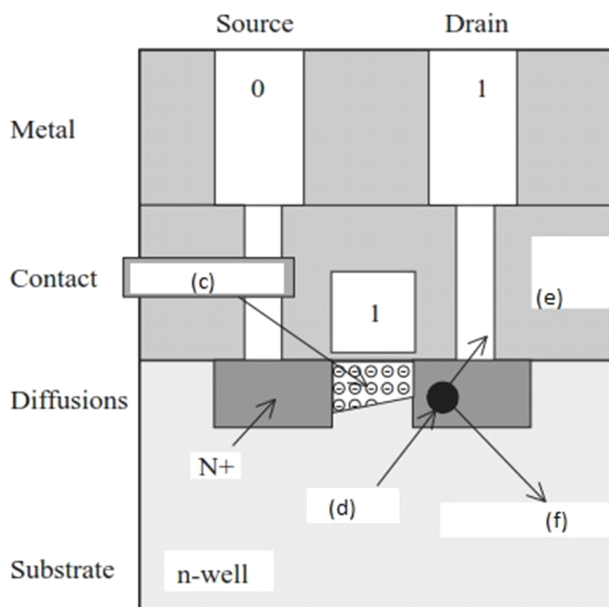
G. ____ (g)

d. MOS isolation oxide

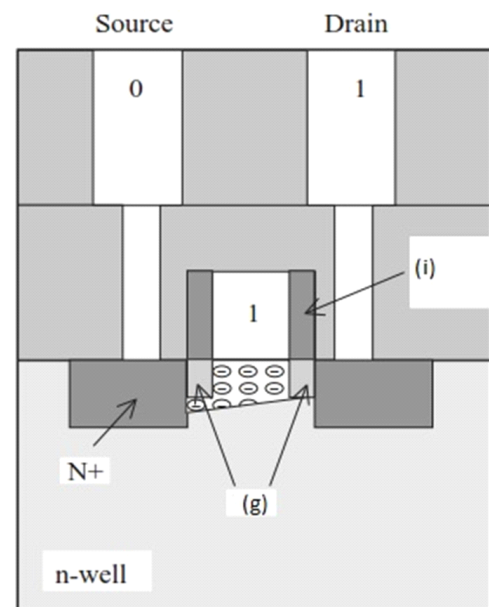
e. Gate

f. Source

g. Low permittivity dielectric



(a)



(b)

Σχήμα 7.18 Τομή κατά βάθος (cross-section) στην κάτοψη χωροθεσίας (layout) διάταξης nMOS.

18. Παρατηρήστε το Σχήμα 7.18 και κάντε τις επόμενες αντιστοιχίσεις:

A. ____ (a)

a. αποκτούν αρκετή κινητική ενέργεια ώστε να δημιουργήσουν κατά τις συγκρούσεις του με τα άτομα του πλέγματος, νέα ζεύγη ηλεκτρονίων - οπών στην περιοχή του απαγωγού. Τέτοια αρχικά ηλεκτρόνια λέγονται καυτά ηλεκτρόνια (hot electrons).

B. ____ (b)

b. Ένα μέρος αυτών των ρευμάτων ρέει προς το υπόστρωμα, ενώ το υπόλοιπο συλλέγεται στον απαγωγό. Η προσθήκη μιας περιοχής LDD μειώνει δραστικά αυτό το παρασιτικό ρεύμα. Αυτή η τεχνική άρχισε να εφαρμόζεται με την εισαγωγή της τεχνολογίας των 0.5 μm .

C. ____ (c)

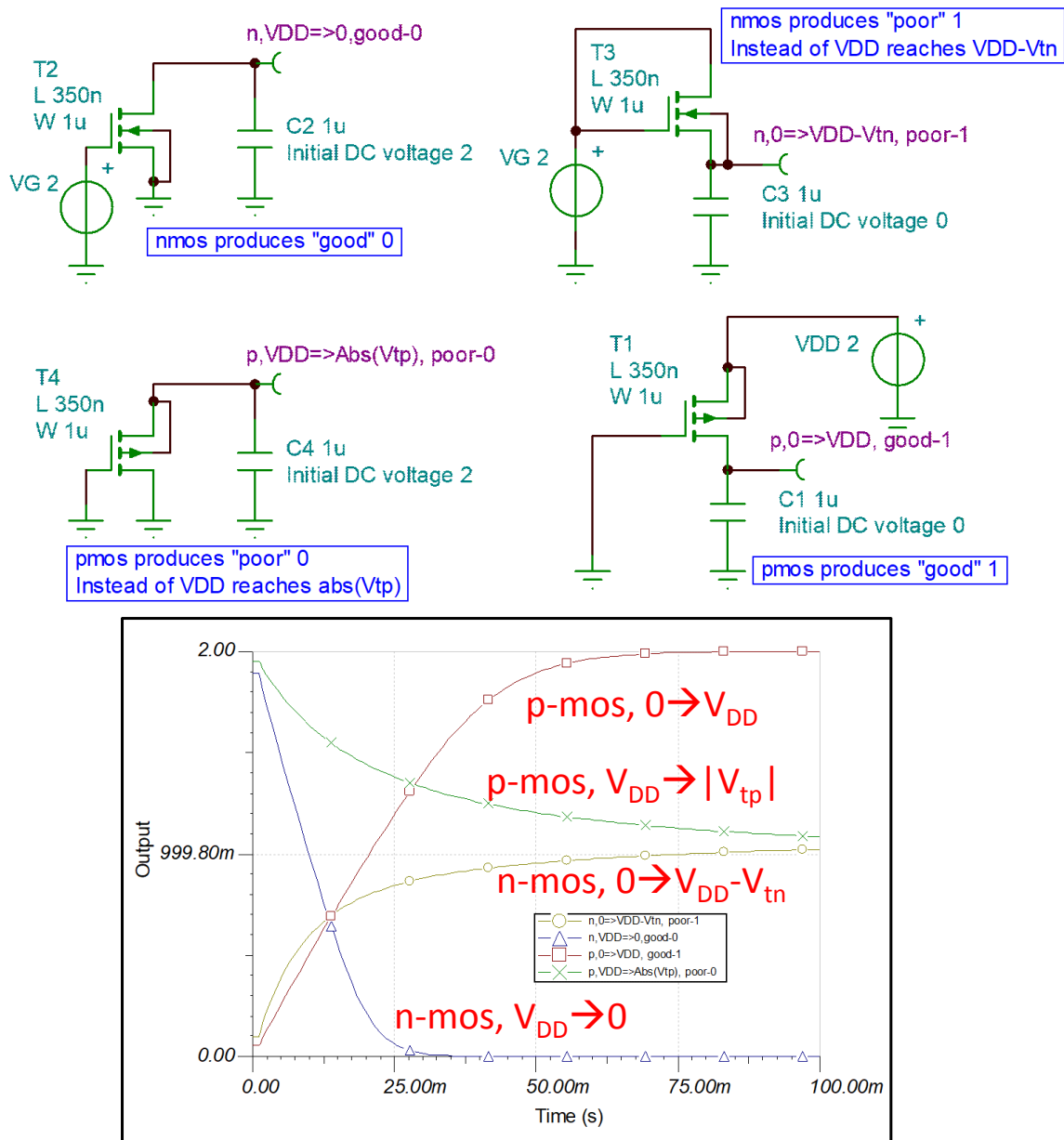
c. στη διεπιφάνεια πηγής ή απαγωγού και καναλιού.

- | | |
|---|---|
| D. ____ (d) | d. είναι το οξείδιο κάτω από την πύλη που την απομονώνει από το υπόστρωμα. |
| E. ____ (e) | e. Παρασιτικές οπές (Parasitic holes). |
| F. ____ (f) | f. Παρασιτικά ηλεκτρόνια (Parasitic electrons). |
| G. ____ (g) | g. Διαχωριστές (Spacers) για την κατασκευή περιοχής N-τύπου. |
| H. ____ (i) | h. Καυτό ηλεκτρόνιο (Hot electron). |
| I. ____ Η οριζόντια διάχυση απαγωγού (lateral drain diffusion) (LDD) είναι μια μικρή περιοχή διάχυσης μικρής νόθευσης | i. Σύγκρουση (Impact). |
| J. ____ Το λεπτό οξείδιο | j. ελαττώνει το τοπικό ηλεκτρικό πεδίο στις γωνίες ανάμεσα σε απαγωγό ή πηγή και την πύλη. |
| K. ____ Η μικρή νόθευση (light doping) | k. Χωρίς LDD (lateral drain diffusion). Φαινόμενα καυτών ηλεκτρονίων (Hot electron effects). |
| L. ____ Τα ηλεκτρόνια που επιταχύνονται κάτω από την πύλη υπό συνθήκες μέγιστου οριζόντιου ηλεκτρικού πεδίου | l. N-. |
| M. ____ Τα καυτά ηλεκτρόνια μπορεί να δημιουργήσουν παρασιτικά ρεύματα στην περιοχή του απαγωγού. | m. Οριζόντια διάχυση απαγωγού, LDD (Lateral drain diffusion). Δεν έχουμε φαινόμενο καυτών ηλεκτρονίων (hot electron effects). |

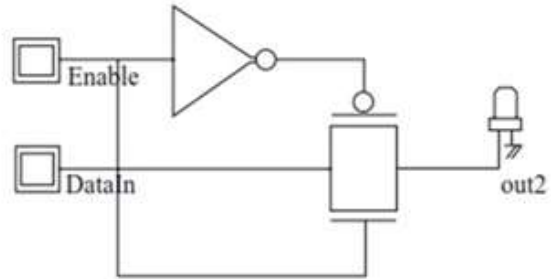
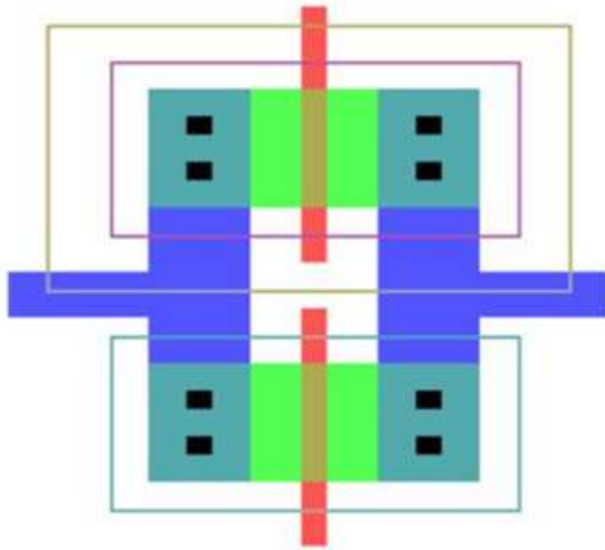
19. Παρατηρήστε το Σχήμα 7.19 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:

- | | |
|--------|--|
| A. T F | 0 στην πύλη του nmos αφήνει τον απαγωγό ανοικτό (floating) |
| B. T F | 1 στην πύλη του pmos ισοδυναμεί με σύνδεση του απαγωγού και της πηγής με αντίσταση (resistive path). |
| C. T F | Ο πιο βολικός τρόπος για τον έλεγχο της δυναμικής λειτουργίας του MOS είναι το να συνδέσουμε ένα ρολόι (clock) στην πύλη του και ένα άλλο διαφορετικής συχνότητας στην πηγή του και να παρατηρήσουμε το δυναμικό στον απαγωγό του. |
| D. T F | Σε ένα nmos η επαφή (junction) μεταξύ p-well / N+ diffusion είναι ορθής πόλωσης και συμπεριφέρεται ως χωρητικότητα. |
| E. T F | Στο nmos στη χωρητικότητα επαφής στον απαγωγό μπορεί να έχει αποθηκευτεί φορτίο, ενώ το κανάλι είναι off, με αποτέλεσμα να διατηρείται η τάση απαγωγού σταθερή και ανεξάρτητη των διακυμάνσεων του δυναμικού της πηγής. |
| F. T F | Το nmos όταν είναι on δεν αποδίδει καλό 0 (good 0). |
| G. T F | Το nmos όταν είναι on αποδίδει καλό 1 (good 1). |

- H. T F 0 στην πύλη του pmos ισοδυναμεί με σύνδεση της πηγής με τον απαγωγό με αντίσταση (resistive path).
- I. T F 1 στην πύλη του pmos αφήνει τον απαγωγό ανοιχτό (floating).
- J. T F Η λειτουργία του pmos είναι όμοια με αυτή του nmos για τις ίδιες τιμές δυναμικού πύλης.
- K. T F Το pmos όταν είναι on δεν περνά καλά τα υψηλά δυναμικά (το λογικό 1).
- L. T F Στο pmos 0 στην πηγή οδηγεί σε φτωχό (poor) 0 στον απαγωγό, ενώ 1 στην πηγή οδηγεί σε καλό (good) 1 στον απαγωγό.



Σχήμα 7.19 Επανάληψη στη λειτουργία του MOS ως διακόπτη.



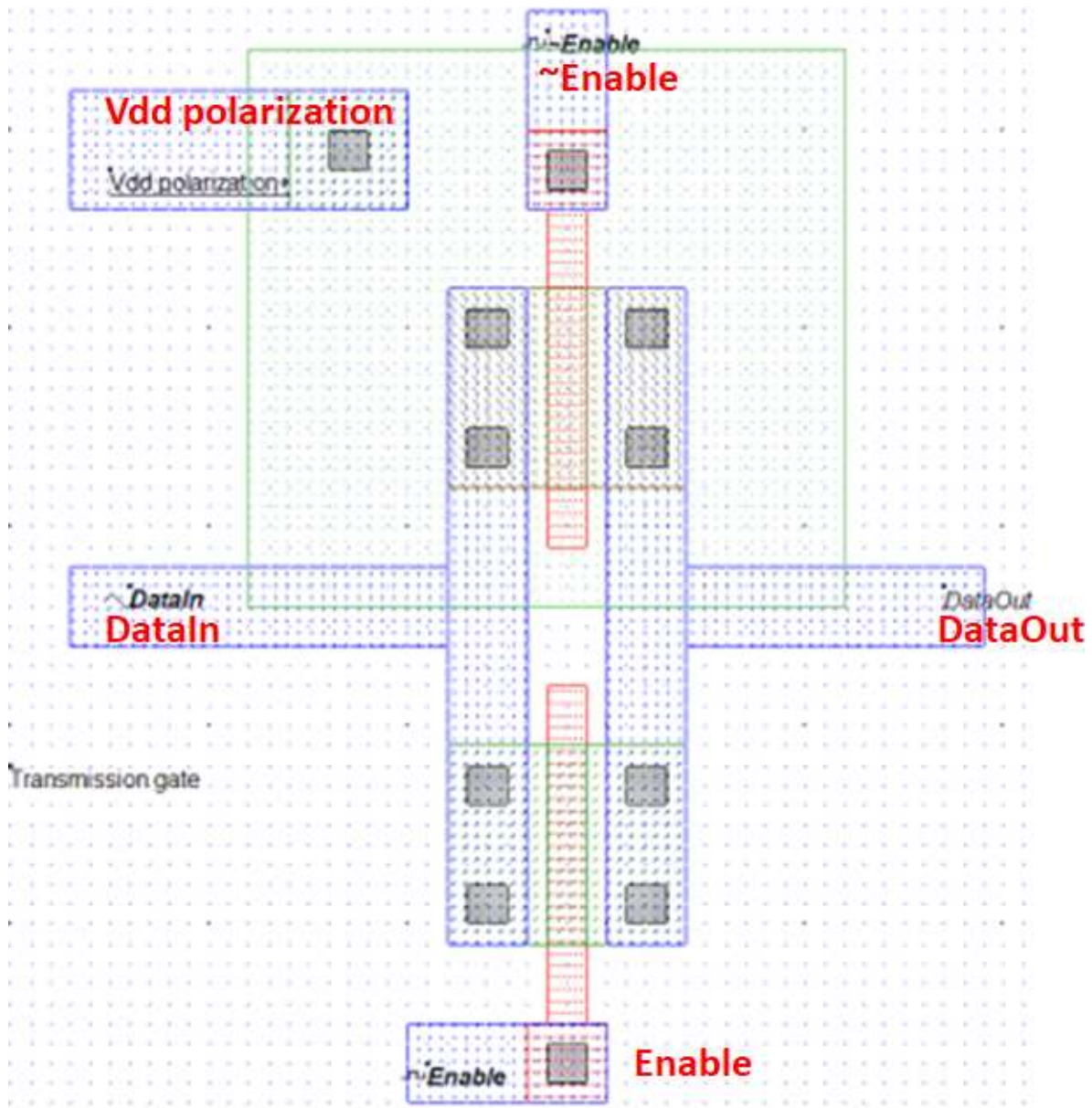
Σχήμα 7.20 Κυκλωμα πύλης μεταφοράς (transmission gate circuit).

20. Παρατηρήστε το Σχήμα 7.20 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F Τόσο το nMOS όσο και το pMOS εμφανίζουν φτωχές (poor) αποδόσεις κατά τη μετάδοση του 1 και του 0 αντίστοιχα.
- B. T F Το nMOS δεν μεταδίδει αξιόπιστο 0, ενώ το pMOS δεν μεταδίδει αξιόπιστο 1.
- C. T F Μια πύλη που μπορεί να μεταδώσει τέλειο 0 ή 1 μπορεί να σχηματιστεί με τη συμπληρωματική σύνδεση ενός nMOS και ενός pMOS διακόπτη.
- D. T F Το μειονέκτημα της πύλης μετάδοσης ή πύλης μεταφοράς είναι ότι χρειάζεται δύο σήματα ελέγχου, τα Enable, ~Enable (not Enable), γεγονός που σημαίνει ότι χρειάζεται επιπλέον έναν αντιστροφέα.
- E. T F Η πύλη μετάδοσης μεταδίδει σήμα όταν $en = 0$ και $\sim en = 1$, οπότε και οι δύο διακόπτες (nMOS, pMOS) είναι σε κατάσταση on.
- F. T F Ο nMOS διακόπτης μεταδίδει αξιόπιστα χαμηλού δυναμικού σήματα, ενώ αντίστοιχα ο pMOS διακόπτης μεταδίδει αξιόπιστα υψηλού δυναμικού σήματα.

21. Παρατηρήστε το Σχήμα 7.21 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:

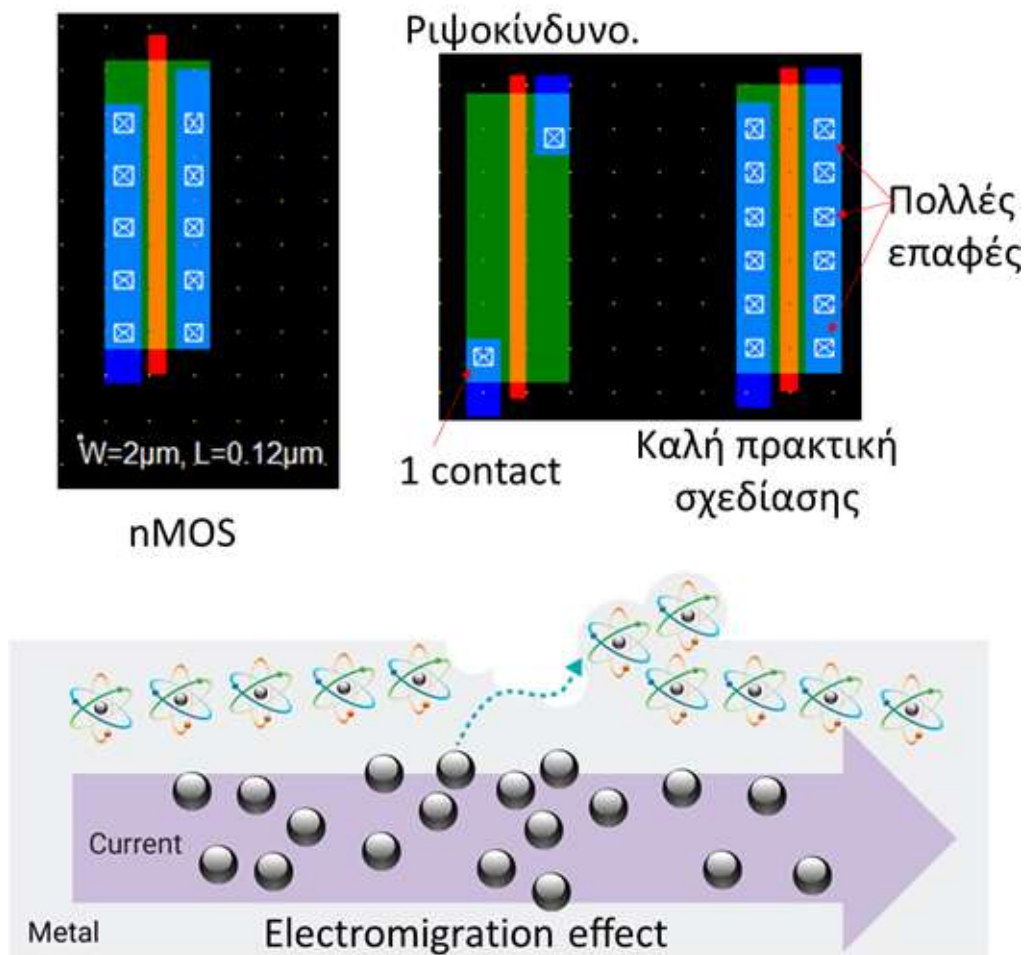
- A. T F Το nMOS αυθαίρετα βρίσκεται στο κάτω μέρος της χωροθεσίας, ενώ το pMOS στο πάνω.
- B. T F Τα σήματα Enable και ~Enable θα πρέπει να είναι συνδεδεμένα με το ίδιο επίπεδο μετάλλου.
- C. T F Όταν $Enable=1$: $DataOut = DataIn$.
- D. T F Όταν $\sim Enable=1$: $DataOut = DataIn$.
- E. T F Όταν $DataOut = DataIn$, τότε είναι on και το pMOS και το nMOS.
- F. T F Όταν $Enable=0$, η πύλη μεταδίδει αξιόπιστα μόνο μέσω του pMOS τα δεδομένα της εισόδου DataIn.



Σχήμα 7.21 Χωροθεσία (layout) πύλης μεταφοράς (transmission gate layout).

22. Παρατηρήστε το Σχήμα 7.22 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:
- A. T F Στο σχήμα βλέπουμε ένα nMOS πλάτους 0.12 μm .
 - B. T F Μια μοναδική μεταλλική επαφή (contact) μπορεί να αντέξει ρεύμα λιγότερο του 1mA χωρίς προβλήματα αξιοπιστίας.
 - C. T F Όταν το ρεύμα που θα περάσει διαμέσου μιας μεταλλικής επαφής είναι μεγαλύτερο του 1mA, τότε η επαφή κινδυνεύει με καταστροφή.
 - D. T F Το φαινόμενο της ηλεκτρομετανάστευσης (electromigration) παρατηρείται όταν μεγαλύτερη ροή ρεύματος από αυτή που αντέχει μια μεταλλική επαφή, περνάει από αυτή με αποτέλεσμα να μετακινούνται τα άτομα της επαφής και τελικά αυτή να φθείρεται.
 - E. T F Ένα ρεύμα της τάξης των 10 mA μπορεί να καταστρέψει εντελώς μια μοναδική επαφή.

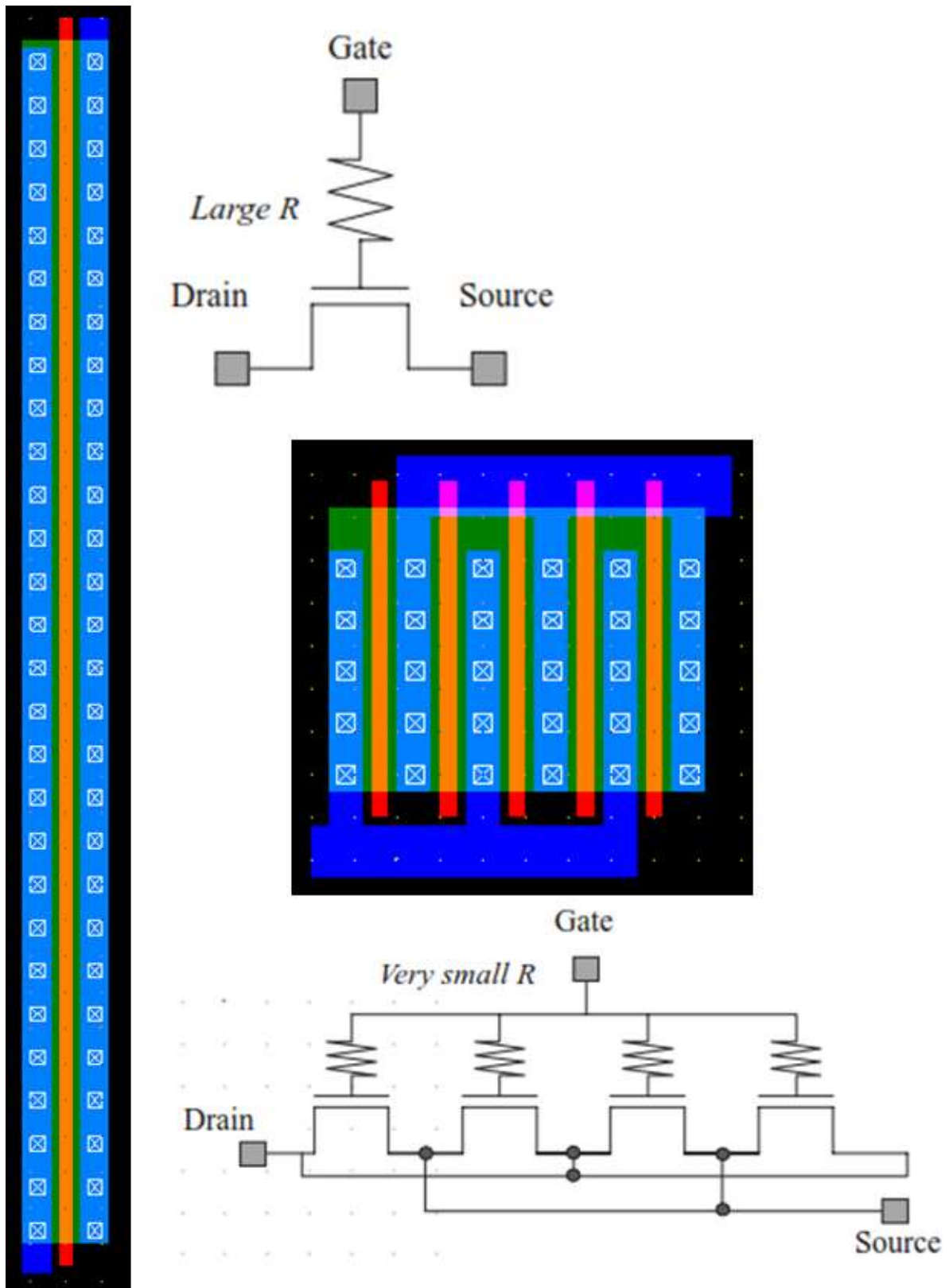
- F. T F Είναι καλή πρακτική κατά τη σχεδίαση να εισάγουμε αρκετές επαφές ώστε να μειώνουμε τη συνολική αντίσταση επαφής.
- G. T F Η ισοδύναμη αντίσταση μεταξύ πηγής και απαγωγού μειώνεται αναλογικά με το πλήθος των επαφών που έχουμε εισάγει κατά τη σχεδίαση της χωροθεσίας.
- H. T F Η ισοδύναμη αντίσταση μεταξύ πηγής και απαγωγού μένει σταθερή και δεν εξαρτάται από το πλήθος των επαφών, αλλά μόνο από τις διαστάσεις των περιοχών πηγής και απαγωγού.



Σχήμα 7.22 Πολλαπλές μεταλλικές επαφές στη χωροθεσία κυκλώματος.

23. Παρατηρήστε το Σχήμα 7.23 και επιλέξτε (T)ue ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F Ειδικά στη σχεδίαση αναλογικών κυκλωμάτων, συχνά χρειάζεται η σχεδίαση διατάξεων MOS με μεγάλο πλάτος (width). Για παράδειγμα, στη σχεδίαση καθυστερητών (buffers) για ρολόγια ή για διατάξεις διεπιφανειών.
- B. T F Μεγάλου πλάτους πύλη από poly εισάγει σημαντικά ποσά παρασιτικής αντίστασης με συνέπεια την καθυστέρηση στη μετάδοση των σημάτων δυναμικού ελέγχου, οπότε συνολικά υποβάθμιση της ταχύτητας εναλλαγής (switching) της διάταξης.
- C. T F Διατάξεις MOS μεγάλου πλάτους πρέπει να σχεδιάζονται με παραλληλοποίηση πύλης ώστε να μειώνεται η συνολική αντίσταση και άρα και οι καθυστερήσεις που αυτή συνεπάγεται στη λειτουργία της διάταξης.

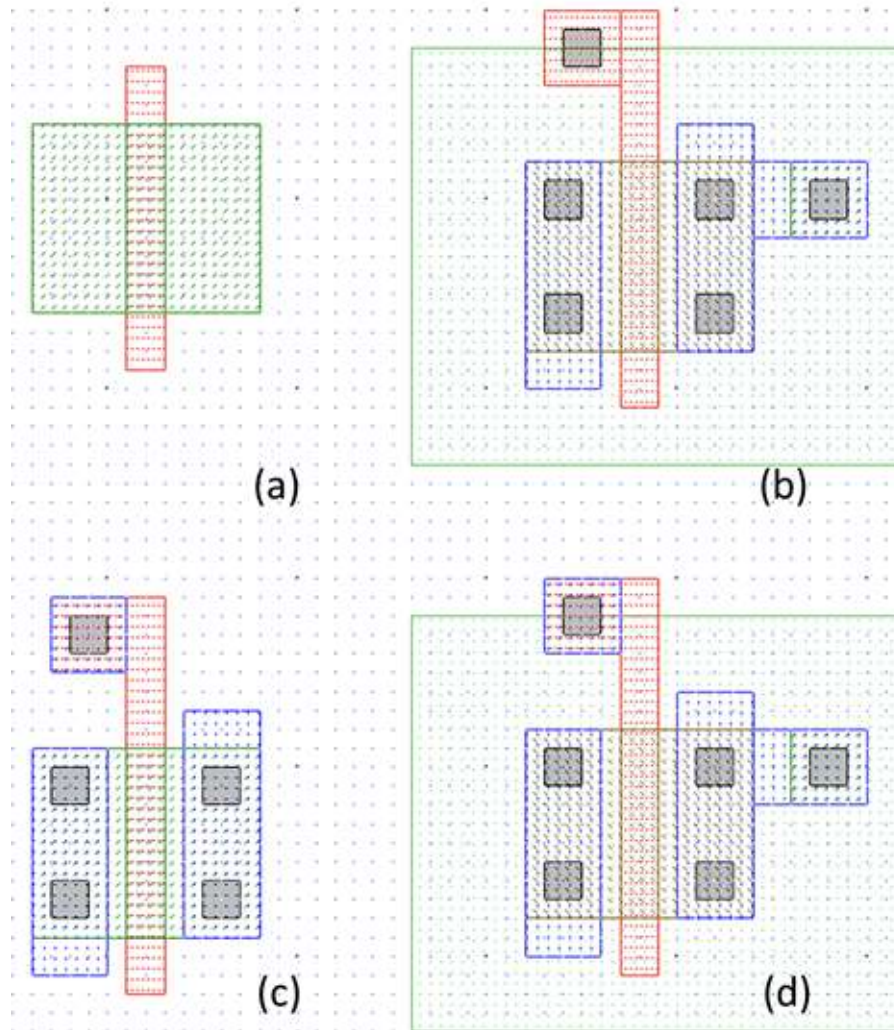


Σχήμα 7.23 Χωροθεσία με διαίρεση μεγάλων τρανζίστορ σε παράλληλη συνδεσμολογία.

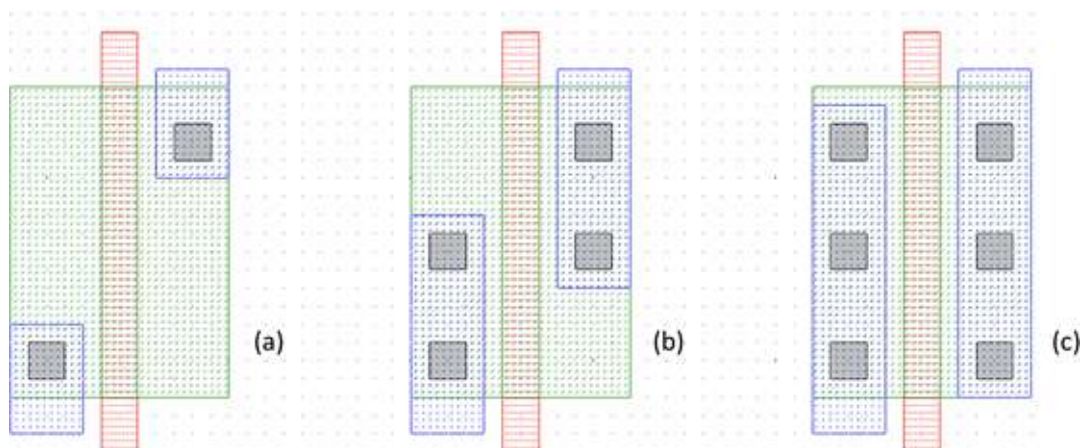
24. Παρατηρήστε το Σχήμα 7.24. Τί είδους διατάξεις υπάρχουν στη χωροθεσία του σχήματος;

25. Παρατηρήστε το Σχήμα 7.25. Σχολιάστε τα χαρακτηριστικά των χωροθεσιών που απεικονίζονται.

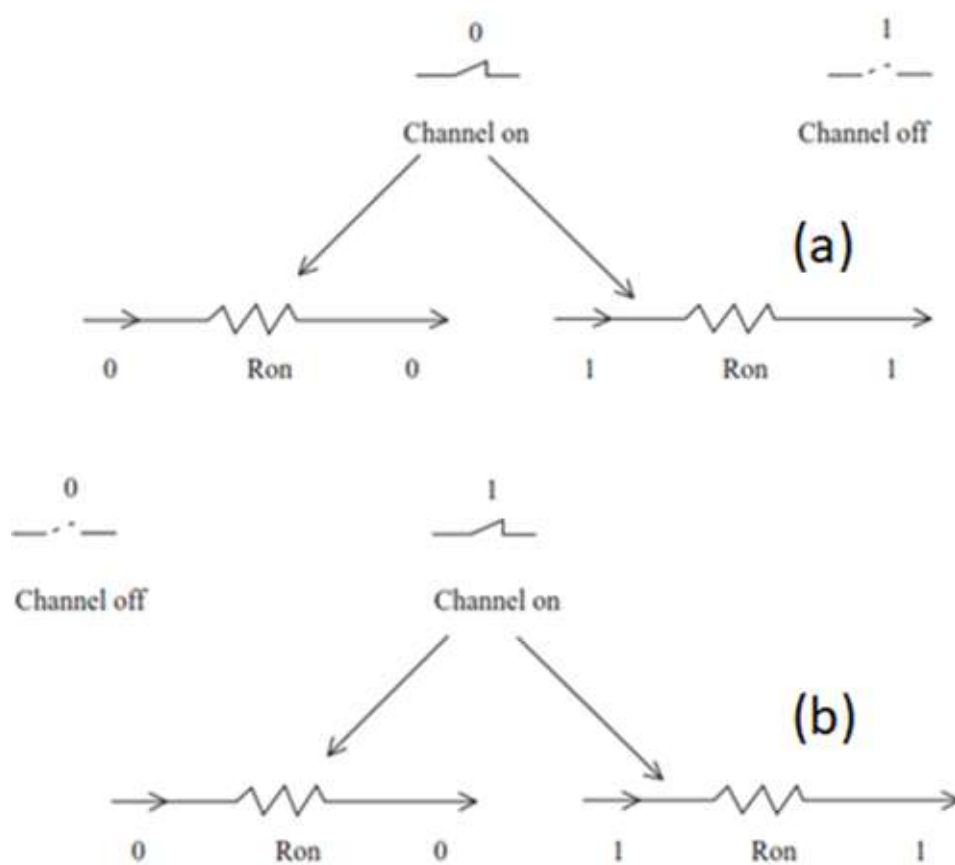
26. Παρατηρήστε το Σχήμα 7.26. Εξηγήστε ποιο σχήμα αντιστοιχεί σε διακόπτη nMOS και pMOS αντίστοιχα.



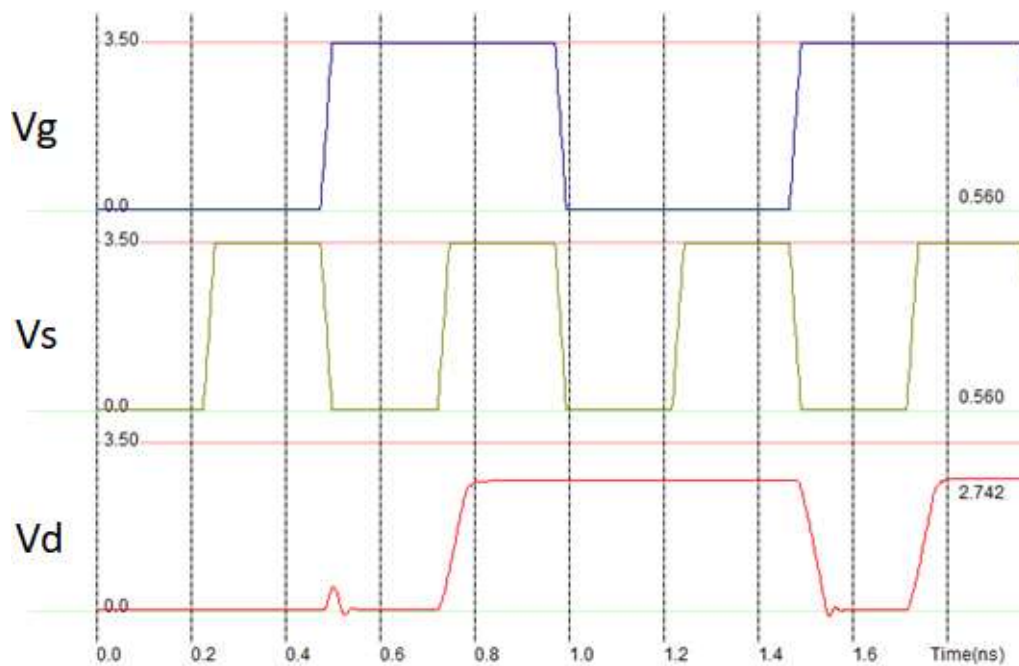
Σχήμα 7.24 Παραδείγματα χωροθεσίας διακοπών.



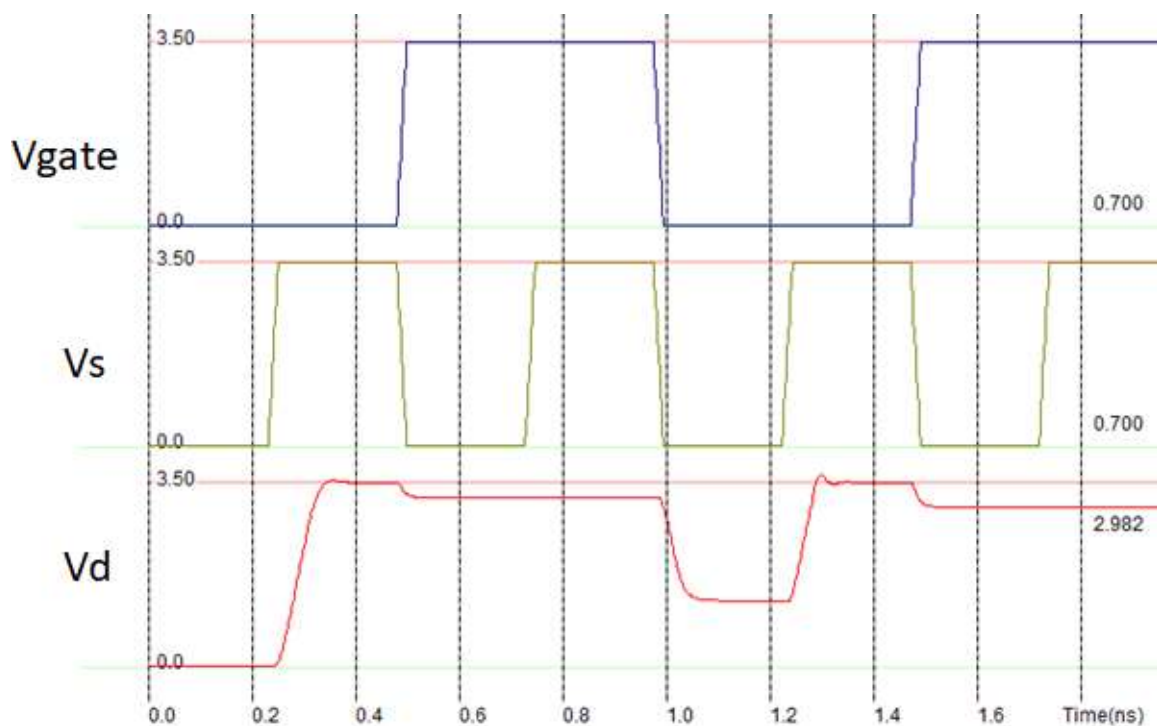
Σχήμα 7.25 Παραδείγματα χωροθεσίας διακοπών.



Σχήμα 7.26 Λειτουργία διακοπών.



Σχήμα 7.27 Διάγραμμα χρονισμού διακόπτη MOS.



Σχήμα 7.28 Διάγραμμα χρονισμού διακόπτη MOS.

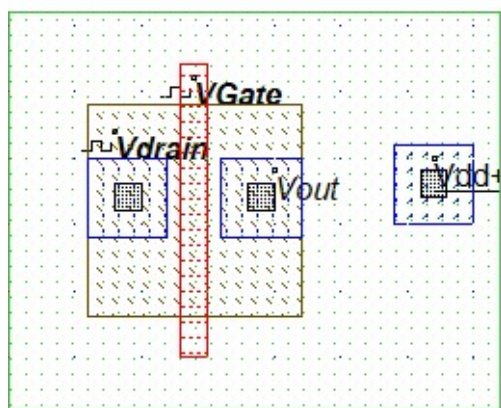
27. Παρατηρήστε το Σχήμα 7.27. Εξηγήστε σε τι είδους διακόπτη (nMOS/pMOS) αντιστοιχεί το διάγραμμα χρονισμού.

28. Παρατηρήστε το Σχήμα 7.28. Εξηγήστε σε τι είδους διακόπτη (nMOS/pMOS) αντιστοιχεί το διάγραμμα χρονισμού.

29. Βάλτε στη σωστή σειρά τις εικόνες.

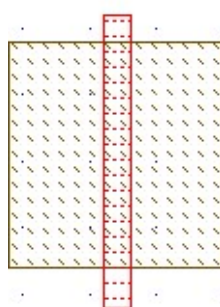
A. ____ Σχεδιασμός πύλης.

a.



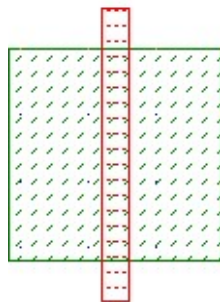
B. ____ Εισαγωγή διάχυσης N+.

b.



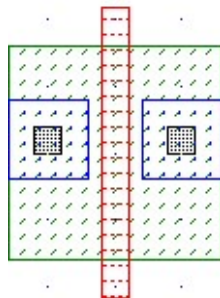
C. ____ Προσθήκη επαφών στο nMOS.

c.

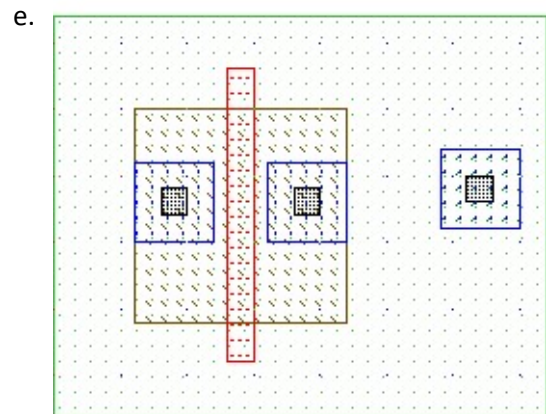


D. ____ Προσθήκη στοιχείων προσομοίωσης στο nMOS.

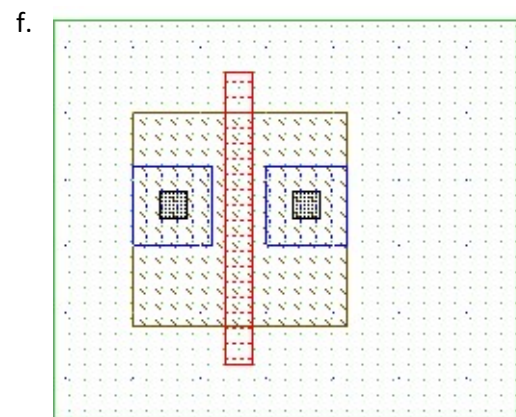
d.



E. ____ Εισαγωγή διάχυσης P+.



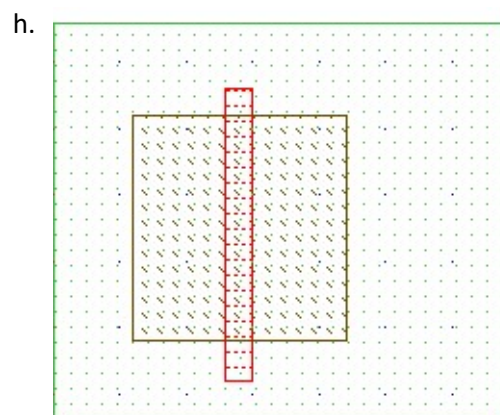
F. ____ Εισαγωγή πηγαδιού-N.



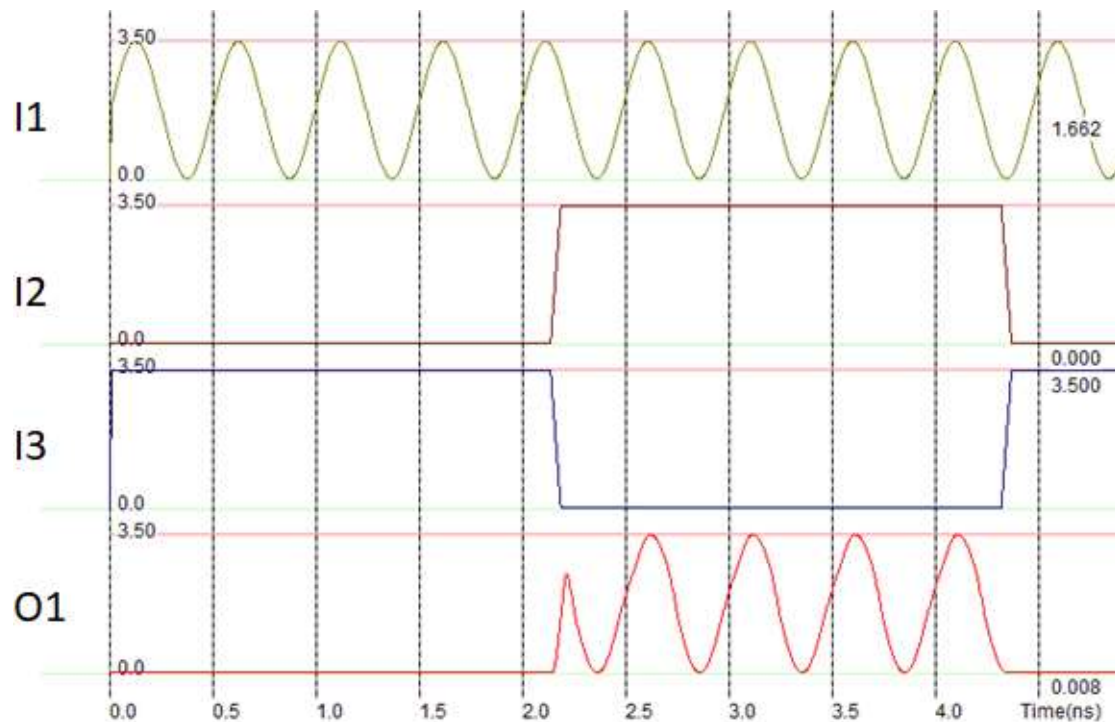
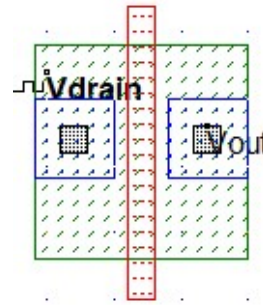
G. ____ Προσθήκη επαφών στο pMOS.



H. ____ Εισαγωγή πόλωσης στο pMOS.



- I. ____ Προσθήκη στοιχείων προσομοίωσης στο i.
pMOS.



Σχήμα 7.30 Διάγραμμα χρονισμού ψηφιακού κυκλώματος εισόδων I1, I2, I3 και εξόδου O1.

30. Παρατηρήστε το Σχήμα 7.30. Εξηγήστε το είδος του κυκλώματος που αντιστοιχεί στο διάγραμμα χρονισμού.

31. Παρατηρήστε το Σχήμα 7.31 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|----------------------|--------|
| A. ____ nwell | a. (d) |
| B. ____ n+ diffusion | b. (c) |
| C. ____ p+ diffusion | c. (f) |
| D. ____ polysilicon | d. (g) |
| E. ____ contacts | e. (k) |
| F. ____ metal | f. (l) |

G. _____ via

g. (e)

H. _____ metal 2

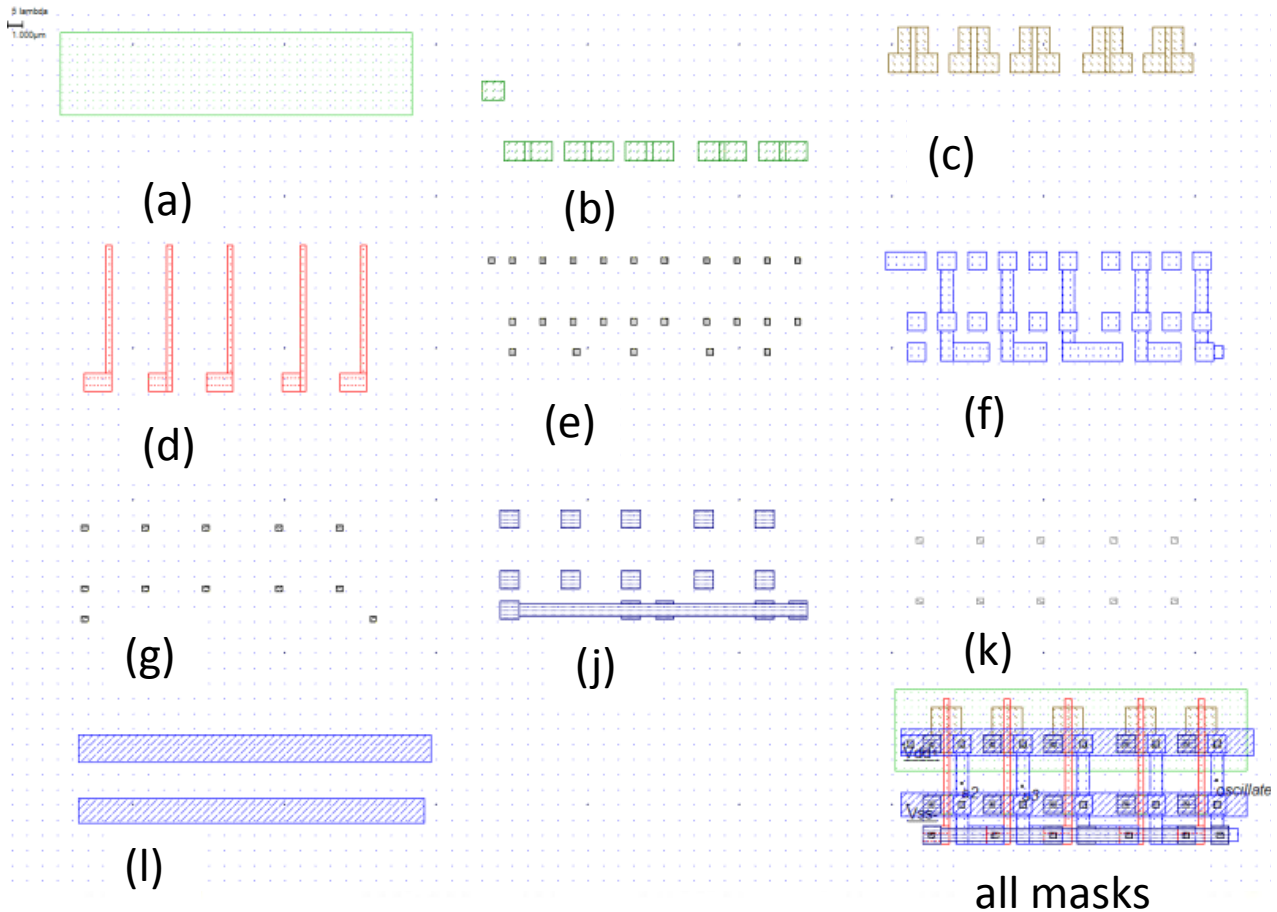
h. (j)

I. via 2

i. (a)

J. _____ metal 3

j. (b)



Σχήμα 7.31 Ανάλυση χωροθεσίας στα διάφορα επίπεδα της δομής.

BIBΛΙΟΓΡΑΦΙΑ

1. Baker, R.J., Li, H.W., & Boyce, D.E. (1998). *CMOS design, layout and simulation*. IEEE Press. Chapters 3 and 4, www.ieee.org.
2. Chang, C.Y., & Sze, S.M. (1996). *ULSI technology*. McGraw-Hill. ISBN 0-07-063062-3.
3. John, S., & Smith, S. (1997). *Application-specific integrated circuits*. Addison Wesley. ISBN 0- 201-50022-1. Chapter 2. www.awl.com/cseng.
4. Razavi, B. (2001). *Design of analog CMOS integrated circuits*. McGraw-Hill. ISBN 0-07-238032-2. www.mhhe.com.
5. Sicard, S., & Bendhia, S.D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.

ΚΕΦΑΛΑΙΟ 8. ΜΟΝΤΕΛΟΠΟΙΗΣΗ ΤΟΥ MOS ΤΡΑΝΖΙΣΤΟΡ (ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)

ΣΥΝΟΨΗ

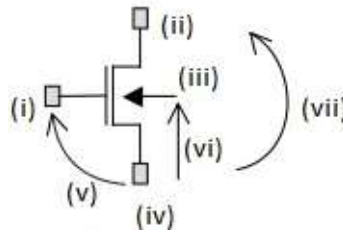
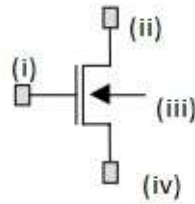
Περιλαμβάνεται πληθώρα ερωτήσεων/ασκήσεων πάνω στα χαρακτηριστικά ηλεκτρικής λειτουργίας του διακόπτη mosfet.

ΣΤΟΧΟΣ

* Εμβάθυνση στα χαρακτηριστικά ηλεκτρικής λειτουργίας του mosfet τύπου p και n.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Εισαγωγικά στοιχεία χρήσης λογισμικού Microwind και Dsch.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Στοιχεία χωροθεσίας (layout).
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.



Σχήμα 8.1 Σύμβολο MOS για χρήση σε απεικόνιση κυκλωμάτων.

Σχήμα 8.2 Αναπαράσταση συμβόλου MOS και ορισμός διαφορών δυναμικού.

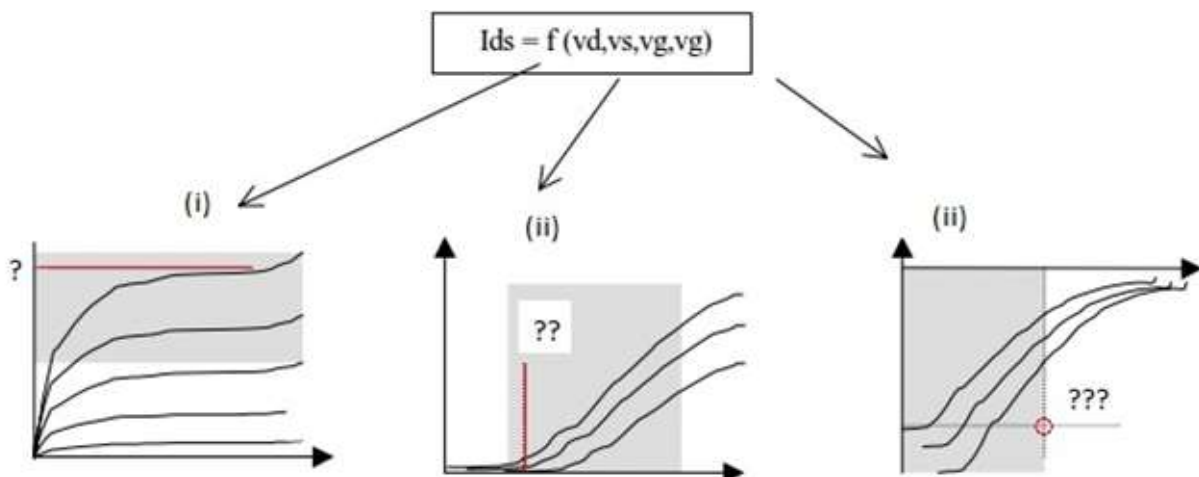
1. Παρατηρήστε το Σχήμα 8.1 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|---------------|----------------------|
| A. ____ (i) | a. Source |
| B. ____ (ii) | b. Drain |
| C. ____ (iii) | c. Bulk or substrate |
| D. ____ (iv) | d. Gate |

2. Παρατηρήστε το Σχήμα 8.2 και κάντε τις επόμενες αντιστοιχίες:

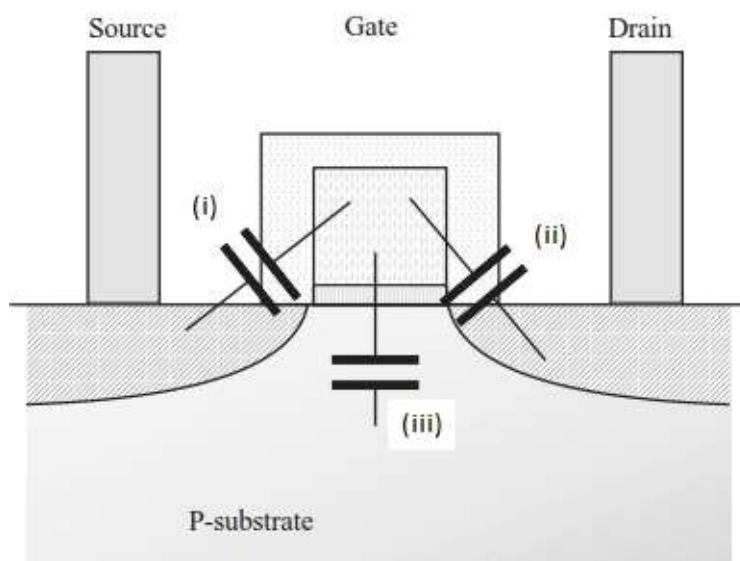
- | | |
|---------------|-------------|
| A. ____ (i) | a. V_{gs} |
| B. ____ (ii) | b. V_b |
| C. ____ (iii) | c. V_{bs} |
| D. ____ (iv) | d. V_s |
| E. ____ (v) | e. V_{ds} |
| F. ____ (vi) | f. V_d |
| G. ____ (vii) | g. V_g |

3. Παρατηρήστε το Σχήμα 8.3. Τι αναπαριστά καθένα από τα διαγράμματα και τι αντιστοιχεί σε ?, ??, ???



Σχήμα 8.3 Διαγραμματικές αναπαραστάσεις χαρακτηριστικών διάταξης nMOS.

4. Παρατηρήστε το Σχήμα 8.4. Ποιες είναι οι χωρητικότητες που απεικονίζονται;



Σχήμα 8.4 Χωρητικότητες μεταξύ πύλης και πηγής, απαγωγού ή υποστρώματος.

5. Παρατηρήστε το Σχήμα 8.5 και κάντε τις επόμενες αντιστοιχίες:

A. ____ VTO

a. Ευκινησία φορέων.

B. ____ μ_0

b. Επιφανειακό δυναμικό υπό συνθήκες ισχυρής αναστροφής.

C. ____ TOX

c. Πάχος στρώματος οξειδίου.

- | | |
|---------------|--|
| D. ____ PHI | d. Δυναμικό κατωφλίου. |
| E. ____ GAMMA | e. Μήκος καναλιού MOS. |
| F. ____ W | f. Πλάτος καναλιού MOS. |
| G. ____ L | g. Παράμετρος κατωφλίου για το κυρίως σώμα της διάταξης (υπόστωμα) |

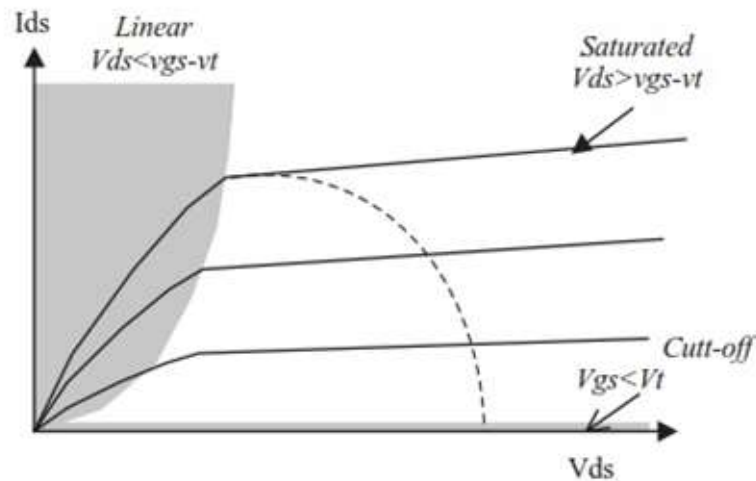
MOS Model 1 parameters			
Parameter	Definition	Typical Value 0.12 μm	
		n-MOS	p-MOS
VTO	Threshold voltage	0.4 V	-0.4 V
UO	Carrier mobility	0.06 $\text{m}^2/\text{V}\cdot\text{s}$	0.02 $\text{m}^2/\text{V}\cdot\text{s}$
TOX	Gate oxide thickness	2 nm	2 nm
PHI	Surface potential at strong inversion	0.3 V	0.3 V
GAMMA	Bulk threshold parameter	0.4 $\text{V}^{0.5}$	0.4 $\text{V}^{0.5}$
W	MOS channel width	1 μm	1 μm
L	MOS channel length	0.12 μm	0.12 μm

Σχήμα 8.5 Παράμετροι MOS Model 1 και τιμές τους, όπως είναι ορισμένες στο λογισμικό Microwind.

6. Παρατηρήστε το Σχήμα 8.6 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:

- | | | | |
|----|---|---|--|
| A. | T | F | Όταν $V_{ds} < 0$, $I_{ds} = 0$. |
| B. | T | F | Όταν $V_{ds} < V_{gs} - V_{TO}$, $I_{ds} = (UO \epsilon_0 \epsilon_r / TOX) (W/L) [(V_{gs} - V_t) V_{ds} - V_{ds}^2/2]$ |
| C. | T | F | Όταν $V_{ds} > V_{gs} - V_{TO}$, η διάταξη είναι στον κορεσμό. |
| D. | T | F | Όσο η βελτίωση της τεχνολογίας επιτρέπει την κατασκευή δομών μικρότερων διαστάσεων, έχουμε την εμφάνιση διαφόρων φαινομένων που οδηγούν σε ρεύματα που είναι μικρότερα από αυτά που προβλέπουν οι απλές εξισώσεις του MOS Level-1. |
| E. | T | F | Όταν $V_{ds} > V_{gs} - V_{TO}$, $I_{ds} = (UO \epsilon_0 \epsilon_r / TOX) (W/L) (V_{gs} - V_t)^2$ |
| F. | T | F | Όταν $V_{ds} < V_{gs} - V_{TO}$, $I_{ds} = (UO \epsilon_0 \epsilon_r / TOX) (W/L) [(V_{gs} - V_t) V_{ds} - V_{ds}^2]$ |
| G. | T | F | $\epsilon_0 = 8.85E-12$ F/m είναι η τιμή της διηλεκτρικής σταθεράς του κενού. |
| H. | T | F | Όταν $V_{ds} < V_{gs} - V_{TO}$, η διάταξη είναι στην περιοχή κόρου. |
| I. | T | F | $\epsilon_r (SiO_2) = 3.9$ |
| J. | T | F | Όταν $V_{ds} > V_{gs} - V_{TO}$, $I_{ds} = (UO \epsilon_0 \epsilon_r / TOX) (W/L) (V_{gs} - V_t)$ |
| K. | T | F | Όταν έχουμε να κάνουμε με διατάξεις υπομικρονικής τεχνολογίας, το ρεύμα που προβλέπει το model 1 ή level-1 είναι αρκετές φορές μεγαλύτερο από αυτό που μετρούμε πειραματικά. |

- L. T F $\epsilon_r(\text{SiO}_2) = 11$
- M. T F Η λειτουργία της διάταξης χωρίζεται σε τρεις περιοχές: αποκοπής, γραμμική και κόρου.
- N. T F Όταν $V_{ds} < V_{gs} - V_{TO}$, η διάταξη είναι στη γραμμική περιοχή.
- O. T F Το MOS model 1 διατυπώθηκε το 1952.
- P. T F Όταν $V_{ds} < 0$, η διάταξη είναι στην περιοχή αποκοπής.
- Q. T F Όταν $V_{ds} < 0$, $I_{ds} > 0$.
- R. T F $V_t = V_{TO} + \text{GAMMA}$
- S. T F ϵ_r είναι το σύμβολο της σχετικής διηλεκτρικής σταθεράς.
- T. T F $V_t = V_{TO} + \text{GAMMA} [\text{Sqrt}[\text{PHI} - V_{bs}] - \text{Sqrt}[\text{PHI}]]$

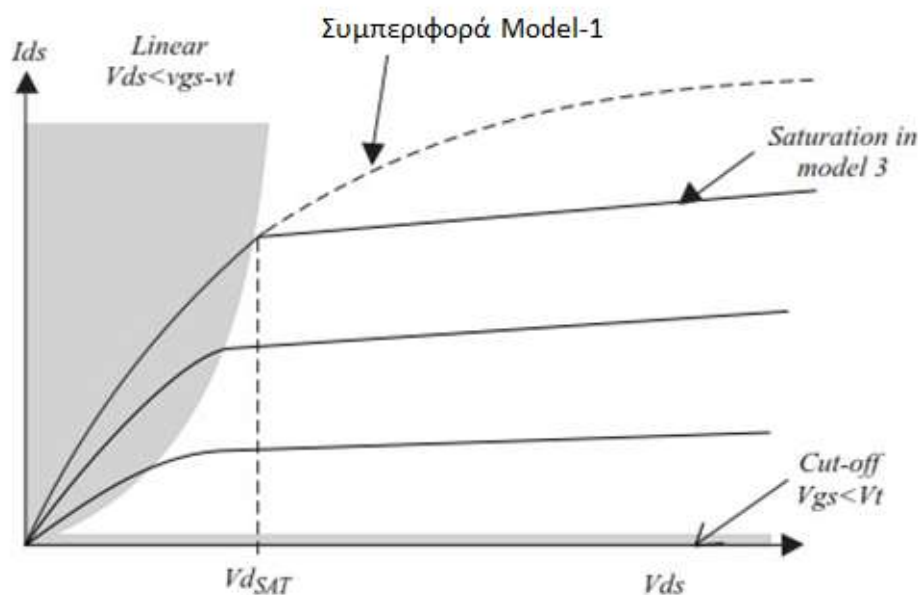


Σχήμα 8.6 MOS Model 1 απεικόνιση I_{ds} συναρτήσει V_{ds} .

7. Παρατηρήστε το Σχήμα 8.7 και επιλέξτε (T) rue ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F $L_{eff} = L - LD$
- B. T F Όταν $V_{ds} < 0$, $I_{ds} = 0$.
- C. T F $V_{sat} = V_{gs} - V_{th}$
- D. T F $V_{on} = 1.2 V_{th}$
- E. T F $K_{eff} = (\epsilon_0 \epsilon_r / TOX) UO / [1 + \text{THETA} (V_{gs} - V_{th})]$
- F. T F Το Model 3 ή Level 3 για το MOS περιέχει τις εξισώσεις του Level 1 αλλά τροποποιημένες βάσει φυσικών περιορισμών που έχουν ενσωματωθεί με ημι-εμπειρικό τρόπο στον κώδικα του μοντέλου.
- G. T F $V_{on} = 2 V_{th}$
- H. T F $V_c = V_{MAX} L_{eff} / 0.06$

- I. T F Μια από τις πιο σημαντικές αλλαγές στο Model 3 είναι η εισαγωγή του V_{dsat} , του δυναμικού κορεσμού. Όταν $V_{ds} \geq V_{dsat}$ το ρεύμα έχει φτάσει σε κόρο και δεν αυξάνεται τόσο σημαντικά όπως κάνει σύμφωνα με το Level 1.
- J. T F $V_{th} = V_{TO} + \text{GAMMA} [\text{Sqrt}[\text{PHI} - V_{bs}] - \text{Sqrt}[\text{PHI}]]$
- K. T F Όσο πιο μικρές οι διαστάσεις (channel length) μιας διάταξης, τόσο σημαντικότερα είναι τα φαινόμενα αποκοπής.
- L. T F $V_{dsat} = V_c + V_{sat} - \text{Sqrt}[V_c^2 + V_{sat}^2]$
- M. T F Όσο πιο μικρές οι διαστάσεις (channel length) μιας διάταξης, τόσο σημαντικότερα είναι τα φαινόμενα κόρου.
- N. T F $V_{de} = \max(V_{ds}, V_{dsat})$
- O. T F $V_{de} = \min(V_{ds}, V_{dsat})$
- P. T F $L_{eff} = L - 2 LD$
- Q. T F Όταν $V_{ds} > 0$, $I_{ds} = 0$.
- R. T F Όταν $V_{ds} > V_{on}$, $I_{ds} = (K_{eff} W / L_{eff}) (1 + \text{KAPPA } V_{ds}) V_{de} [(V_{gs} - V_{th}) V_{ds} - V_{de}/2]$
- S. T F $V_{sat} = V_{ds} - V_{th}$



Σχήμα 8.7 MOS Model 3 απεικόνιση I_{ds} συναρτήσει V_{ds} .

8. Παρατηρήστε το Σχήμα 8.8 και κάντε τις επόμενες αντιστοιχίες:

A. ____ V_{TO}

a. Παράμετρος κατωφλίου για το υπόστρωμα.

B. ____ U_0

b. Επιφανειακό δυναμικό υπο συνθήκες ισχυρής αναστροφής.

C. ____ TOX

c. Πάχος στρώματος οξειδίου.

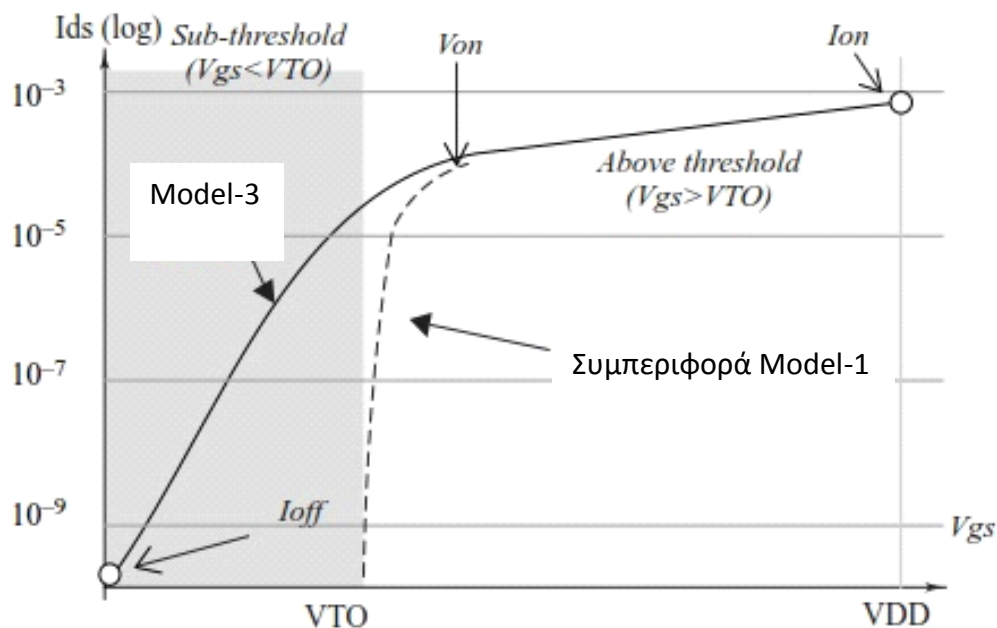
- D. ____ PHI d. Οριζόντια διάχυση εντός του καναλιού.
- E. ____ LD e. Παράγοντας υποβάθμισης ευκινησίας.
- F. ____ GAMMA f. Δυναμικό κατωφλίου για διάταξη μεγάλου μήκους καναλιού και για $V_{bs}=0$.
- G. ____ KAPPA g. Ευκινησία φορέων.
- H. ____ VMAX h. Μήκος καναλιού.
- I. ____ THETA i. Παράγοντας υπο-κατωφλίου (sub-threshold).
- J. ____ NSS j. Παράγοντας κορεσμού πεδίου.
- K. ____ W k. Μέγιστη ταχύτητα ολίσθησης.
- L. ____ L l. Πλάτος καναλιού.

MOS Model 3 parameters			
Parameter	Definition	Typical Value 0.12 μm	
		NMOS	pMOS
VTO	Theshold voltage of a long channel device, at zero Vbs.	0.4 V	−0.4 V
U0	Carrier mobility	0.06 $\text{m}^2/\text{V.s}$	0.025 $\text{m}^2/\text{V.s}$
TOX	Gate oxide thickness	3 nm	3 nm
PHI	Surface potential at strong inversion	0.3 V	0.3 V
LD	Lateral diffusion into channel	0.01 μm	0.01 μm
GAMMA	Bulk threshold parameter	0.4 $\text{V}^{0.5}$	0.4 $\text{V}^{0.5}$
KAPPA	Saturation field factor	0.01 V^{-1}	0.01 V^{-1}
VMAX	Maximum drift velocity	150 km/s	100 km/s
THETA	Mobility degradation factor	0.3 V^{-1}	0.3 V^{-1}
NSS	Subthreshold factor	0.07 V^{-1}	0.07 V^{-1}
W	MOS channel width	0.5–20 μm	0.5–40 μm
L	MOS channel length	0.12 μm	0.12 μm

Σχήμα 8.8 Παράμετροι MOS Level 3, όπως έχουν ενσωματωθεί στο λογισμικό Microwind.

9. Παρατηρήστε το Σχήμα 8.9 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:
- A. T F Σε συνθήκες υπο-κατωφλίου (subthreshold), η V_{on} αντικαθίσταται από την V_{ds} στις εξισώσεις του Model 3.
- B. T F Για $V_{gs} = V_{DD}$, το I_{on} είναι της τάξης των μA .
- C. T F Χωρίς κανένα δυναμικό στην πύλη, το ρεύμα στο κανάλι δεν είναι μηδέν.

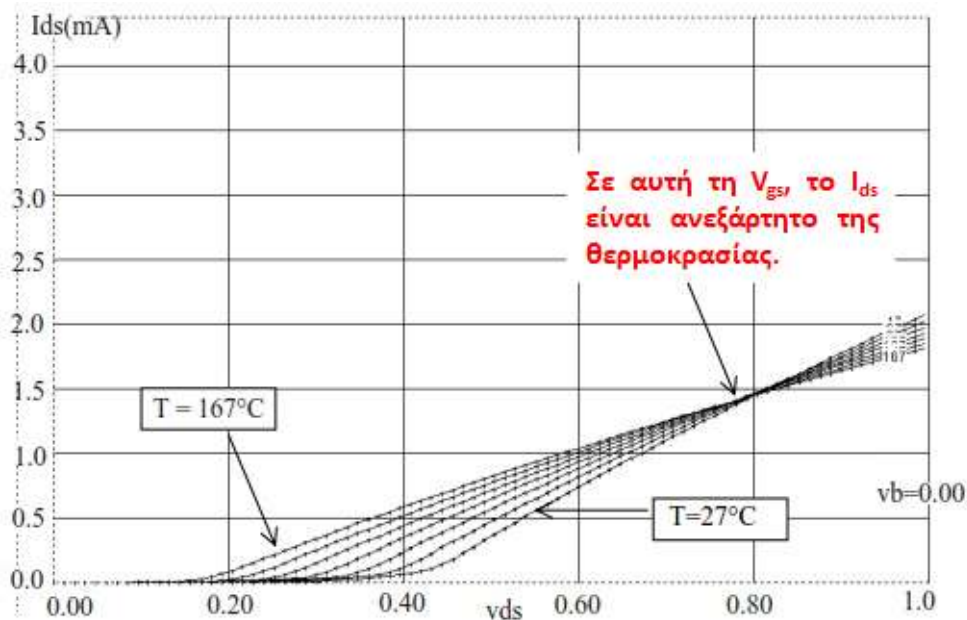
- D. T F Σε συνθήκες υπο-κατωφλίου (subthreshold), $I_{ds} = I_{ds}(V_{on}, V_{ds}) \text{Exp}[(V_{gs} - V_{on})/(k T/q)]$
- E. T F Σε συνθήκες υπο-κατωφλίου (subthreshold), το δυναμικό πύλης είναι μεγαλύτερο από το δυναμικό κατωφλίου.
- F. T F Το I_{off} έχει τιμή περίπου $1\text{E-}3$ A για τεχνολογία κατασκευής $0.12 \mu\text{m}$.
- G. T F Σε συνθήκες υπο-κατωφλίου (subthreshold), $I_{ds} = I_{ds}(V_{on}, V_{ds}) \text{Exp}[(V_{gs} - V_{on})/(n k T/q)]$
- H. T F Για $V_{gs}=0 \Rightarrow I_{ds} = I_{on}$.
- I. T F Σε συνθήκες υπο-κατωφλίου (subthreshold), το δυναμικό πύλης είναι μικρότερο από το δυναμικό κατωφλίου.
- J. T F Για $V_{gs}=0 \Rightarrow I_{ds} = I_{off}$.
- K. T F Σε συνθήκες υπο-κατωφλίου (subthreshold), η V_{ds} αντικαθίσταται από την V_{on} στις εξισώσεις του Model 3.
- L. T F Χωρίς κανένα δυναμικό στην πύλη, το ρεύμα στο κανάλι είναι μηδέν.
- M. T F Για $V_{gs} = V_{DD}$, το I_{on} είναι της τάξης των mA.
- N. T F Το I_{off} έχει τιμή περίπου $1\text{E-}10$ A για τεχνολογία κατασκευής $0.12 \mu\text{m}$.



Σχήμα 8.9 MOS Level 3. Απεικόνιση I_{ds} (log scale) συναρτήσει V_{ds} .

10. Παρατηρήστε το Σχήμα 8.10 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:
- A. T F Ο διακόπτης MOS είναι ευαίσθητος στις θερμοκρασιακές μεταβολές.
- B. T F $U_0 = U_{0T=27}$
- C. T F Οι παράμετροι V_{TO} και U_0 δεν είναι συνάρτηση της θερμοκρασίας.

- D. T F Η ευκινησία ηλεκτρονίων και οπών μειώνεται όταν αυξάνεται η θερμοκρασία, επειδή αυξάνεται η κινητική ενέργεια των ατόμων του πλέγματος κάτω από την πύλη και άρα ο όγκος που καταλαμβάνουν, με συνέπεια να μειώνεται ο χώρος για τους φορείς του ρεύματος.
- E. T F Οι παράμετροι V_{TO} και U_0 ελαττώνονται όταν αυξάνεται η θερμοκρασία.
- F. T F $U_0 = U_{0T=27} [(T+273)/300]^{-1.5}$
- G. T F $U_0 = U_{0T=27} [(T+273)/300]$
- H. T F Οι παράμετροι V_{TO} και U_0 αυξάνονται όταν αυξάνεται η θερμοκρασία.
- I. T F $V_T = V_{TO_{T=27}} - 0.002 (T)$
- J. T F $V_T = V_{TO_{T=27}} - 0.002 (T-300)$
- K. T F $V_T = V_{TO_{T=27}}$
- L. T F Η λειτουργία του διακόπτη MOS δεν εξαρτάται από τη θερμοκρασία.



Σχήμα 8.10 MOS Model 3. Επίδραση της θερμοκρασίας.

11. Παρατηρήστε το Σχήμα 8.11 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|------------------|---|
| A. ____ C_{GS} | a. 0 |
| B. ____ C_{GD} | b. Χωρητικότητα τύπου επαφής (junction). |
| C. ____ C_{GB} | c. $\sim 3E-4 \text{ F/m}^2$ |
| D. ____ C_i | d. Χωρητικότητα τύπου παράλληλων στρωμάτων (parallel plate). |
| E. ____ C_{DB} | e. $(2/3) C_i \{ 1 - [(V_{GS}-V_t-V_{dsat})/(2(V_{GS}-V_t)-V_{dsat})]^2 \}$ |

F. ____ C_{SB}

G. ____ C_J

H. ____ PB

I. ____ MJ

J. ____ C_{GS}, C_{GD}, C_{GB}

K. ____ C_{SB}, C_{DB}

f. $W L_{\text{drain}} C_J / (1 - V_{BD}/PB)^{MJ}$

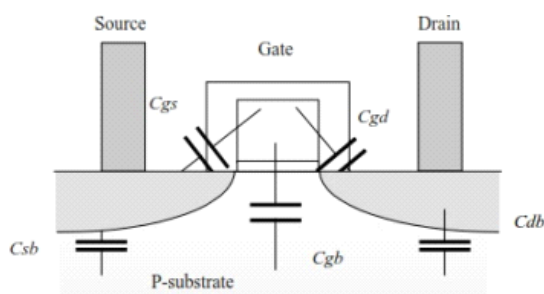
g. $W L_{\text{source}} C_J / (1 - V_{BS}/PB)^{MJ}$

h. $W L \epsilon_0 \epsilon_r / TOX$

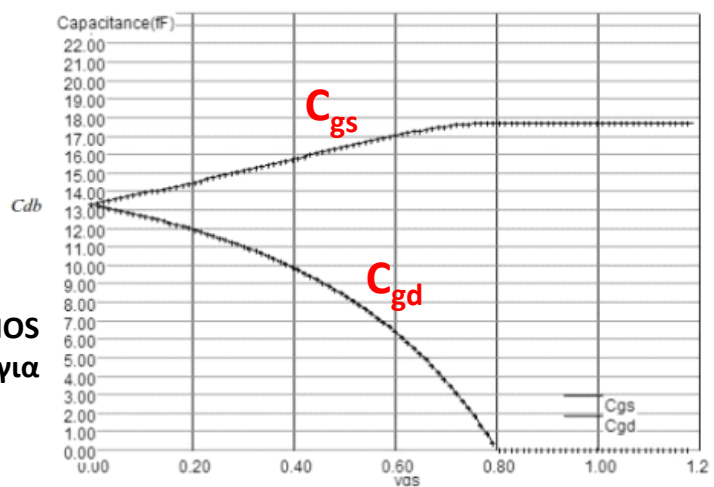
i. $(2/3) C_i \{ 1 - [(V_{GS}-V_t)/(2(V_{GS}-V_t)-V_{dsat})]^2 \}$

j. Παράγοντας βάθμωσης ημιαγωγικής επαφής (junction) (έχει τιμή γύρω στο 0.5)

k. Ενδογενές δυναμικό ημιαγωγικής επαφής (junction) (περίπου 0.8V).



Μεταβολή χωρητικότητας MOS συναρτήσει δυναμικού απαγωγού για $W=10 \mu m$ και $L=0.12 \mu m$.

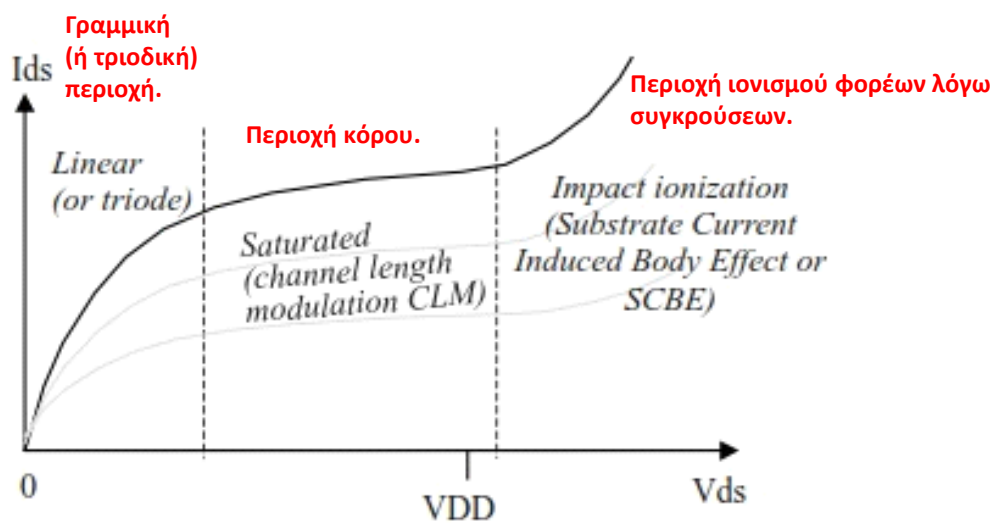


Σχήμα 8.11 Βασικές χωρητικότητες σε διακόπτη MOS με βάση το Model 3.

12. Παρατηρήστε το Σχήμα 8.12 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:

- A. T F Η BSIM4 εξακολουθεί να θεωρεί τις περιοχές λειτουργίας του MOS level 3 (γραμμική για μικρά V_{ds} , κόρου για μεγάλα V_{ds} , υπο-κατωφλίου για $V_{gs} < V_t$), αλλά παρέχει τέλεια (συνεχή) σύνδεση μεταξύ αυτών των περιοχών λειτουργίας.
- B. T F Από τα σημαντικότερα πλεονεκτήματα της BSIM4 είναι η χρήση μιας μοναδικής εξίσωσης για το ρεύμα σε όλες τις περιοχές λειτουργίας της διάταξης.
- C. T F Για την ομαλή και συνεχή μετάβαση των αποτελεσμάτων των προσομοιώσεων από τη μία περιοχή λειτουργίας των διατάξεων σε άλλη, χρησιμοποιούνται ειδικές μαθηματικές συναρτήσεις εξομάλυνσης (smoothing functions) ενσωματωμένες στον κωδικό της BSIM4.
- D. T F Η έκδοση BSIM4 άρχισε να χρησιμοποιείται στις προσομοιώσεις από το 2000.
- E. T F Η περιοχή δυναμικών όπου είναι έντονο το φαινόμενο του ιονισμού των φορέων αντιστοιχεί σε $V_{ds} > V_{DD}$.
- F. T F Η BSIM4 έκδοση εισάγει και μια νέα περιοχή λειτουργίας στην οποία είναι κυρίαρχο το φαινόμενο του ιονισμού λόγω συγκρούσεων (impact ionization effect).

- G. T F Η περιοχή δυναμικών όπου είναι έντονο το φαινόμενο του ιονισμού των φορέων αντιστοιχεί σε $V_{ds} < V_{DD}$.
- H. T F Το πανεπιστήμιο του Berkeley έχει αναπτύξει ένα σύνολο μοντέλων για το MOS τρανζίστορ για υπομικρονικές και βαθέως υπομικρονικές τεχνολογίες με μεγάλη ακρίβεια μεταξύ προσομοίωσης και πειράματος.
- I. T F Η έκδοση BSIM3v3 χρησιμοποιείται από την Electronic Industries Alliance (EIA) ως βιομηχανικό στάνταρ (πρώτυπο) για τις προσομοιώσεις διατάξεων βαθέως υπομικρονικής τεχνολογίας.
- J. T F Το Berkeley Short-channel IGFET Model (BSIM) έχει διάφορες εκδόσεις (BSIM1, BSIM2, BSIM3).
- K. T F Το πλήθος των παραμέτρων που χρησιμοποιεί η επίσημη έκδοση της BSIM4 είναι της τάξης του 300.
- L. T F Όπως και οι προηγούμενες εκδόσεις, η BSIM4 χρησιμοποιεί τόσες εξισώσεις για το ρεύμα καναλιού, όσες και οι περιοχές λειτουργίας της διάταξης.
- M. T F Η BSIM4 έκδοση για τη μοντελοποίηση του MOS δεν βασίζεται σε περιγραφές λειτουργίας που είχαν αναπτυχθεί σε προηγούμενες εκδόσεις (Levels).
- N. T F Το πλήθος των παραμέτρων που χρησιμοποιεί η επίσημη έκδοση της BSIM4 είναι της τάξης του 10.



Σχήμα 8.12 BSIM4 MOS Model. Χαρακτηριστική συνάρτηση $I_{ds}(V_{ds})$.

13. Παρατηρήστε το Σχήμα 8.13 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|--------------|---|
| A. ____ DVT0 | a. Δυναμικό κατωφλίου για τρανζίστορ μεγάλου μήκους καναλιού όταν $V_{bs} = 0V$. |
| B. ____ DVT1 | b. Συντελεστής επίδρασης θερμοκρασίας στην τάση κατωφλίου. |
| C. ____ ETA0 | c. Παράμετρος πλευρικής μη ομοιόμορφης νόθευσης όταν $V_{bs}=0$. |

- D. ____ LINT
- E. ____ LPEO
- F. ____ NFACTOR
- G. ____ PSCBE1
- H. ____ PSCBE2
- I. ____ K1
- J. ____ K2
- K. ____ KT1
- L. ____ NDEP
- M. ____ PCLM
- N. ____ TOX
- O. ____ UA
- P. ____ UC
- Q. ____ U0
- R. ____ UTE
- S. ____ VFB
- T. ____ VOFF
- d. Παράμετρος διαμόρφωσης μήκους καναλιού.
- e. Παράγοντας ενεργοποίησης κουνήματος (swing) υποκατωφλίου. Ελέγχει την εκθετική αύξηση του ρεύματος με το V_{gs} .
- f. Συντελεστής περιγραφής ελάττωσης ευκινησίας φορέων εξαιτίας δυναμικού στο υπόστρωμα της διάταξης.
- g. Συντελεστής επίδρασης ελάττωσης δυναμικού απαγωγού.
- h. 1ος παράγοντας μοντελοποίησης φαινομένου ελάττωσης ρεύματος λόγω αλλαγής στην επιφανειακή ευκινησία φορέων.
- i. Δυναμικό διαφοροποίησης (Offset voltage) στην περιοχή υποκατωφλίου.
- j. Πάχος οξειδίου πύλης.
- k. Παράμετρος στοίχισης (offset) πλάτους καναλιού.
- l. Δυναμικό επίπεδης-ζώνης (Flat-band).
- m. 2ος παράγοντας επίδρασης κοντού-καναλιού στο δυναμικό κατωφλίου.
- n. Συντελεστής περιγραφής 1ης τάξης της ελάττωσης ευκινησίας φορέων λόγω κάθετου πεδίου στη διάταξη.
- o. Συντελεστής θερμοκρασίας για την ευκινησία U0 μηδενικού πεδίου.
- p. 2ος παράγοντας μοντελοποίησης φαινομένου ελάττωσης ρεύματος λόγω αλλαγής στην επιφανειακή ευκινησία φορέων.
- q. Συγκέντρωση νόθευσης φορέων καναλιού.
- r. 2ης τάξης συντελεστής επίδρασης τάσης υποστρώματος.
- s. 1ης τάξης συντελεστής επίδρασης τάσης υποστρώματος.
- t. Παράμετρος στοίχισης μήκους καναλιού.

U. ____ VSAT

υ. Ευκινησία φορέων υπό συνθήκες ασθενούς ηλεκτρικού πεδίου.

V. ____ VTHO

ν. Βάθος ημιαγωγικής επαφής (junction) πηγής/απαγωγού.

W. ____ WINT

ω. 1ος παράγοντας επίδρασης κοντού-καναλιού στο δυναμικό κατωφλίου.

X. ____ XJ

χ. Ταχύτητα κόρου.

Parameter	Description	NMOS value in 0.12 μm			
DVT0	First coefficient of short-channel effect on threshold voltage	2.2	K2	Second-order body bias coefficient	0.1
DVT1	Second coefficient of short-channel effect on V_{th}	0.53	KT1	Temperature coefficient of the threshold voltage	-0.06 V
ETA0	Drain induced barrier lowering coefficient	0.08	NDEP	Channel doping concentration	$1.7 \times 10^{17} \text{ cm}^{-3}$
LINT	Channel-length offset parameter	$0.01 \text{--} 6 \mu\text{m}$	PCLM	Parameter for channel length modulation	1.2
LPE0	Lateral non-uniform doping parameter at $V_{bs} = 0$	2.3×10^{-10}	TOX	Gate oxide thickness	100 nm
NFACTOR	Sub-threshold turn-on swing factor. Controls the exponential increase of current with V_{gs}	1	UA	Coefficient of first-order mobility degradation due to vertical field	$11.0 \times 10^{-15} \text{ m/V}$
PSCBE1	First substrate current induced body-effect mobility reduction	$4.24 \times 10^{-8} \text{ V/m}$	UC	Coefficient of mobility degradation due to body-bias effect	$-0.0465 \times 10^{-15} \text{ V}^{-1}$
PSCBE2	Second substrate current induced body-effect mobility reduction	$4.24 \times 10^{-8} \text{ V/m}$	U0	Low-field mobility	$0.060 \text{ m}^2/\text{Vs}$
K1	First-order body bias coefficient	$0.45 \text{ V}^{1/2}$	UTE	Temperature coefficient for the zero-field mobility U_0	-1.8
			VFB	Flat-band voltage	-0.9
			VOFF	Offset voltage in sub-threshold region	-0.08 V
			VSAT	Saturation velocity	$8.0 \times 10^4 \text{ m/s}$
			VTHO	Long channel threshold voltage at $V_{bs} = 0 \text{ V}$	0.3 V
			WINT	Channel-width offset parameter	$0.01 \text{--} 6 \mu\text{m}$
			XJ	Source/drain junction depth	$1.5 \times 10^{-7} \text{ m}$

Σχήμα 8.13 Λίστα παραμέτρων έκδοσης BSIM4 υλοποιημένων στον κώδικα του λογισμικού Microwind.

14. Παρατηρήστε το Σχήμα 8.14 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:

A. T F $2 W_{INT} = W_{eff} - W$

B. T F $2 L_{INT} = L - L_{eff}$

C. T F Το μήκος L και το πλάτος W της διάταξης στο σχέδιο της χωροθεσίας είναι ίσο αντίστοιχα με το φυσικό μήκος L_{eff} και πλάτος W_{eff} στην τελικά κατασκευασμένη στο πυρίτιο διάταξη.

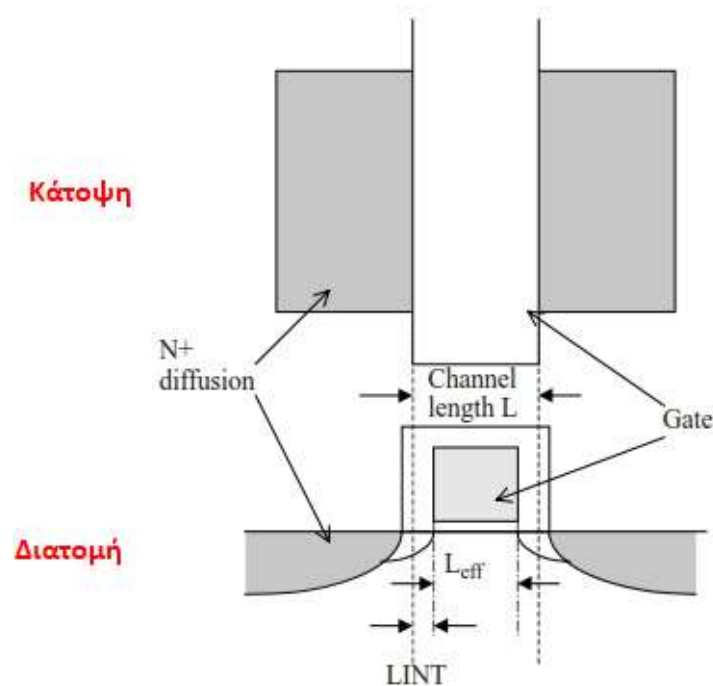
D. T F $W_{eff} = W - 2 W_{INT}$

E. T F $L_{eff} = L - L_{INT}$

F. T F Το μήκος L και το πλάτος W της διάταξης στο σχέδιο της χωροθεσίας δεν είναι ίσο αντίστοιχα με το φυσικό μήκος L_{eff} και πλάτος W_{eff} στην τελικά κατασκευασμένη στο πυρίτιο διάταξη.

G. T F $L_{eff} = L - 2 L_{INT}$

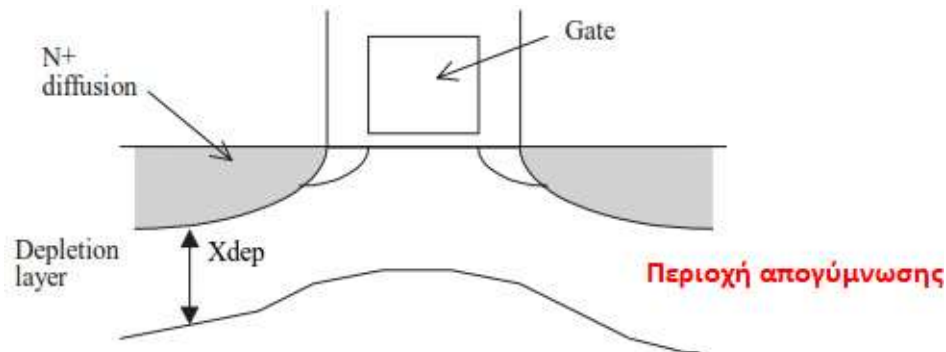
- H. T F Οι παράμετροι L_{INT} και W_{INT} χρησιμοποιούνται για την ποσοτικοποίηση της διαφοράς $L - L_{eff}$ και $W - W_{ef}$ αντίστοιχα.



Σχήμα 8.14 Ενεργό μήκος καναλιού (Effective Channel Length).

15. Παρατηρήστε το Σχήμα 8.15 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:
- A. T F Τυπική τιμή του χ_{dep} είναι $0.5 \mu m$.
 - B. T F $\Phi_s = 0.4 + v_t \ln[NDEP/n_i]$
 - C. T F n_i είναι η ενδογενής συγκέντρωση φορέων αγωγιμότητας στο πυρίτιο $= 1.02E10 \text{ cm}^{-3}$ στους 300° K .
 - D. T F $\chi_{dep} = \text{Sqrt}[2 \epsilon_{r, Si} \epsilon_0 (\Phi_s - V_{bs}) / (q \text{ NDEP})]$
 - E. T F $v_t = q / (k_B T)$
 - F. T F k_B είναι η σταθερά Boltzmann $= 1.38E-23 \text{ J/K}$.
 - G. T F Το ενδογενές (Built-in) δυναμικό της ημιαγωγικής επαφής στην πηγή και στον απαγωγό είναι: $V_{bi} = v_t \ln[NDEP \text{ NSD} / n_i^2]$.
 - H. T F NSD είναι η συγκέντρωση νόθευσης στην πηγή ή στον απαγωγό (γύρω στα $1E20 \text{ cm}^{-3}$ στην πράξη).
 - I. T F NDEP είναι η συγκέντρωση νόθευσης καναλιού για μηδενική τάση στο υπόστρωμα (τιμή περίπου $1E17 \text{ cm}^{-3}$).
 - J. T F $v_t = k_B T / q$
 - K. T F Το επιφανειακό δυναμικό Φ_s και το πάχος περιοχής απογύμνωσης χ_{dep} είναι βασικές παράμετροι που πρέπει να λαμβάνονται υπόψη στον υπολογισμό της τάσης κατωφλίου και του συνολικού ρεύματος που διέρχεται από τη διάταξη.
 - L. T F Το Φ_s στις βαθέως-υπομικρονικές τεχνολογίες CMOS διαδικασιών είναι περίπου 0.85 V .

- M. T F Το V_{bi} στις βαθέως-υπομικρονικές τεχνολογίες CMOS διαδικασιών είναι περίπου 1.0 V.
- N. T F $\epsilon_{r, Si}$ είναι η σχετική διηλεκτρική σταθερά του πυριτίου = 3.9.
- O. T F Το πάχος περιοχής απογύμνωσης X_{dep} αντιστοιχεί στο πάχος της περιοχής κοντά στην διεπιφάνεια των επαφών N+/P-.
- P. T F k_B είναι η σταθερά Bessel = $1.38E-23$ J/K.
- Q. T F v_t είναι το θερμικό δυναμικό.
- R. T F $\epsilon_{r, Si}$ είναι η σχετική διηλεκτρική σταθερά του πυριτίου = 11.7.

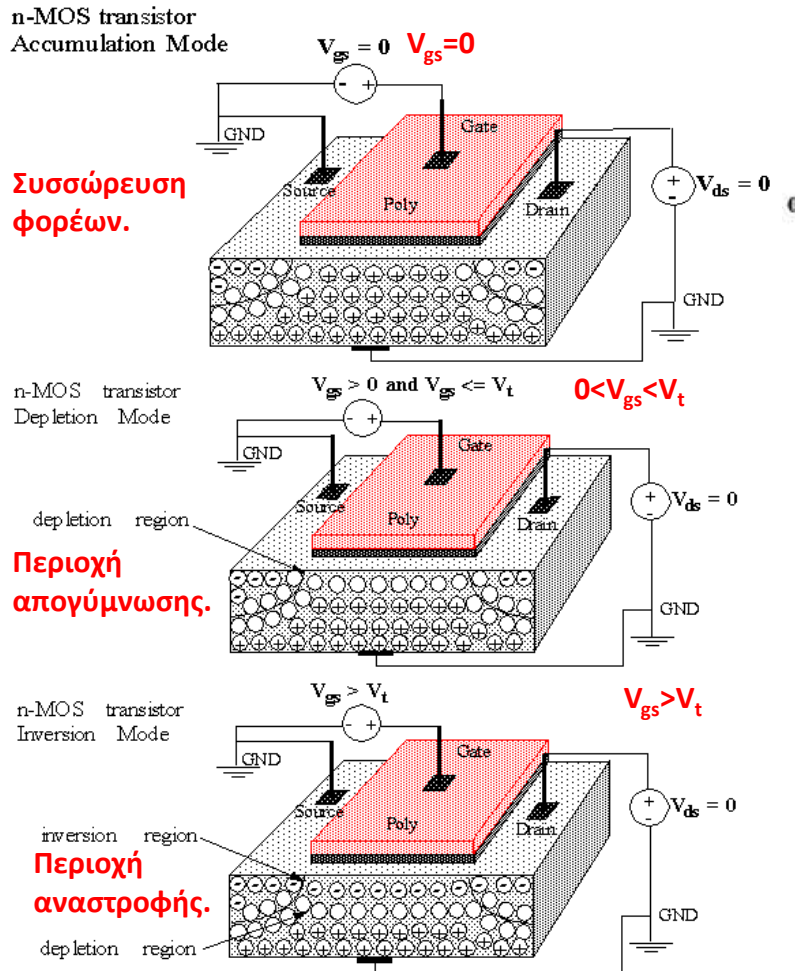


Σχήμα 8.15 Επιφανειακό δυναμικό (Surface Potential) και πάχος περιοχής απογύμνωσης (Junction Depth).

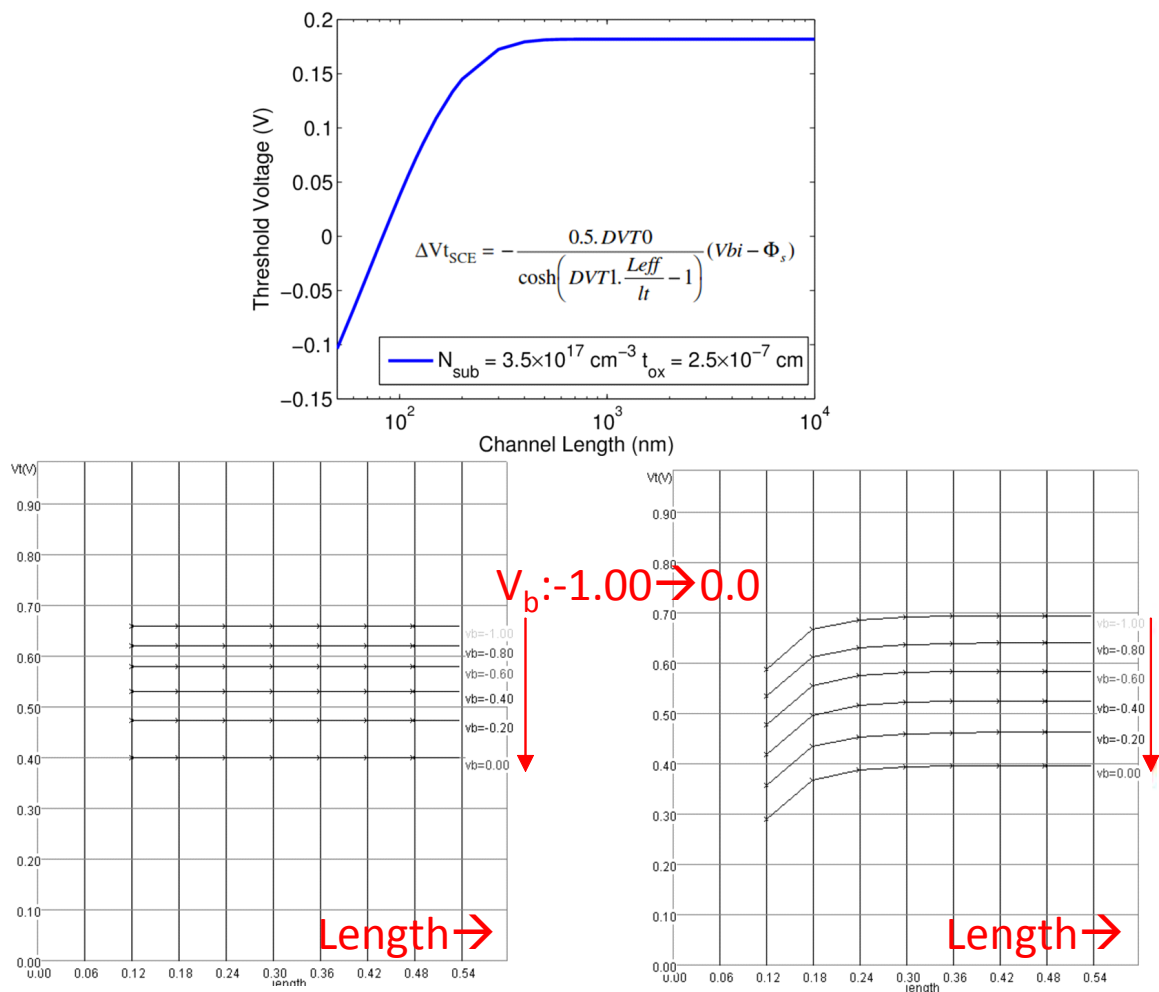
16. Παρατηρήστε το Σχήμα 8.16 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--|--|
| A. ____ Το I_{off} εμφανίζει εκθετική συμπεριφορά | a. είναι μείζονος σημασίας σε εφαρμογές χαμηλής κατανάλωσης ισχύος. |
| B. ____ Οι διατάξεις MOS χαμηλής τάσης κατωφλίου καταναλώνουν ενέργεια ακόμα και σε στατικές συνθήκες, | b. second order body bias coefficient. |
| C. ____ Μεγάλη τιμή V_t | c. non-uniform lateral doping (NULD) στο V_t . |
| D. ____ Η ακριβής πρόβλεψη της τάσης κατωφλίου | d. με το $1/V_t$. |
| E. ____ Η εξίσωση του BSIM4 για την τάση κατωφλίου που ενσωματώνει το Microwind: | e. short channel effect (SCE) στο V_t . |
| F. ____ Το V_{THO} είναι η | f. συνεπάγεται μικρή τιμή I_{off} αλλά και μικρή τιμή I_{on} ρεύματος. |
| G. ____ Το V_{THO} είναι περίπου | g. γεγονός που επιδρά στην κατανάλωση ισχύος στα αντίστοιχα κυκλώματα. |
| H. ____ $K1 =$ | h. 0.5 V. |
| I. ____ $K2 =$ | i. first order body bias coefficient ($0.5 V^{1/2}$). |

- J. ____ Το ΔV_{tSCE} ποσοτικοποιεί την επίδραση του
- Κ. ____ Το ΔV_{tNULD} ποσοτικοποιεί την επίδραση του
- L. ____ Το ΔV_{tDIBL} ποσοτικοποιεί την επίδραση του
- j. $V_t = V_{THO} + K1 \{ \text{Sqrt}[\Phi_s - V_{bs}] - \text{Sqrt}[\Phi_s] \} - K2 V_{bs} + \Delta V_{tSCE} + \Delta V_{tNULD} + \Delta V_{tDIBL}$
- κ. τάση κατωφλίου διακόπτη μεγάλου μήκους καναλιού όταν $V_{bs} = 0V$.
- l. drain-induced barrier lowering (DIBL) στο V_t .



Σχήμα 8.16 Τάση κατωφλίου (Threshold Voltage).



(a) Χωρίς επίδραση μικρού καναλιού (Models 1, 3).

(b) Με επίδραση μικρού καναλιού (BSIM4).

Σχήμα 8.17 Επίδραση μικρού/κοντού καναλιού (Short Channel Effect).

17. Παρατηρήστε το Σχήμα 8.17 και κάντε τις επόμενες αντιστοιχίσεις:

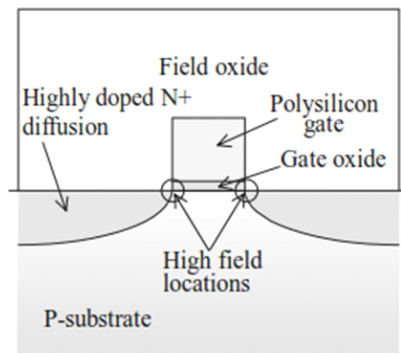
- | | |
|---|---|
| A. ____ Η τάση κατωφλίου | a. τότε η τάση κατωφλίου εξαρτάται μόνο από τη V_{bs} . |
| B. ____ Η σχέση ανάμεσα στην τάση κατωφλίου και στο ενεργό μήκος καναλιού | b. δεν είναι ίδια για όλες τις διατάξεις MOS. |
| C. ____ Για διατάξεις μικρού μήκους καναλιού, | c. 2.2 εξορισμού. |
| D. ____ $\Delta V_{tSCE} =$ | d. η V_t ελαττώνεται για μικρές τιμές του L . |
| E. ____ $DVT0$ είναι | e. για 0.12 μm τεχνολογία κατασκευής. |
| F. ____ $DVT0 =$ | f. η τάση κατωφλίου ελαττώνεται. |

- G. ____ DVT1 είναι
- H. ____ DVT1 =
- I. ____ L_{eff} είναι το
- J. ____ l_t είναι το χαρακτηριστικό μήκος καναλιού,
- K. ____ $l_t = 0.03 \mu m$
- L. ____ Αν δεν λάβουμε υπόψη μας την επίδραση μικρού καναλιού,
- M. ____ Η V_t αυξάνεται όταν
- N. ____ Όταν λάβουμε υπόψη μας την επίδραση μικρού καναλιού L ,
- g. ο 2ος συντελεστής επίδρασης μικρού καναλιού στο V_t .
- h. 0.53 εξορισμού.
- i. ο 1ος συντελεστής επίδρασης μικρού καναλιού στο V_t .
- j. ενεργό μήκος καναλιού.
- k. είναι σύνθετη.
- l. προσεγγιστικά ίσο με το 1/4 του ελάχιστου μήκους καναλιού.
- m. η V_{bs} ελαττώνεται.
- n. $-0.5 DVT0 (V_{bi} - \Phi_s) / \cosh[DVT1 L_{eff}/l_t - 1]$

18. Παρατηρήστε το Σχήμα 8.18 και κάντε τις επόμενες αντιστοιχίες:

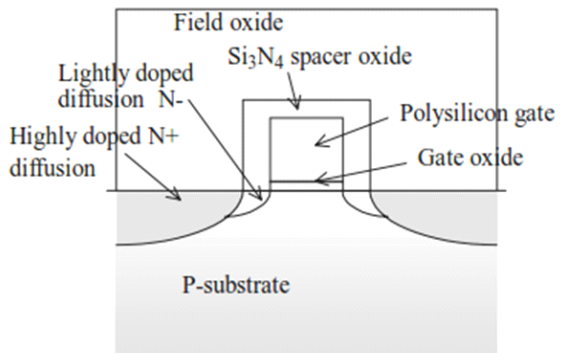
- A. ____ Lateral Drain Diffusion = LDD =
- B. ____ Non-Uniform Lateral Doping = NULD =
- C. ____ Η NULD είναι μια τεχνική για την ελάττωση
- D. ____ Με την NULD, η νόθευση στις άκρες της πύλης προς την πηγή και τον απαγωγό
- E. ____ Ένα διαχωριστικό στρώμα (υμένιο) Si_3N_4
- F. ____ Η τάση κατωφλίου εμφανίζει μια σύνθετη συμπεριφορά
- G. ____ Καθώς το μήκος καναλιού μειώνεται, η τάση κατωφλίου αρχικά
- H. ____ $\Delta V_{tNULD} =$
- a. των μέγιστων τιμών των ηλεκτρικών πεδίων, εντός του καναλιού του MOS.
- b. Ανομοιόμορφη πλευρική νόθευση.
- c. $K1 (\sqrt{1+LPE0/L_{eff}} - 1) \sqrt{\Phi_s}$
- d. Πλευρική νόθευση απαγωγού.
- e. συναρτήσει του μήκους καναλιού.
- f. ελαττώνεται με τον σχηματισμό μικρών θυλάκων νόθευσης μικρής συγκέντρωσης.
- g. αυξάνεται εξαιτίας του όρου ΔV_{tNULD} και στη συνέχεια γρήγορα μειώνεται εξαιτίας του όρου ΔV_{tSCE} .
- h. αναπτύσσεται πάνω από την πύλη του MOS για να την προφυλάξει από την εμφύτευση που απαιτείται για τη δημιουργία των περιοχών μικρής νόθευσης στα άκρα της πύλης προς τον απαγωγό και την πηγή.

- Ι. — Η περιοχή μικρής νόθευσης στον απαγωγό βοηθά

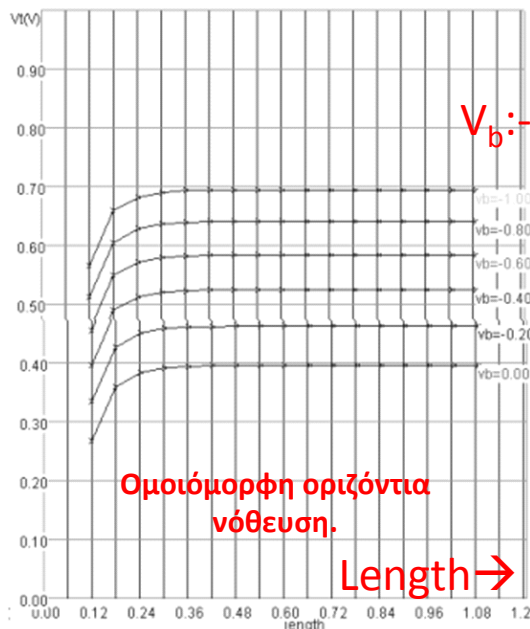


(a) MOS device without LDD structure

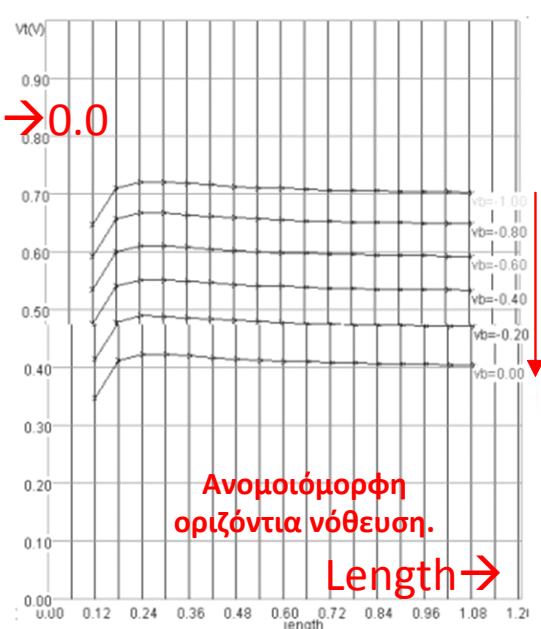
- ι. στο να μειωθεί η ένταση του ηλεκτρικού πεδίου και άρα να περιοριστεί η γέννηση καυτών ηλεκτρονίων.



(b) MOS device with LDD structure

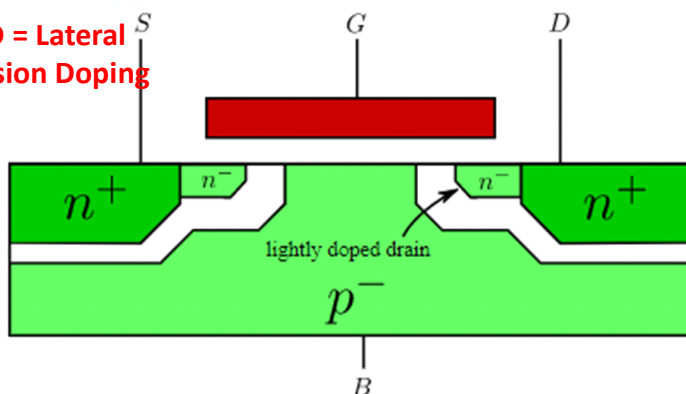


(c) uniform lateral doping



(d) non-uniform lateral doping due to LDD

LDD = Lateral Diffusion Doping

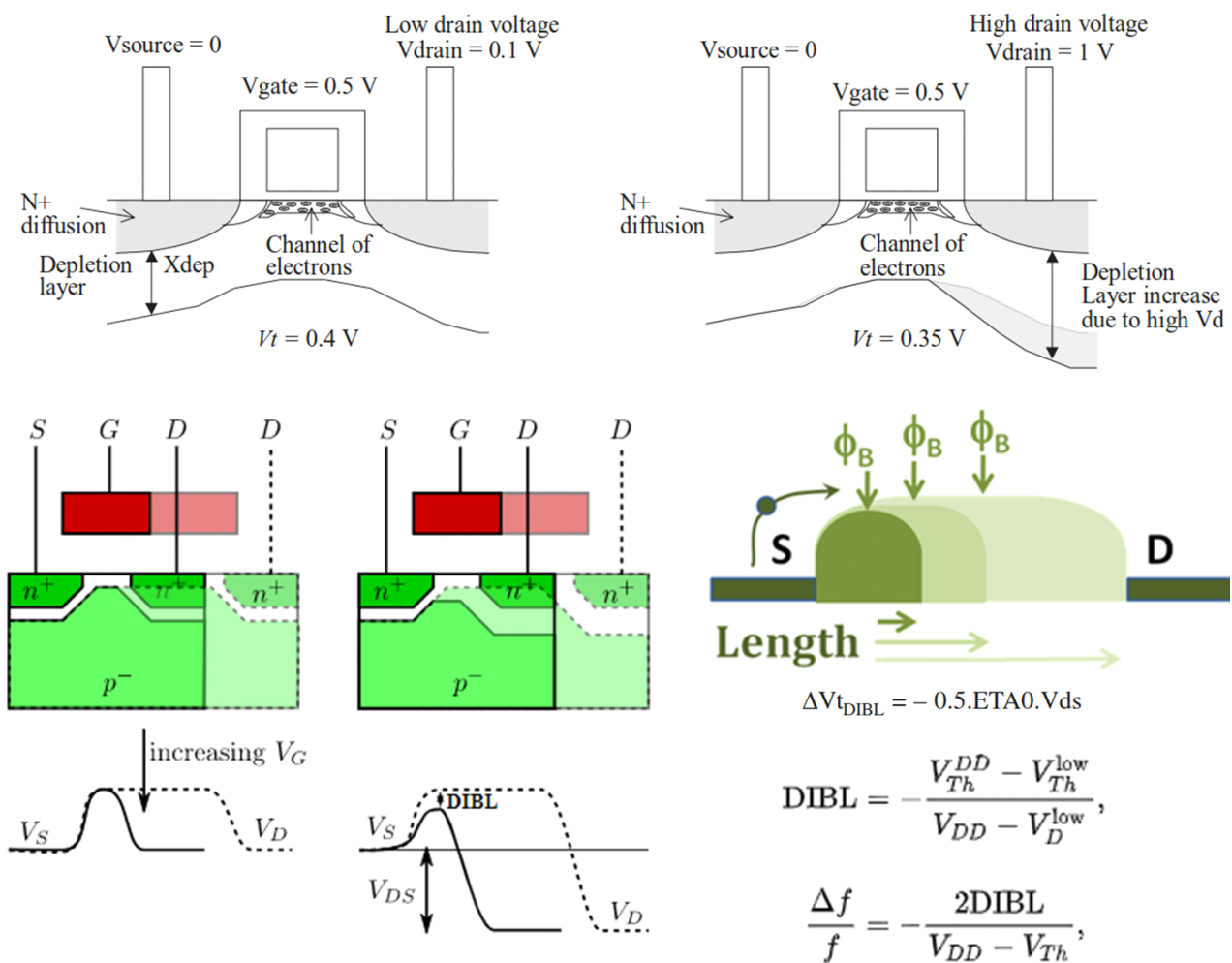


$$\Delta V_{t_{NULD}} = K1 \left(\sqrt{1 + \frac{LPE0}{L_{eff}}} - 1 \right) \cdot \sqrt{\Phi_s}$$

Σχήμα 8.18 Ανομοιόμορφη πλευρική νόθευση (Non-Uniform Lateral Doping).

19. Παρατηρήστε το Σχήμα 8.19 και κάντε τις επόμενες αντιστοιχίες:

- A. ____ Όταν εφαρμόζουμε ένα θετικό δυναμικό στον απαγωγό ενός MOS μεγάλου μήκους καναλιού
- B. ____ Όταν εφαρμόζουμε ένα θετικό δυναμικό στον απαγωγό ενός MOS μικρού μήκους καναλιού
- C. ____ Drain-Induced Barrier Lowering
- D. ____ Η φυσική εξήγηση του DIBL είναι λόγω της αύξησης
- E. ____ Μεταβολή στην τάση κατωφλίου λόγω DIBL, $\Delta V_{tDIBL} =$
- F. ____ Η παράμετρος ETA0
- G. ____ $\text{ETA0} =$
- H. ____ Το DIBL επηρεάζει την καμπύλη ρεύματος συναρτήσει της τάσης απαγωγού στην ενεργό (active) περιοχή λειτουργίας του MOS,
- I. ____ Το DIBL μπορεί να ελαττώσει
- J. ____ V_{th}^{DD} είναι η
- K. ____ V_{th}^{low} είναι η
- L. ____ V_{DD} είναι η
- M. ____ V_D^{low} είναι η
- N. ____ Το αρνητικό πρόσημο στη σχέση για το DIBL
- O. ____ Το V_{th}^{DD} είναι
- P. ____ Μονάδες μέτρησης του DIBL είναι
- a. πάντα μικρότερο του V_{th}^{low} .
- b. αυξάνοντας το ρεύμα με την αύξηση του δυναμικού απαγωγού και ελαττώνοντας την αντίσταση εξόδου του MOS.
- c. τάση κατωφλίου μετρημένη σε πολύ μικρή τιμή τάσης απαγωγού, τυπικά 0.05 μέχρι 0.1V.
- d. mV/V.
- e. εξασφαλίζει ότι η τιμή της παράστασης θα είναι θετικός αριθμός.
- f. τάση παροχής της διάταξης MOS.
- g. $-0.5 \text{ETA0 } V_{ds}$.
- h. DIBL.
- i. δεν παρατηρούμε κάποια ουσιαστική αλλαγή στην τάση κατωφλίου.
- j. 0.08 εξορισμού.
- k. παρατηρούμε ελάττωση στην τάση κατωφλίου.
- l. χαμηλή τάση απαγωγού (ωστόσο στο γραμμικό τμήμα λειτουργίας στη διάταξης).
- m. του πάχους της περιοχής απογύμνωσης στον απαγωγό λόγω της αύξησης του V_{ds} , που οδηγεί σε ελάττωση του ενεργού μήκους καναλιού, οπότε και της τάσης κατωφλίου.
- n. τη συχνότητα λειτουργίας του MOS.
- o. τάση κατωφλίου μετρημένη σε τάση παροχής (υψηλή τάση απαγωγού).
- p. είναι ο συντελεστής DIBL στην περιοχή υπο-κατωφλίου.



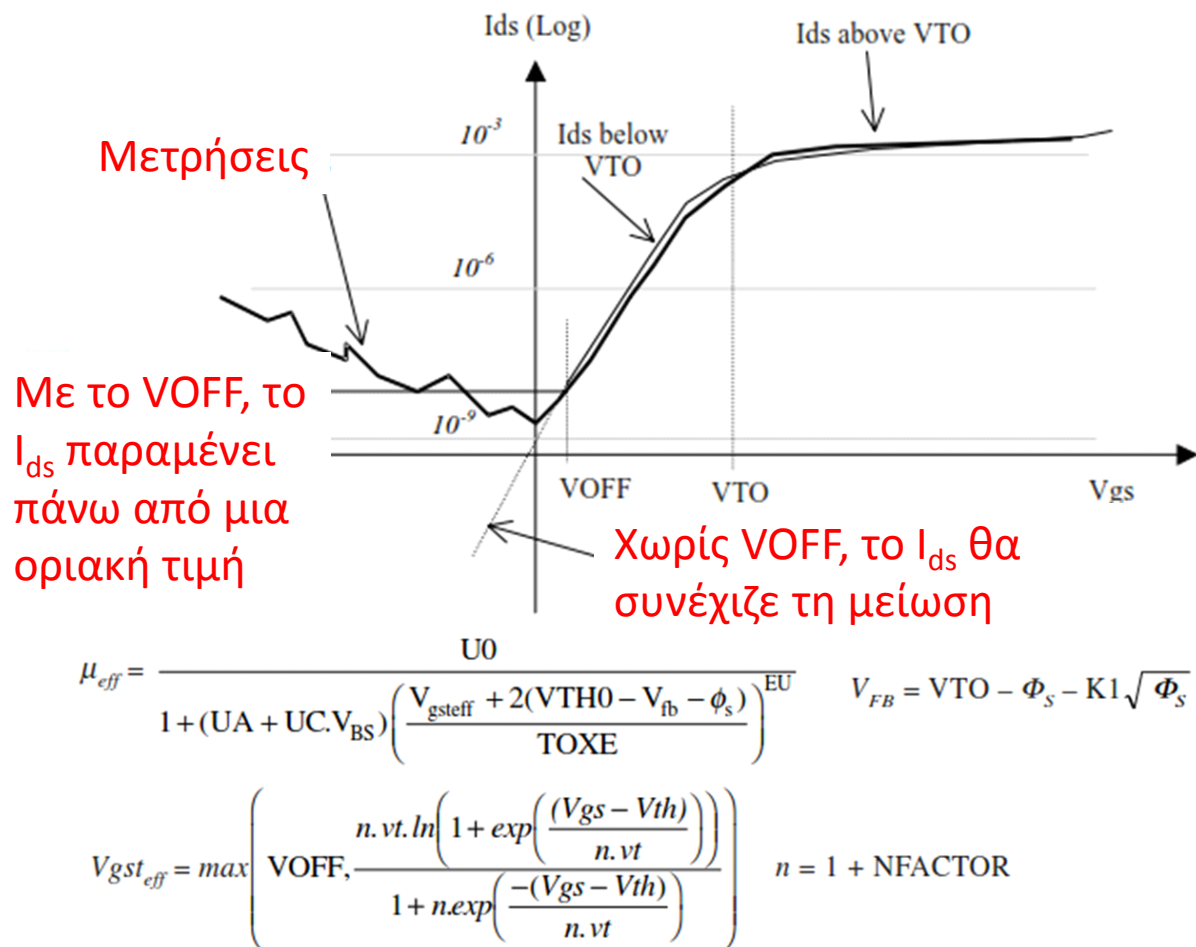
Σχήμα 8.19 Ελάττωση Φραγμού Επαγόμενη από τον Απαγωγό (Drain-Induced Barrier Lowering) (DIBL).

20. Παρατηρήστε το Σχήμα 8.20 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|---|--|
| A. ____ Η παράμετρος U_0 (ευκινησία μικρών τιμών πεδίου, low field mobility) | a. χρησιμοποιείται για να πετύχουμε ομαλή/συνεχή μετάβαση των αριθμητικών υπολογισμών μεταξύ των περιοχών υποκατωφλίου και γραμμικής περιοχής. |
| B. ____ Σε μαθηματικούς τύπους η ευκινησία των φορέων συνήθως συμβολίζεται | b. $1\text{E-}15 \text{ m/V}$. |
| C. ____ Η ενεργός ευκινησία μ_{eff} στο κανάλι | c. $0.06 \text{ m}^2\text{V/s}$. |
| D. ____ Η σχέση της ενεργούς τιμής ευκινησίας στο BSIM4 μοντέλο του Microwind είναι, $\mu_{\text{eff}} =$ | d. $-0.045\text{E-}15 \text{ m/V}^2$. |
| E. ____ Οι μονάδες του U_0 είναι | e. 1.0. |
| F. ____ Η εξ ορισμού τιμή του U_0 για nMOS είναι | f. 1.67. |

- G. ____ Η εξ ορισμού τιμή του U_0 για pMOS είναι g. ελαττώνεται με εκθετικό τρόπο μέχρι μηδενισμού όταν ελαττώνεται η V_{gs} .
- H. ____ U_A είναι h. τάση επίπεδων ζωνών πλέγματος, μετρημένη σε V.
- I. ____ Η εξ ορισμού τιμή του U_A είναι i. είναι ελαττωμένη σε σχέση με την U_0 εξαιτίας της πόλωσης του υποστρώματος και του δυναμικού πύλης.
- J. ____ U_C είναι j. το I_{ds} είναι μηδέν.
- K. ____ Η εξ ορισμού τιμή του U_C είναι k. μπορεί να είναι σημαντικό όταν $V_{gs} < 0$ (αρκετά σύνθητες στις διατάξεις λογικής σχεδίασης).
- L. ____ V_{FB} είναι η l. $U_0 / \{1 + (U_A + U_C V_{BS}) [(V_{gst_{eff}} + 2(V_{TH0} - V_{FB} - \Phi_s)) / TOXE]^{EU} \}$
- M. ____ $V_{FB} =$ m. $0.025 \text{ m}^2\text{V/s}$.
- N. ____ $TOXE$ είναι το n. είναι μια παράμετρος που ποσοτικοποιεί φαινόμενα κόρου που προκύπτουν σε διατάξεις μικρού καναλιού όταν η V_{gs} είναι αρνητική. Στην VOFF αντιστοιχεί το σταθερό I_{off} (gate-induced leakage current).
- O. ____ Μια τυπική τιμή του $TOXE$ σε τεχνολογία 0.12μm είναι o. $V_{TO} - \Phi_s - K1 \text{ Sqrt}[\Phi_s]$
- P. ____ V_{BS} είναι p. με το μ.
- Q. ____ EU είναι μια σταθερά με τιμή (για nMOS) q. $1 + NFACTOR$
- R. ____ EU είναι μια σταθερά με τιμή (για pMOS) r. 2nm.
- S. ____ Η παράμετρος εξομάλυνσης $V_{gst_{eff}}$ s. και μάλιστα τείνει να αυξάνεται με αρνητικά V_{gs} . Αυτό το φαινόμενο ονομάζεται Gate Induced Drain Leakage (GIDL).
- T. ____ $V_{gst_{eff}} =$ t. η 1ης τάξης παράμετρος μείωσης ευκινησίας. Μονάδες: m/V.
- U. ____ $n =$ u. πάχος του οξειδίου πύλης σε m.
- V. ____ $VOFF$ v. η διαφορά δυναμικού μεταξύ υποστρώματος και πηγής, σε V.

- W. ____ Τα συμβατικά μοντέλα προβλέπουν ότι το ρεύμα
- W. $\max\{V_{OFF}, n v_t \ln[(V_{gs}-V_{th})/(n v_t)] / [1 + n \exp[-(V_{gs}-V_{th})/(n v_t)]]\}$
- X. ____ Θεωρητικά, όταν $V_{gs} < 0$,
- X. m^2V/s .
- Y. ____ Πρακτικά, το I_{ds} σταματά να μειώνεται κοντά στο μηδενικό V_{gs}
- Y. η παράμετρος μείωσης ευκινησίας λόγω επίδρασης τάσης υποστρώματος. Μονάδες m/V^2 .
- Z. ____ Το ρεύμα διαρροής I_{off}
- Z. αντιστοιχεί στην ευκινησία των ηλεκτρονίων ή οπών στο κανάλι της διάταξης MOS.



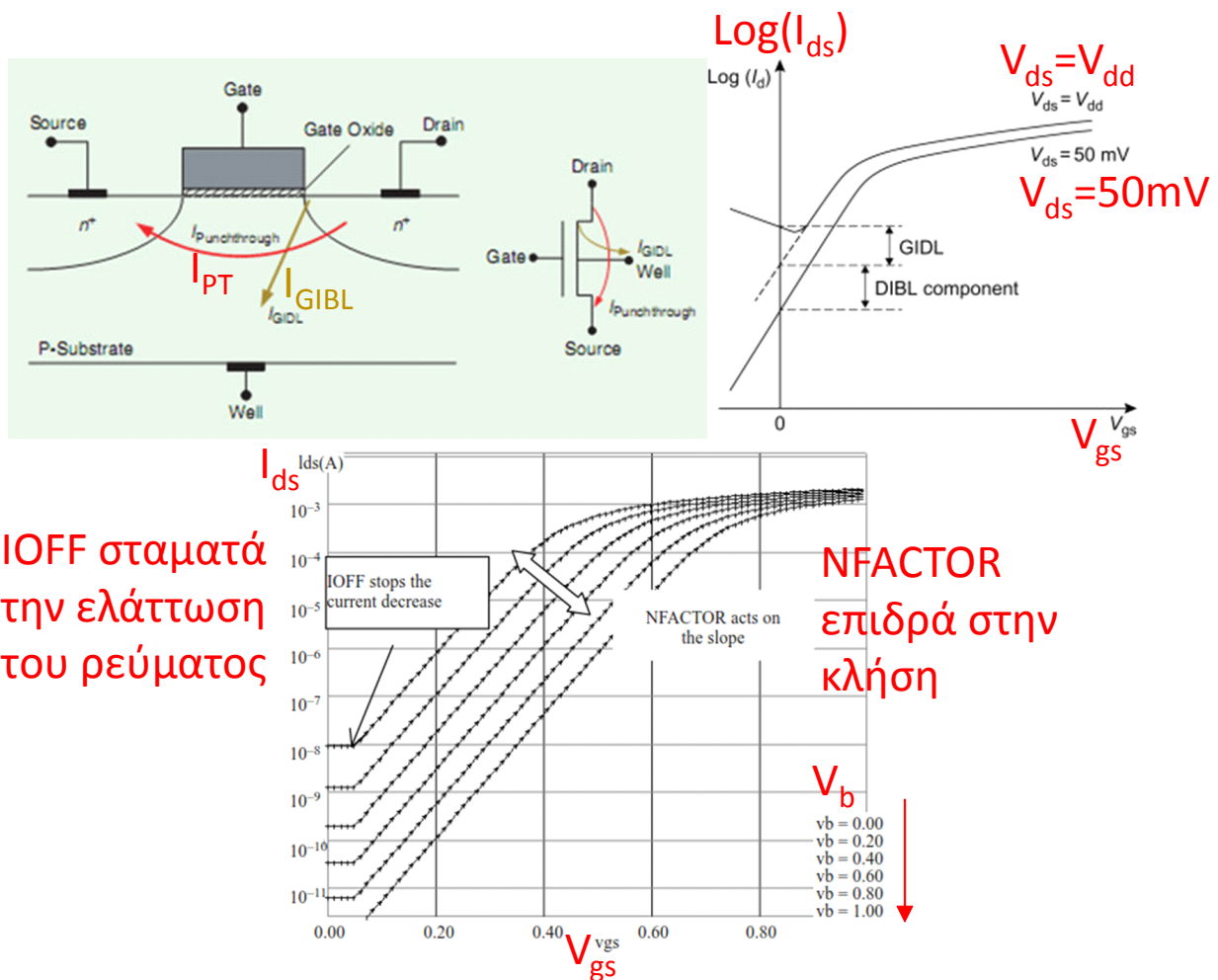
Σχήμα 8.20 Χαρακτηριστική IV από πειραματικά δεδομένα. Σχέσεις για την ευκινησία (mobility) φορέων αγωγιμότητας στο κανάλι του MOS.

21. Παρατηρήστε το Σχήμα 8.21 και κάντε τις επόμενες αντιστοιχίες:

- A. ____ Ο παράγοντας NFACTOR είναι συνήθως κοντά στο 1,
- a. οπότε το n είναι κοντά στο 2.
- B. ____ Η παράμετρος I_{OFF}
- b. στην κλίση της καμπύλης $I_{ds}(V_{ds})$.

C. ____ Ο παράγοντας NFACTOR αντιστοιχεί

c. θέτει όριο στην ελάττωση του I_{ds} με τη μείωση του V_{ds} κάτω από την τάση κατωφλίου και προς το μηδέν.



Σχήμα 8.21 Ρεύμα διαρροής απαγωγού λόγω δυναμικού πύλης (Gate-Induced Drain Leakage) (GIDL).

22. Παρατηρήστε το Σχήμα 8.22 και κάντε τις επόμενες αντιστοιχίες:

A. ____ Η συνάρτηση εξομάλυνσης μεταξύ γραμμικής περιοχής και περιοχής κόρου στην καμπύλη $I_{ds}(V_{ds})$,

a. $E_{sat} L (V_{gst_{eff}} + 2 V_t)$.

B. ____ Στο λογισμικό Microwind, η τιμή του DELTA είναι

b. $2 V_{sat}/E_{sat}$.

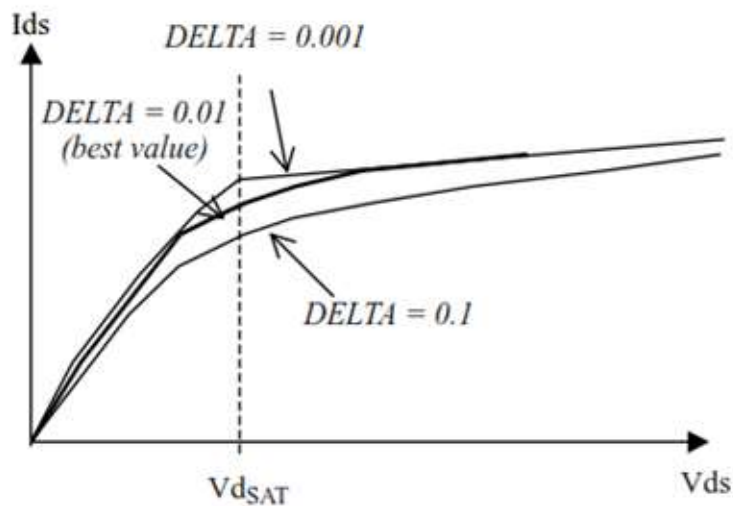
C. ____ Για μικρές τιμές του DELTA (δ) (π.χ. 0.001)

c. η μετάβαση μεταξύ γραμμικής περιοχής και περιοχής κόρου στην IV χαρακτηριστική εμφανίζει ασυνέχειες.

D. ____ Πειραματικές μετρήσεις έχουν δείξει ότι

d. 0.01.

- E. ____ Τιμές DELTA μεγαλύτερες του 0.01
- F. ____ $V_{ds_{eff}}$
- G. ____ Τροποποιημένη ευκίνησία φορέων: μ_{eff} =
- H. ____ Ηλεκτρικό πεδίο κορεσμού E_{sat} =
- I. ____ $(E_{sat} L + V_{gst_{eff}} + 2 v_t) V_{dsat}$ =
- e. παράγουν θεωρητικές καμπύλες IV χαμηλότερων τιμών από αυτές των μετρήσεων.
- f. με $DELTA=0.01$ πετυχαίνουμε μια πιο ομαλή μετάβαση από τη γραμμική στην περιοχή κόρου στην IV χαρακτηριστική του MOS.
- g. $2 V_{sat}/\mu_{eff}$.
- h. διαμορφώνεται μέσω της παραμέτρου DELTA.
- i. είναι μια συνάρτηση εξομάλυνσης του I_{ds} όταν το V_{ds} πλησιάζει και ξεπερνά το δυναμικό κορεσμού V_{dsat} .

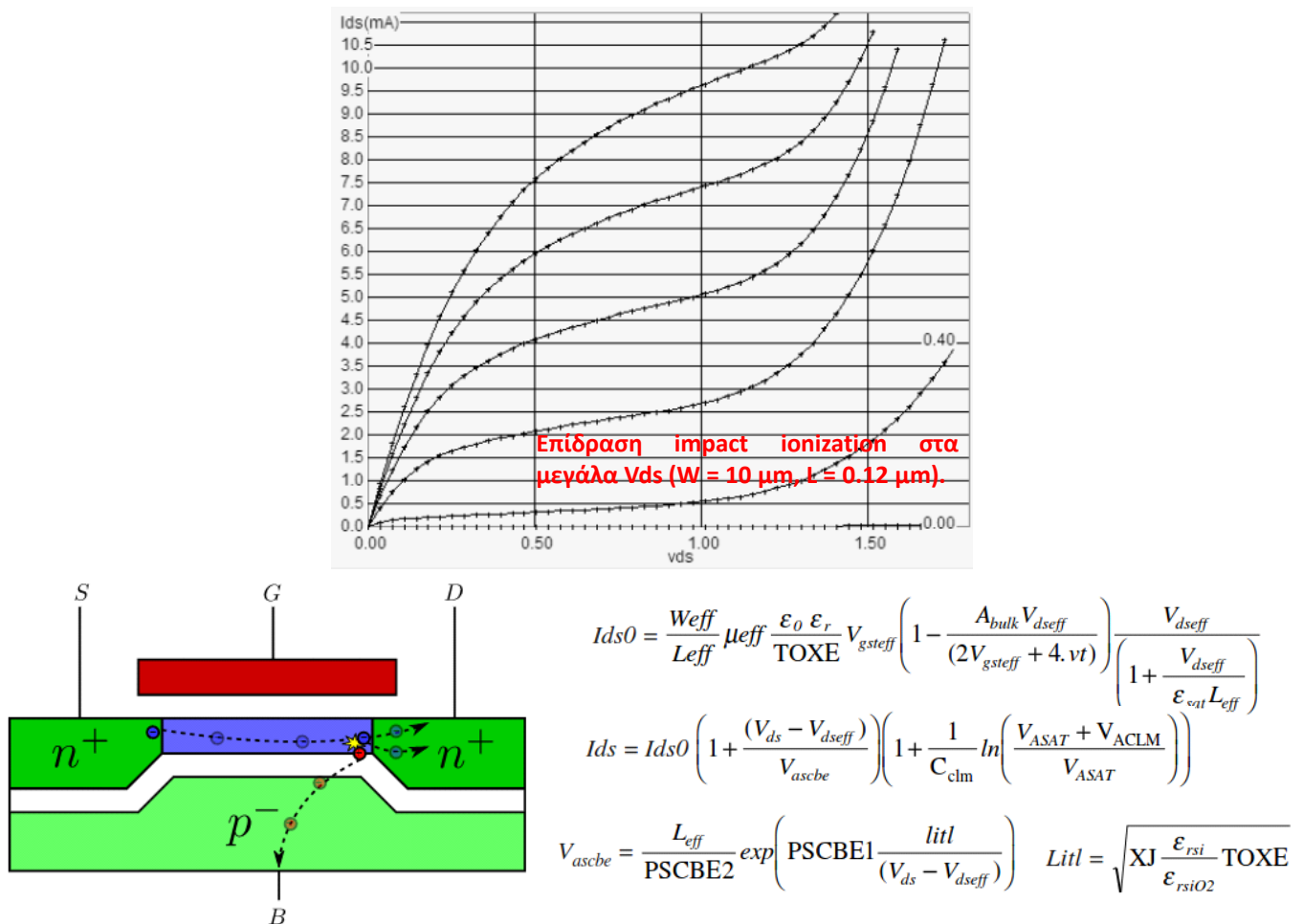


$$V_{dsat} = E_{sat} \cdot L \frac{(V_{gst_{eff}} + 2 \cdot v_t)}{(E_{sat} \cdot L + V_{gst_{eff}} + 2 \cdot v_t)}$$

$$E_{sat} = 2 \frac{V_{sat}}{\mu_{eff}}$$

$$V_{dseff} = V_{dssat} - 0.5 \left(V_{dsat} - V_{ds} - \delta + \sqrt{(V_{dsat} - V_{ds} - \delta)^2 + 4\delta \cdot V_{dsat}} \right)$$

Σχήμα 8.22 Εξομάλυνση μεταξύ γραμμικής περιοχής και περιοχής κόρου.



Σχήμα 8.23 Ιονισμός λόγω συγκρούσεων (Impact Ionization) και επίδρασή του στη χαρακτηριστική IV.

23. Παρατηρήστε το Σχήμα 8.23 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--|---|
| A. ____ Στο μοντέλο BSIM4 το ρεύμα σε όλες τις περιοχές λειτουργίας της διάταξης, | a. το I_{ds} είναι περίπου ίσο με το I_{ds0} , δηλαδή το ρεύμα χωρίς να υπάρχει ιονισμός συγκρούσεων. |
| B. ____ Ειδικά στον κώδικα του Microwind, η παράμετρος A_{bulk} έχει τη σταθερή τιμή | b. δίνεται από τη σχέση του I_{ds} . |
| C. ____ Η τελική σχέση για τον υπολογισμό του ρεύματος στις αναλογικές προσομοιώσεις | c. 1. |
| D. ____ Στην εξίσωση του I_{ds} εμφανίζονται | d. αντιστοιχεί στο ρεύμα λόγω ιονισμού σύγκρουσης φορέων (impact ionization). |
| E. ____ Ο δεύτερος παράγοντας στην εξίσωση για το I_{ds} | e. τρεις παράγοντες. |
| F. ____ Σε μεγάλες τιμές V_{ds} λόγω παραγωγής καυτών ηλεκτρονίων (hot electrons) παράγονται | f. το πάχος της περιοχής απογύμνωσης της ημιαγωγικής επαφής στην πηγή ή τον απαγωγό. |

G. ____ Η παράμετρος V_{asbe}

H. ____ Όταν το V_{asbe} είναι μεγάλο,

I. ____ Όταν το V_{asbe} είναι μεγάλο,

J. ____ Δύο παράμετροι που τροποποιούν το σχήμα της καμπύλης του ρεύματος λόγω ιονισμού συγκρούσεων

K. ____ ΧΙ είναι

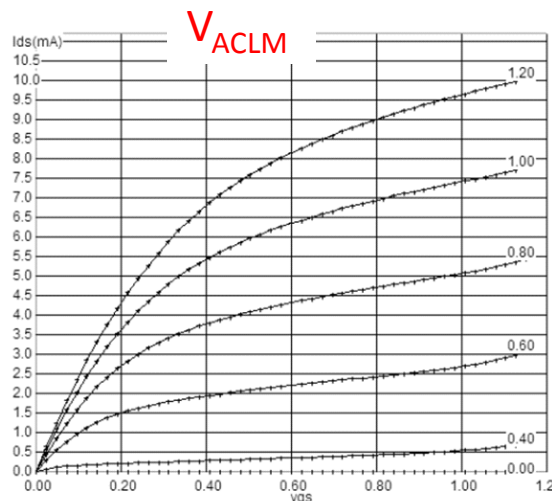
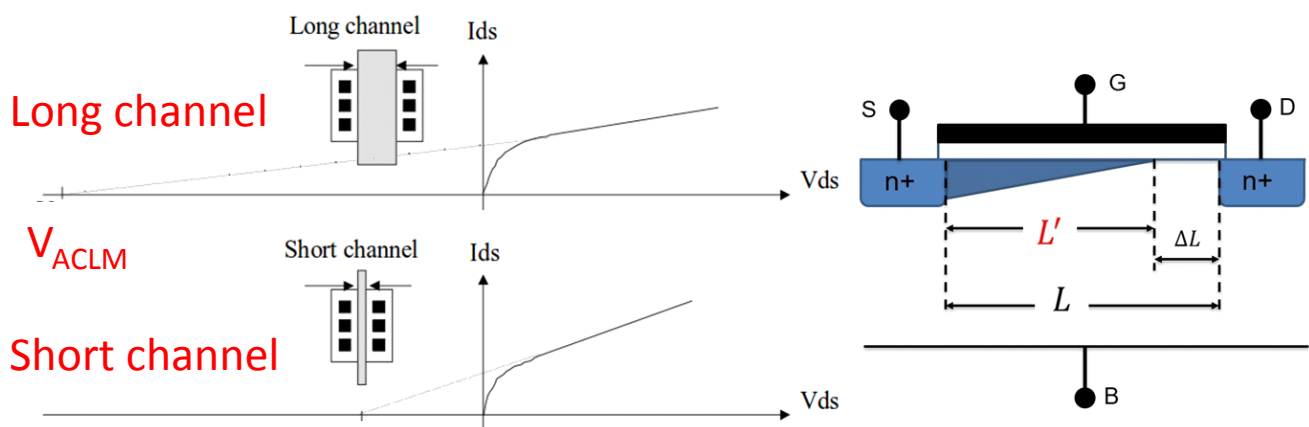
g. το σχήμα του $I_{ds}(V_{ds})$ αλλάζει στα μεγάλα V_{ds} .

h. υπολογίζεται από μία εξίσωση I_{ds0} .

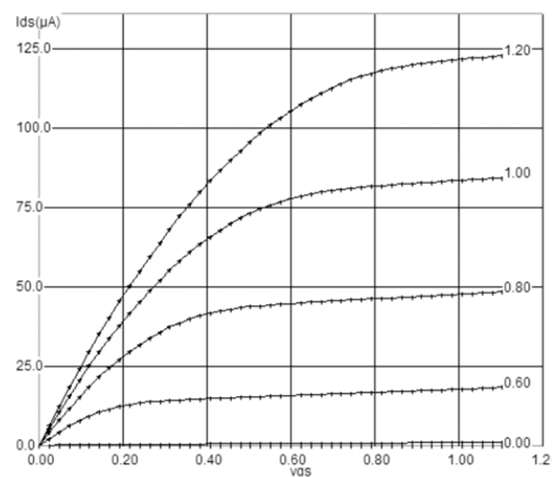
i. αντιστοιχεί στο δυναμικό μετά το οποίο γίνεται σημαντικό το φαινόμενο του ιονισμού λόγω συγκρούσεων, που οδηγεί σε αύξηση του ρεύματος.

j. λόγω συγκρούσεων με τα άτομα του πλέγματος, επιπλέον ζεύγη ηλεκτρονίων-οπών κοντά στην περιοχή του απαγωγού.

k. είναι οι PSCB1 και PSCB2.



(a) $L=0.12\mu m$, μεγάλη αύξηση $I_{ds}(V_{ds})$



(b) $L=1\mu m$, μικρή αύξηση $I_{ds}(V_{ds})$

Σχήμα 8.24 Διαμόρφωση μήκους καναλιού (Channel Length Modulation, CLM). ...συνεχίζεται.

$$I_{ds0} = \frac{W_{eff}}{L_{eff}} \mu_{eff} \frac{\epsilon_0 \epsilon_r}{TOXE} V_{gsteff} \left(1 - \frac{A_{bulk} V_{dseff}}{(2V_{gsteff} + 4V_t)} \right) \left(\frac{V_{dseff}}{1 + \frac{V_{dseff}}{\epsilon_{sat} L_{eff}}} \right)$$

$$I_{ds} = I_{ds0} \left(1 + \frac{(V_{ds} - V_{dseff})}{V_{ascbe}} \right) \left(1 + \frac{1}{C_{clm}} \ln \left(\frac{V_{ASAT} + V_{ACLM}}{V_{ASAT}} \right) \right)$$

$$C_{clm} = \frac{1}{PCLM \cdot litl} \left(l_{eff} + \frac{V_{dsat}}{\epsilon_{sat}} \right)$$

$$V_{ACLM} = C_{clm} (V_{ds} - V_{dseff})$$

$$V_{ASAT} = (\epsilon_{sat} l_{eff} + V_{DSSat}) \left(1 - \frac{A_{bulk} V_{dsat}}{2(V_{gsteff} + 2V_t)} \right)$$

Σχήμα 8.24 ...συνέχεια.

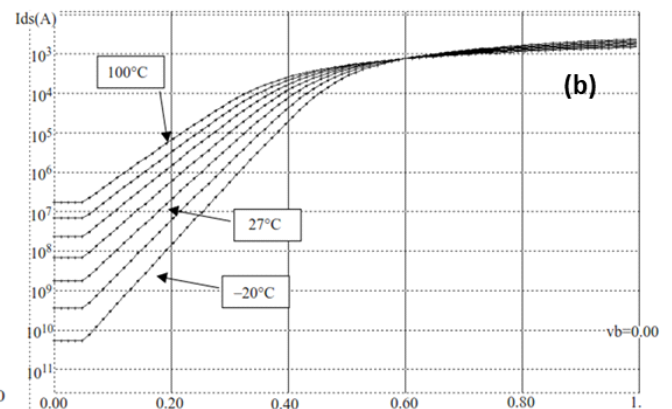
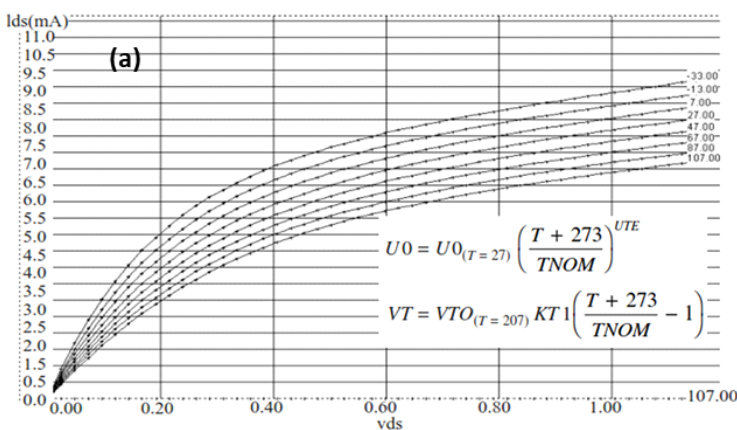
24. Παρατηρήστε το Σχήμα 8.24 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|--|---|
| A. ____ Ο τρίτος παράγοντας στην εξίσωση του ρεύματος I_{ds} | a. το ρεύμα γίνεται μηδέν για αρνητικά V_{ds} . |
| B. ____ Το δυναμικό V_{ACLM} είναι ισοδύναμο | b. είναι απλοποιημένες εκφράσεις των αρχικών εξισώσεων του μοντέλου όπως αυτό έχει αναπτυχθεί από το πανεπιστήμιο του Berkeley. |
| C. ____ Το δυναμικό Early αντιστοιχεί στο δυναμικό εκείνο για το οποίο | c. ποσοτικοποιεί το φαινόμενο διαμόρφωσης μήκους καναλιού (CLM). |
| D. ____ Για τρανζίστορ μεγάλου μήκους καναλιού, την επίδραση του CLM | d. με το δυναμικό Early. |
| E. ____ Για τρανζίστορ μεγάλου μήκους καναλιού, την επίδραση του CLM | e. είναι μικρή με αποτέλεσμα η V_{ACLM} να έχει μεγάλη τιμή. |
| F. ____ Σημειώνεται ότι οι εξισώσεις που παρουσιάζονται και αφορούν την υλοποίηση του BSIM4 στο λογισμικό Microwind, | f. είναι μεγάλη με αποτέλεσμα η V_{ACLM} να έχει μικρή τιμή. |

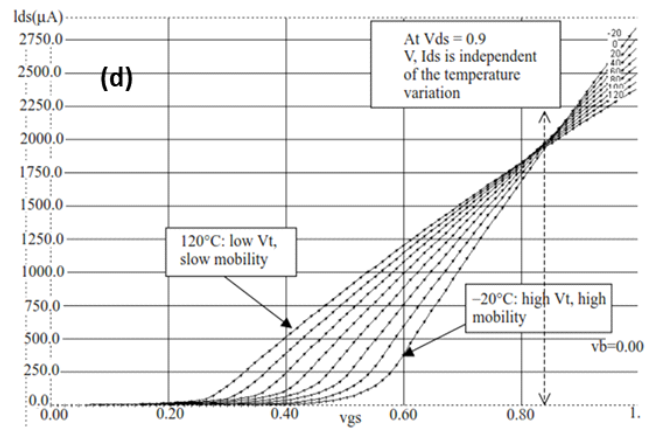
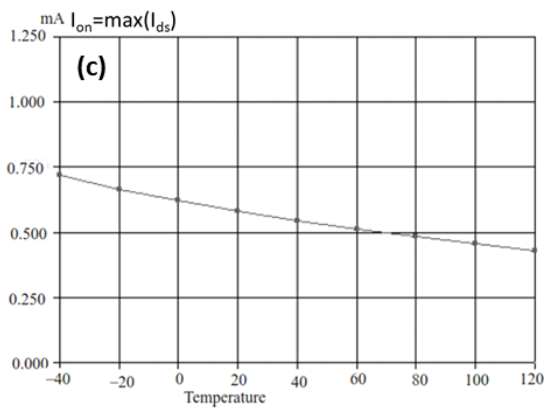
25. Παρατηρήστε το Σχήμα 8.25 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|--|--|
| A. ____ Η εξάρτηση του MOS από τη θερμοκρασία μοντελοποιείται μέσω τριών παραμέτρων, | a. το ρεύμα μειώνεται με το V_{ds} μέχρι την τιμή περίπου των 10nA, που είναι ένα πολύ μικρό ρεύμα διαρροής σε κατάσταση off για τη διάταξη. |
| B. ____ Οι παράμετροι V_{TO} και U_0 | b. προκαλεί ελάττωση της τάσης κατωφλίου. |
| C. ____ Στο Microwind, η TNOM | c. κατά τη μεταβολή μεταξύ -30°C έως και 100°C . |

- D. ____ Η UTE είναι μια αρνητική σταθερά
- E. ____ Εξ ορισμού η τιμή της $KT1$ είναι
- F. ____ Αύξηση της θερμοκρασίας προκαλεί
- G. ____ Σε μεγαλύτερες θερμοκρασίες λειτουργίας του MOS,
- H. ____ Η ελάττωση του ρεύματος είναι περίπου 40%
- I. ____ Το I_{on} ρεύμα, δηλαδή το $\max(I_{ds})$,
- J. ____ Επειδή $KT1 < 0$, αύξηση της θερμοκρασίας προκαλεί
- K. ____ Στη χαρακτηριστική IV με παράμετρο τη θερμοκρασία, υπάρχει ένα σημείο λειτουργίας
- L. ____ Στην περιοχή υπο-κατωφλίου, η επίδραση της θερμοκρασίας
- M. ____ Στην περιοχή υπο-κατωφλίου, σε χαμηλή θερμοκρασία
- N. ____ Όταν αυξάνεται η θερμοκρασία, η κλίση στην περιοχή υποκατωφλίου
- d. στο οποίο το I_{ds} είναι σχεδόν σταθερό και ανεξάρτητο από τις αλλαγές θερμοκρασίας.
- e. μειώνεται, που σημαίνει εκθετική αύξηση του I_{off} .
- f. ελαττώνονται όταν αυξάνεται η θερμοκρασία.
- g. επίσης ελαττώνεται σημαντικά με την αύξηση της θερμοκρασίας.
- h. μείωση της ευκινησίας, αφού $UTE < 0$.
- i. αντιστοιχεί σε $3000^\circ K$, δηλαδή $27^\circ C$.
- j. ίση με -1.8 στην $0.12 \mu m$ τεχνολογία.
- k. -0.06 .
- l. είναι εξαιρετικά σημαντική.
- m. το ρεύμα I_{ds} μειώνεται.
- n. της τάσης κατωφλίου V_{TO} , της ευκινησίας U_0 και της κλίσης της IV στην περιοχή υπό-κατωφλίου.



Σχήμα 8.25 Επίδραση της θερμοκρασίας στην IV χαρακτηριστική του MOS. ...συνεχίζεται.



Σχήμα 8.25. ...συνέχεια.

26. Παρατηρήστε το Σχήμα 8.26 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|---|---|
| A. ____ Η δομή MOS χαμηλής διαρροής έχει στόχο το | a. έχει υψηλό I_{off} αλλά και υψηλό I_{on} . |
| B. ____ Καθώς μειώνεται το I_{off} , | b. επειδή έχει μεγαλύτερη τάση κατωφλίου και μεγαλύτερο ενεργό μήκος καναλιού. |
| C. ____ Η δομή MOS υψηλής ταχύτητας | c. μειώνεται και το I_{on} . |
| D. ____ Η δομή MOS χαμηλής διαρροής πετυχαίνει την ελάττωση του I_{off} | d. διατάξεις MOS υψηλής ταχύτητας. |
| E. ____ Στο Microwind, η δομή MOS υψηλής ταχύτητας είναι περίπου 30% | e. που επιτρέπει τον χαρακτηρισμό του MOS που σχεδιάζουμε (π.χ. χαμηλής διαρροής ή υψηλής ταχύτητας). |
| F. ____ Κυκλώματα δέντρων ρολογιού (clock trees), διεπιφανειών διαδρομών δεδομένων (data bus interfaces) και κεντρικών μονάδων επεξεργασίας (central processing units), χρησιμοποιούν | f. ταχύτερης λειτουργίας από τη δομή MOS χαμηλής διαρροής. |
| G. ____ Όπου είναι δυνατό και κυρίως σε κυκλώματα που δεν είναι απαραίτητη μέγιστη ταχύτητα λειτουργίας, χρησιμοποιούμε | g. είναι μεγάλη. |
| H. ____ Στο Microwind υπάρχει η επιλογή option layer | h. να ελαττώσει το I_{off} ρεύμα, δηλαδή το ρεύμα που ρέει μεταξύ πηγής και απαγωγού όταν η διάταξη έχει μηδενικό δυναμικό στην πύλη της. |

I. ____ Η νόθευση στο υπόστρωμα στην περιοχή καναλιού για τη δομή MOS χαμηλής κατανάλωσης

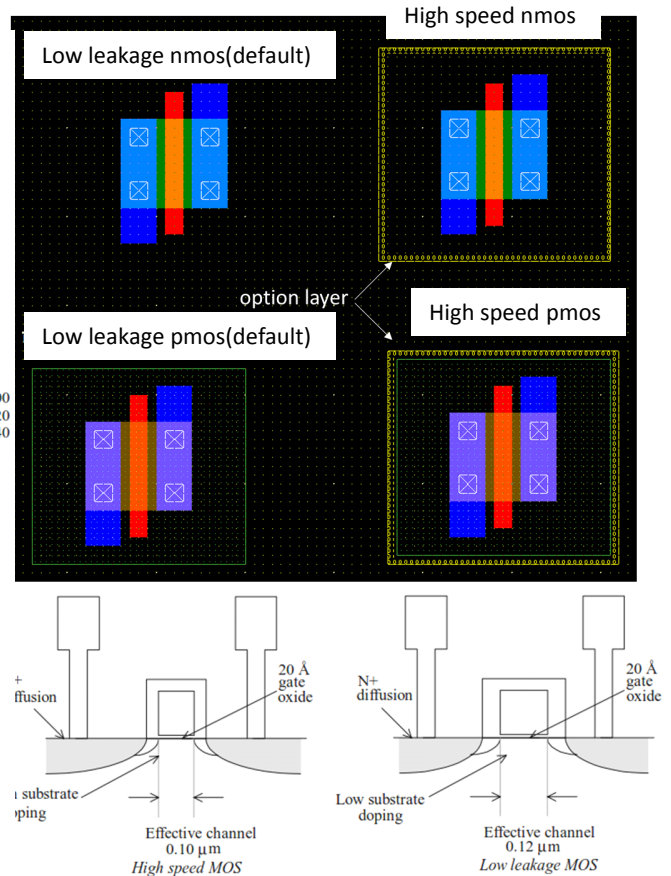
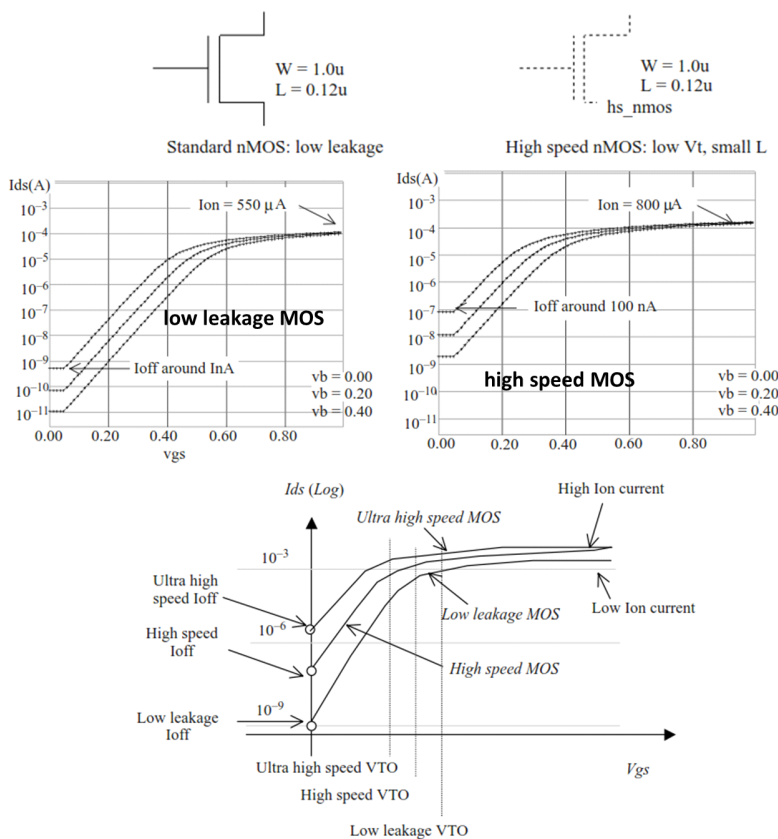
i. είναι μικρή.

J. ____ Η νόθευση στο υπόστρωμα στην περιοχή καναλιού για τη δομή MOS υψηλής ταχύτητας

j. τότε αυτή είναι εξ ορισμού χαμηλής διαρροής.

K. ____ Στο Microwind όταν εισάγουμε MOS διάταξη με επιλογή της από την παλέτα εργαλείων (mos generator),

k. διατάξεις MOS χαμηλής διαρροής.



Σχήμα 8.26 Διατάξεις MOS Μικρής Διαρροής (Low Leakage) / Υψηλής Ταχύτητας (High Speed).

27. Παρατηρήστε το Σχήμα 8.27 και κάντε τις επόμενες αντιστοιχίσεις:

A. ____ (i)

a. Ultra high speed I_{off} .

B. ____ (ii)

b. High speed I_{off} .

C. ____ (iii)

c. Low leakage I_{off} .

D. ____ (iv)

d. Ultra high speed VTO.

E. ____ (v)

e. High speed VTO.

F. ____ (vi)

f. Low leakage VTO.

G. ____ (vii)

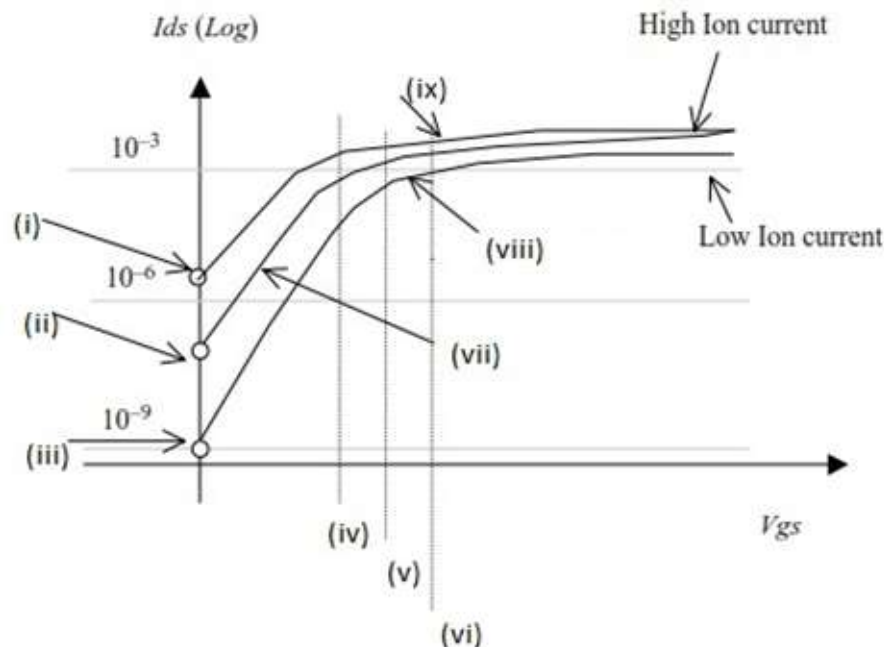
g. High speed MOS.

H. ____ (viii)

h. Low leakage MOS.

I. ____ (ix)

i. Ultra high speed MOS.



Σχήμα 8.27 IV χαρακτηριστικές MOS Models για Low-Leakage, High-Speed and Ultra-High-Speed.

28. Παρατηρήστε το Σχήμα 8.28 και κάντε τις επόμενες αντιστοιχίες:

A. ____ Οι σύγχρονες τεχνολογίες χρησιμοποιούν συχνά διατάξεις MOS που λειτουργούν με μικρή τάση παροχής

a. είναι αρκετά διαφορετική σε σχέση με το αντίστοιχο υψηλής ταχύτητας ή χαμηλής διαρροής, εξαιτίας του μεγαλύτερου μήκους καναλιού και του πλάτους του.

B. ____ Η εσωτερική λογική των ολοκληρωμένων κυκλωμάτων λειτουργεί σε

b. είναι το υμένιο επιλογής (option layer) που εισάγουμε για να υποδείξουμε ποιο είναι το υψηλής ταχύτητας.

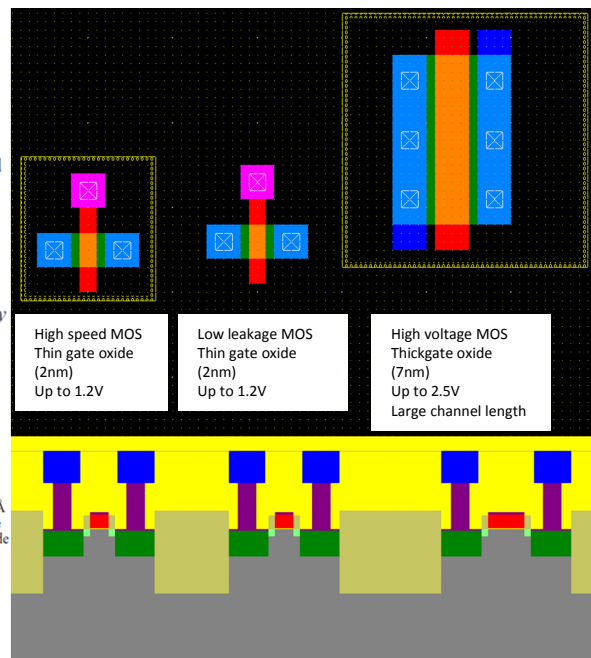
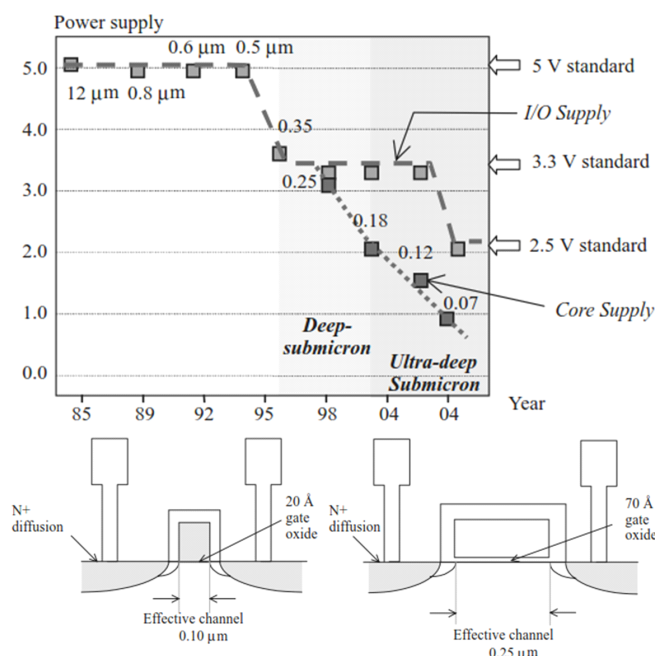
C. ____ Οι διατάξεις I/O λειτουργούν σε δυναμικά

c. δύο ή τρεις φορές μεγαλύτερο από το αντίστοιχο των διατάξεων υψηλής ταχύτητας ή χαμηλής διαρροής.

D. ____ Με την εξέλιξη της τεχνολογίας, ενώ η εσωτερική τάση λειτουργίας των διατάξεων μειώνεται,

d. για λόγους συμβατότητας, η τάση λειτουργίας των διεπιφανειών διατηρείται σε στάνταρ τιμές.

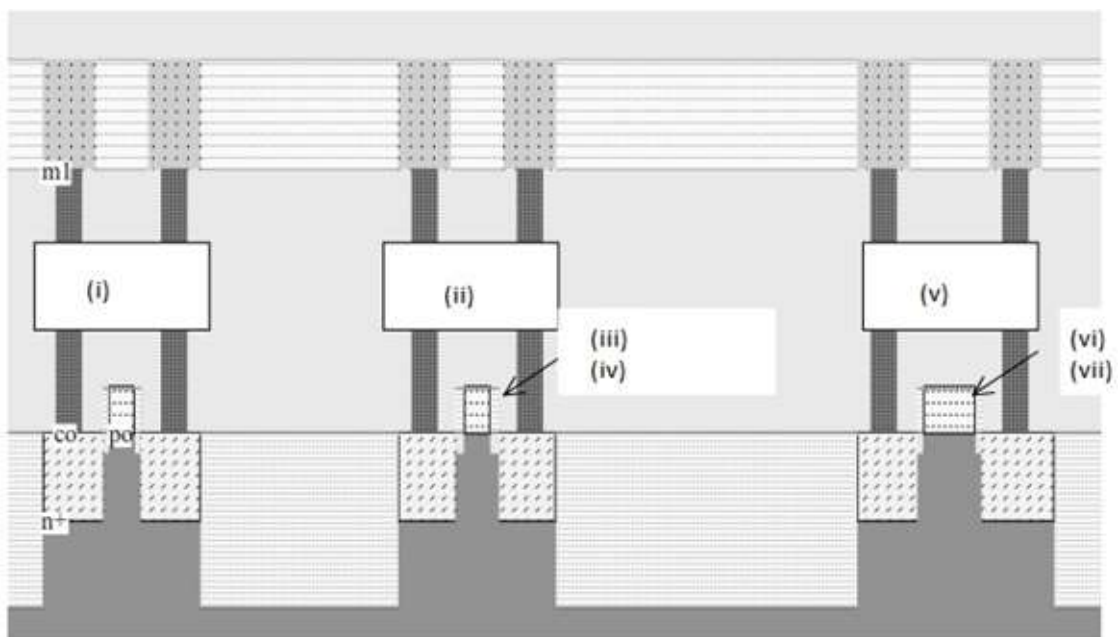
- E. ____ Οι δομές I/O μπορούν να λειτουργήσουν σε μεγαλύτερα δυναμικά, χωρίς τον κίνδυνο καταστροφής του οξειδίου πύλης, εξαιτίας
- F. ____ Δυναμικό 3V, αν εφαρμοστεί στην πύλη ενός MOS υψηλής ταχύτητας ή χαμηλής διαρροής,
- G. ____ Το πάχος του οξειδίου της πύλης των MOS υψηλού δυναμικού είναι
- H. ____ Ένα δεύτερο χαρακτηριστικό των διατάξεων MOS υψηλού δυναμικού, εκτός από το παχύ υπόστρωμα πύλης, είναι
- I. ____ Η μόνη διαφορά στη χωροθεσία MOS υψηλής ταχύτητας και χαμηλής διαρροής
- J. ____ Η χωροθεσία του MOS υψηλού δυναμικού
- e. αλλά που συνδυάζονται με διαπιφάνειες I/O υψηλών δυναμικών.
- f. 2.5, 3 ή 5V.
- g. το μεγαλύτερο μήκος καναλιού (0.25μm τουλάχιστον), σε σχέση με τις διατάξεις υψηλής ταχύτητας ή χαμηλής διαρροής.
- h. θα καταστρέψει το οξείδιο πύλης της διάταξης.
- i. χαμηλά δυναμικά, τυπικά της τάξης του 1V στην 0.12 μm τεχνολογία.
- j. του πιο παχιού στρώματος οξειδίου που έχουν από την κατασκευή τους, οπότε και χαρακτηρίζονται ως MOS υψηλού δυναμικού (high voltage MOS).



Σχήμα 8.28 Διάταξη MOS υψηλών δυναμικών (High Voltage MOS) και σύγκρισή της με τις αντίστοιχες υψηλής ταχύτητας και χαμηλής διαρροής.

29. Παρατηρήστε το Σχήμα 8.29 και κάντε τις επόμενες αντιστοιχίσεις:

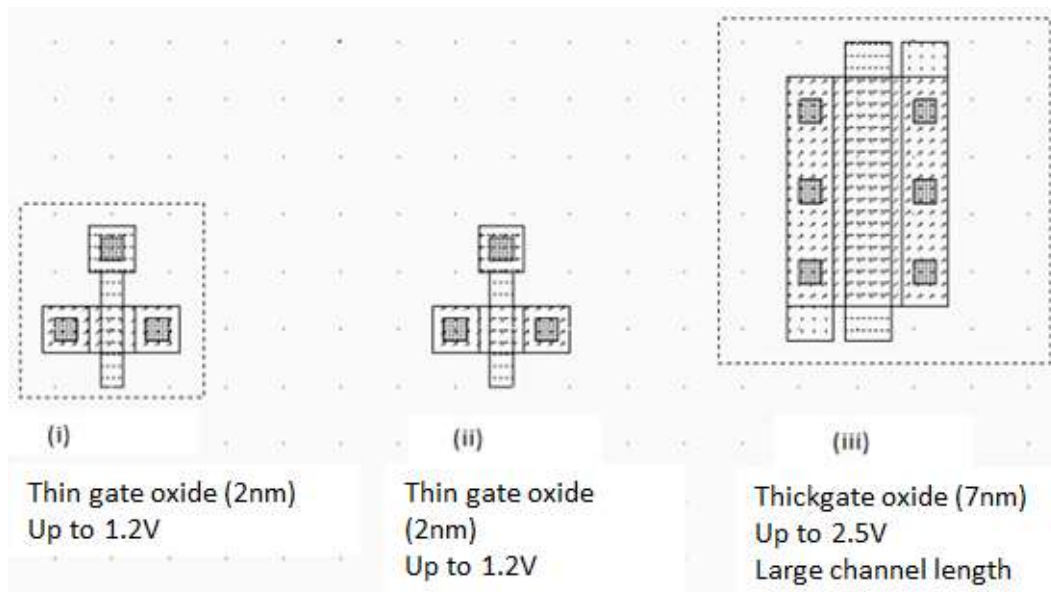
- | | |
|---------------|--------------------------------------|
| A. ____ (i) | a. Μεγαλύτεροι διαχωριστές (spacers) |
| B. ____ (ii) | b. Παχύτερο οξείδιο πύλης. |
| C. ____ (iii) | c. Μεγαλύτερο κανάλι. |
| D. ____ (iv) | d. mos χαμηλής διαρροής. |
| E. ____ (v) | e. Μικρότερο κανάλι. |
| F. ____ (vi) | f. mos υψηλού δυναμικού. |
| G. ____ (vii) | g. mos υψηλής ταχύτητας. |



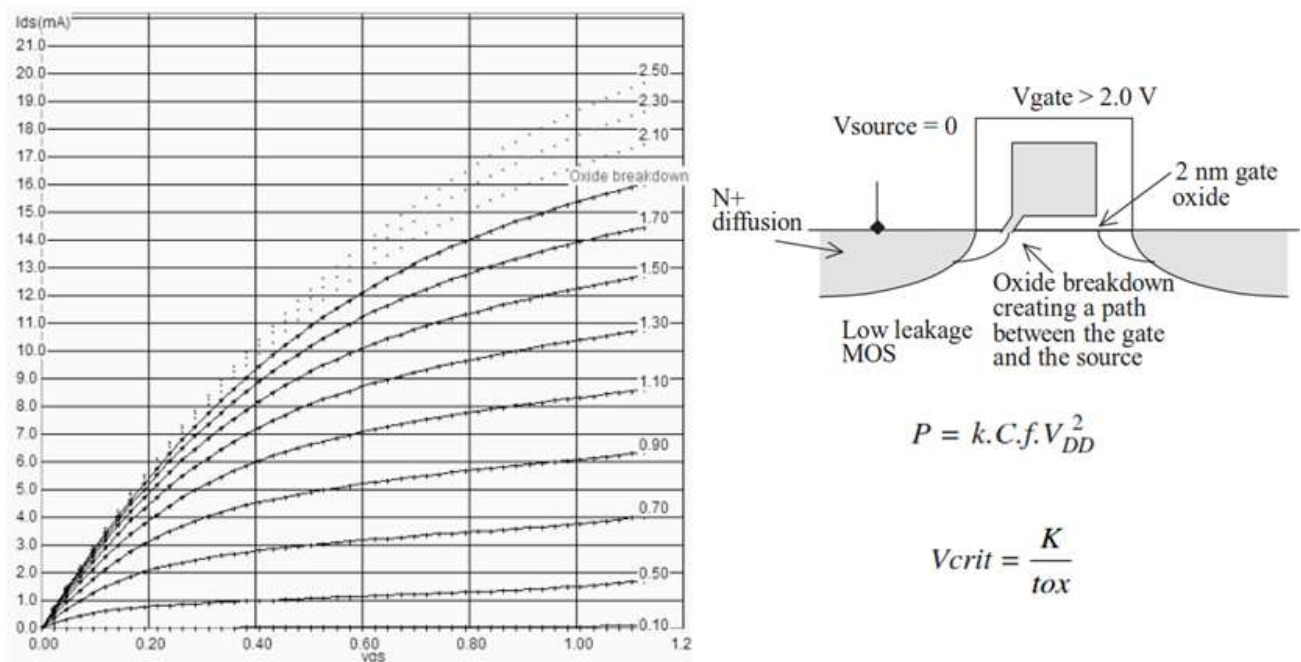
Σχήμα 8.29 Διατομή διατάξεων MOS (Χαμηλής-διαρροής, υψηλής-ταχύτητας και υψηλού-Δυναμικού).

30. Παρατηρήστε το Σχήμα 8.30 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|---------------|--|
| A. ____ (i) | a. Υψηλού -δυναμικού (High voltage mos). |
| B. ____ (ii) | b. Υψηλής-ταχύτητας (High speed mos). |
| C. ____ (iii) | c. Χαμηλής-διαρροής (Low leakage mos). |



Σχήμα 8.30 Χωροθεσία διατάξεων MOS (Χαμηλής-διαρροής, υψηλής-ταχύτητας και υψηλού-Δυναμικού).



Σχήμα 8.31 Λόγοι απαίτησης χαμηλής τάσης λειτουργίας στο MOS τρανζίστορ.

31. Παρατηρήστε το Σχήμα 8.31 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|---|---|
| A. ____ Η απαίτηση για χαμηλή κατανάλωση ισχύος από το MOS τρανζίστορ | a. K / t_{ox} . |
| B. ____ Η χαμηλή τάση παροχής ελαττώνει | b. η τάση παροχής της MOS διάταξης, σε V. |
| C. ____ Ακόμα και μια μικρή μείωση στην τάση παροχής | c. το πάχος οξειδίου σε nm. |

- D. ____ Η κατανάλωση ισχύος P σε Watt δίνεται από τη σχέση $P=$
- E. ____ k είναι μια παράμετρος τεχνολογίας
- F. ____ C είναι η συνολική χωρητικότητα σε F
- G. ____ f είναι η συχνότητα λειτουργίας
- H. ____ V_{DD} είναι
- I. ____ Αύξηση στην ταχύτητα λειτουργίας (εναλλαγής) ενός MOS διακόπτη επιτυγχάνεται
- J. ____ Το οξειδίο πύλης μπορεί να καταστραφεί
- K. ____ Η τάση πύλης V_{crit} πάνω από την οποία μπορεί να καταστραφεί το οξειδίο της πύλης, ονομάζεται
- L. ____ $V_{crit} =$
- M. ____ Η σταθερά K ονομάζεται συντελεστής κατάρρευσης και έχει τιμή κοντά στο
- N. ____ t_{ox} είναι
- O. ____ Στην τεχνολογία $0.12 \mu m$, η τάση κατάρρευσης οξειδίου είναι γύρω στα $2V$, δηλαδή
- P. ____ Η πόλωση του MOS θα πρέπει πάντα να είναι τέτοια ώστε
- Q. ____ Όταν λέμε ότι το οξειδίο πύλης καταστρέφεται, εννοούμε ότι
- R. ____ Κατανάλωση ισχύος =
- S. ____ Δυναμικό κατάρρευσης οξειδίου =
- d. την κατανάλωση ισχύος επειδή, μειώνοντας τα πλάτη των διαφόρων σημάτων στο κύκλωμα, μειώνεται το φορτίο φόρτισης και εκφόρτισης σε κάθε κόμβο του κυκλώματος.
- e. του κυκλώματος, μετρημένη σε Hz.
- f. Oxide breakdown voltage.
- g. δημιουργείται ένα μόνιμο αγώγιμο κομμάτι υλικού μεταξύ πύλης και πηγής.
- h. των κόμβων που φέρουν φορτίο (δεν λαμβάνουμε υπόψη τη χωρητικότητα των πυκνωτών απο-ζεύγωσης (decoupling)).
- i. είναι σημαντική σε εφαρμογές στα κινητά τηλέφωνα ή άλλες μεταφερόμενες διατάξεις που λειτουργούν με μπαταρία.
- j. αν η τάση στην πύλη του MOS γίνει μεγαλύτερη από μια κρίσιμη τιμή V_{crit} μετρημένη σε V.
- k. λιγότερο από το διπλό της ονομαστικής τάσης V_{DD} λειτουργίας της διάταξης ($1.2 V$).
- l. πετυχαίνει σημαντική μείωση στην καταναλισκόμενη ισχύ.
- m. με τιμή κοντά στο 0.5
- n. $k C f V_{DD}^2$.
- o. τάση κατάρρευσης οξειδίου πύλης (gate oxide breakdown voltage).
- p. με τη μείωση του πάχους του οξειδίου πύλης.
- q. MOS polarization.
- r. supply voltage.
- s. $1 V \cdot nm$.

Τ. ____ Τάση παροχής =

τ. η τάση στην πύλη του να είναι μικρότερη της V_{crit} .

Υ. ____ Πόλωση MOS =

υ. Power consumption.

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. BSIM4 website www.device.eecs.berkeley.edu.
2. Cheng, Y., & Hu, C. (1999). *MOSFET Modelling and BSIM3 user's guide*. Kluwer Academic Publishers.
3. <http://www.eia.org/eig/CMC>.
4. <http://www.tsmc.com>
5. Lee, K., Shur, M., Fjeldly, T.A., & Ytterdal, T. (1993). *Semiconductor device modelling for VLSI*. PrenticeHall. ISBN 0-13-805656-0.
6. Liu, W. (2001). *Mosfet Models for SPICE simulation including Bsim3v3 and BSIM4*. Wiley and Sons. ISBN 0-471-39697-4.
7. Schichman, S., & Hodges, D. (1968). *Modelling and simulation of insulated-gate field effect transistor switching circuits*. *IEEE J. Solid State Circuits*, Vol. 3, σσ. 285-289.
8. Shockley, W. (1952). *A Unipolar field effect transistor*. *Proceedings of IRE*, Vol 40, σσ. 1365-1376.
9. Sicard, E., & Bendhia, S.D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.
10. Sze, S.M. (1981). *Physics of semiconductor devices*. John-Wiley, ISBN 0-471-05661-11.
11. Tsividis, Y.P. (1987). *Operation and Modelling of the MOS transistor*. McGraw-Hill. ISBN 0-07-065381-X.

ΚΕΦΑΛΑΙΟ 9. CMOS ΑΝΤΙΣΤΡΟΦΕΑΣ (ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)

ΣΥΝΟΨΗ

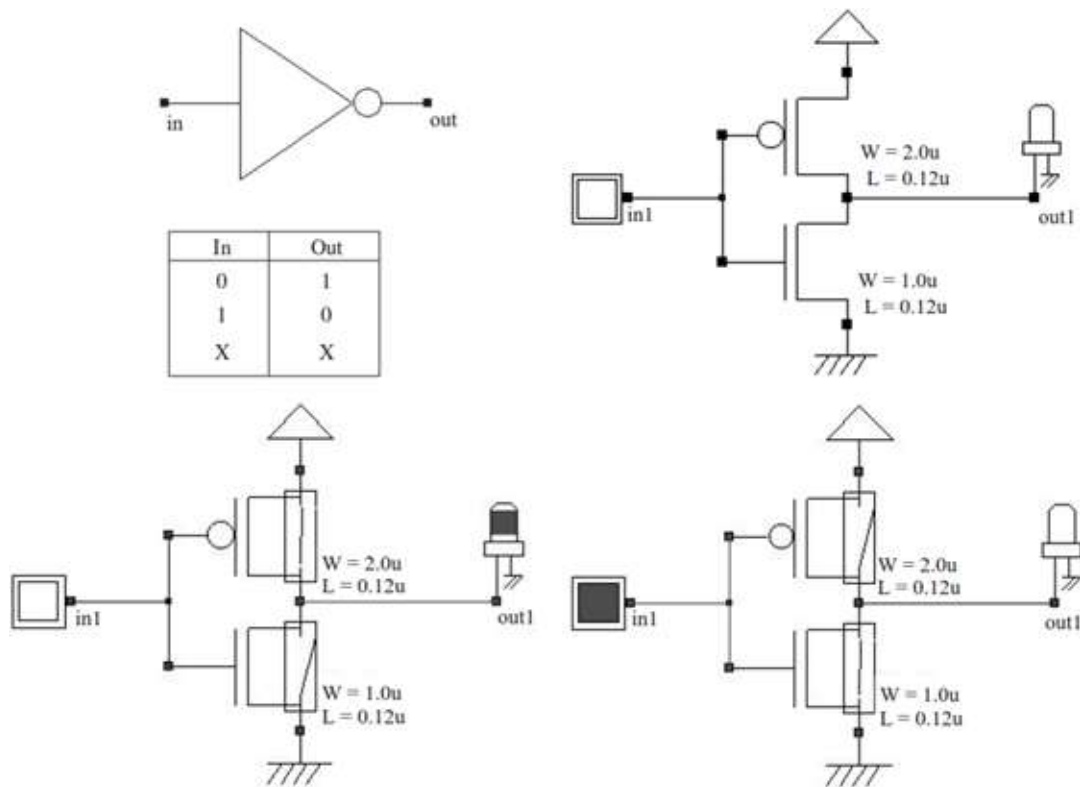
Περιλαμβάνεται πληθώρα ερωτήσεων/ασκήσεων σχετικών με τη κατασκευή, δομή και λειτουργία του cmos αντιστροφέα.

ΣΤΟΧΟΣ

- * Εμβάθυνση στη θεωρία λειτουργίας του cmos αντιστροφέα και
- * των σχετικών παρασιτικών φαινομένων που λαμβάνουν χώρα κατά τη δυναμική λειτουργία του.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Εισαγωγικά στοιχεία χρήσης λογισμικού Microwind και Dsch.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.
- * Βασικά στοιχεία χωροθεσίας cmos.
- * Διαγράμματα χρονισμού.
- * Κεφάλαιο 1, 2.

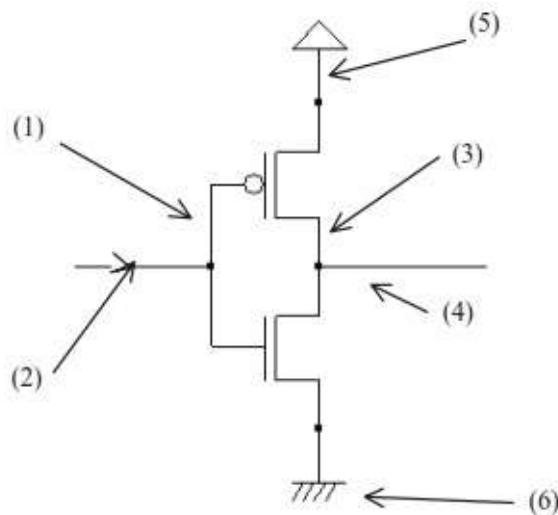


Σχήμα 9.1 Ο CMOS αντιστροφέας.

1. Παρατηρήστε το Σχήμα 9.1 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|---|--|
| A. ____ Ο αντιστροφέας είναι | a. $0.068 \text{ m}^2 / (\text{V s})$. |
| B. ____ Στον πίνακα αληθείας, το 0 αντιστοιχεί σε | b. χρησιμοποιούνται ως διακόπτες. |
| C. ____ Στον πίνακα αληθείας, το 1 αντιστοιχεί σε | c. γιατί το pMOS μπορεί να εναλλάξει το μισό ρεύμα σε σχέση με ένα nMOS του ίδιου πλάτους. |
| D. ____ Στον πίνακα αληθείας, το X αντιστοιχεί σε | d. $I_{ds(\text{nMOS})} \sim \mu_n$ και $I_{ds(\text{pMOS})} \sim \mu_p$. |
| E. ____ Floating node = | e. απροσδιόριστη τιμή. Π.χ. το δυναμικό ενός κόμβου που είναι στον αέρα (δηλ. χωρίς είσοδο). |
| F. ____ Αντιστροφέας = | f. 1.2V στην τεχνολογία 0.12μm. |
| G. ____ Αντιστροφέας με ένα pMOS και ένα nMOS | g. 0.0 V. |

- H. ____ Όταν η είσοδος του αντιστροφέα είναι σε λογικό 0, h. από το διπλάσιο του ρεύματος που παρέχει ένα pMOS με τον ίδιο λόγο W/L.
- I. ____ Όταν η είσοδος του αντιστροφέα είναι σε λογικό 1, i. $0.025 \text{ m}^2 / (\text{V s})$.
- J. ____ Δεν είναι καλή σχεδίαση να χρησιμοποιούμε το ίδιο πλάτος τόσο για το nMOS όσο και για το pMOS, j. Inverter.
- K. ____ Αν $W_{\text{nMOS}} = W_{\text{pMOS}}$ και $L_{\text{nMOS}} = L_{\text{pMOS}}$, τότε k. το pMOS είναι off, ενώ το nMOS είναι on και συνδέει την έξοδο με τη V_{SS} , οπότε η έξοδος βρίσκεται σε λογικό 0.
- L. ____ $\mu_n =$ l. κόμβος χωρίς σύνδεση (στον "αέρα").
- M. ____ $\mu_p =$ m. aspect ratio.
- N. ____ Το ρεύμα που παρέχει ένα nMOS είναι περισσότερο n. η πιο σημαντική πύλη της ψηφιακής σχεδίασης.
- O. ____ Το W/L (λόγος διαστάσεων) στα αγγλικά είναι o. του nMOS και pMOS να είναι περίπου τα ίδια ώστε να μην έχουμε σημαντικές διαφοροποιήσεις κατά τις εναλλαγές από 0 σε 1 ή από 1 σε 0.
- P. ____ Συνήθως η σχεδίαση του αντιστροφέα γίνεται έτσι ώστε τα ρεύματα p. το nMOS είναι off, ενώ το pMOS είναι on και περνά την τάση V_{DD} στην έξοδο, οπότε αυτή βρίσκεται σε λογικό 1.



Σχήμα 9.2 Συνδέσεις στον CMOS αντιστροφέα.

2. Παρατηρήστε το Σχήμα 9.2 και κάντε τις επόμενες αντιστοιχίσεις:

A. ____ (1)

B. ____ (2)

C. ____ (3)

D. ____ (4)

E. ____ (5)

F. ____ (6)

a. Σύνδεση στην τροφοδοσία V_{DD} .

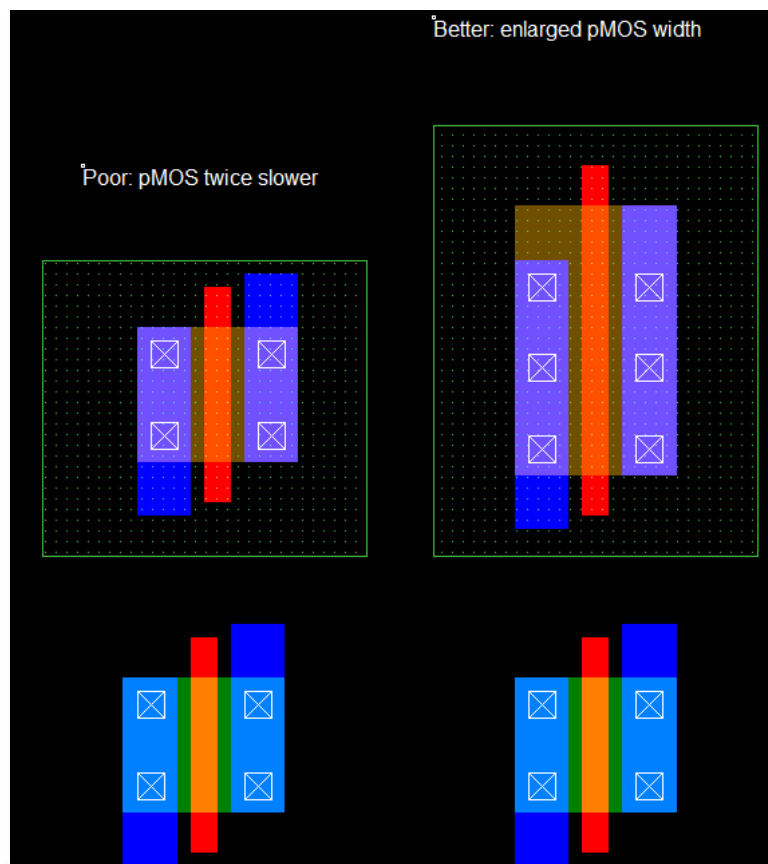
b. Γέφυρα εξόδου μεταξύ nmos και pmos.

c. Σύνδεση στη γείωση.

d. Σύνδεση εισόδου.

e. Γέφυρα εισόδου μεταξύ nmos και pmos.

f. Σύνδεση εξόδου.



$$I_{ds}(Nmos) \approx \epsilon_0 \epsilon_r \frac{\mu_n}{TOX} \frac{W_{Nmos}}{L_{Nmos}} f(V_d, V_g, V_s, V_b)$$

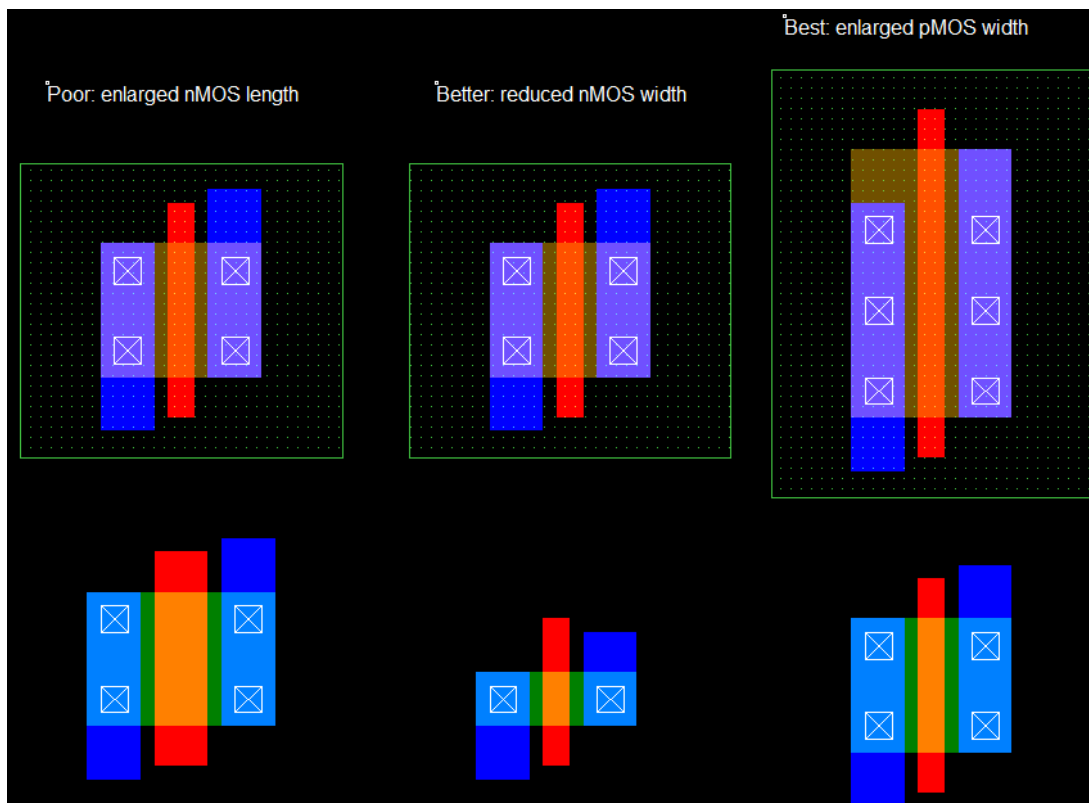
$$\mu_n = 0.068 \text{ m}^2/\text{v.s} \quad \text{for electrons}$$

$$I_{ds}(Pmos) \approx \epsilon_0 \epsilon_r \frac{\mu_p}{TOX} \frac{W_{Pmos}}{L_{Pmos}} f(V_d, V_g, V_s, V_b)$$

$$\mu_p = 0.025 \text{ m}^2/\text{v.s} \quad \text{for holes}$$

Σχήμα 9.3 Χωροθεσία CMOS αντιστροφέα με pmos διπλάσιου πλάτους από το αντίστοιχο nmos.

3. Παρατηρήστε το Σχήμα 9.3. Γιατί η δεξιά χωροθεσία είναι καλύτερη για τη λειτουργία του αντιστροφέα;



Σχήμα 9.4 Τεχνικές σχεδίασης που αντισταθμίζουν τη διαφορά στην ευκινησία ηλεκτρονίων - οπών.

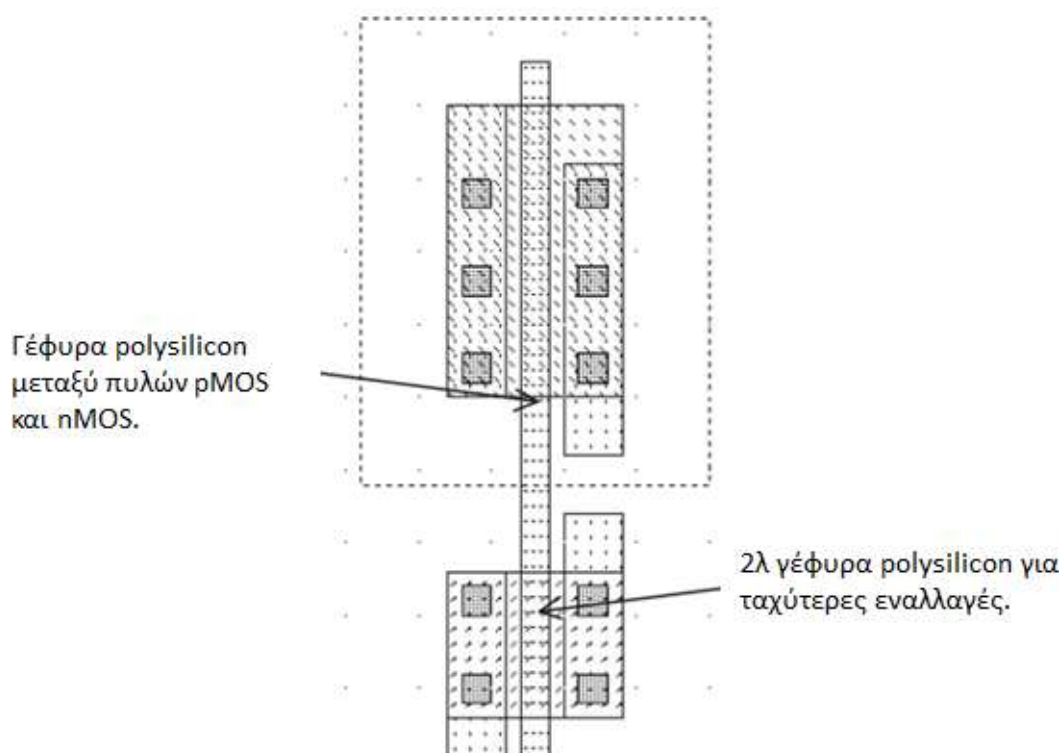
4. Παρατηρήστε το Σχήμα 9.4 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--|---|
| A. ____ Το μειονέκτημα της σχεδίασης όπου το μήκος καναλιού του nmos είναι μεγαλύτερο του αντίστοιχου του pmos | a. είναι η δαπάνη σε επιφάνεια πυριτίου. |
| B. ____ Η σχεδίαση όπου το πλάτος του nmos είναι μικρότερο από το πλάτος του pmos | b. τα ρεύματα I_{on} και των δύο διατάξεων είναι περίπου ίδια. |
| C. ____ Η καλύτερη τεχνική σχεδίασης του αντιστροφέα | c. επιβραδύνει την ταχύτητα εναλλαγής του (switching). |
| D. ____ Η ελάττωση του πλάτους του nmos | d. είναι αυτή όπου το pmos έχει μεγαλύτερο πλάτος (περίπου διπλάσιο) από το nmos. |
| E. ____ Για $(W/L)_{pmos}$ περίπου διπλάσιο του $(W/L)_{nmos}$ | e. δαπανά λιγότερη επιφάνεια πυριτίου. |

5. Παρατηρήστε το Σχήμα 9.5 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--|---------------------------------------|
| A. ____ Στα CMOS κυκλώματα οι συνδέσεις γίνονται | a. συνδέονται με poly. |
| B. ____ Το μέταλλο είναι | b. πολύ καλύτερος αγωγός από το poly. |

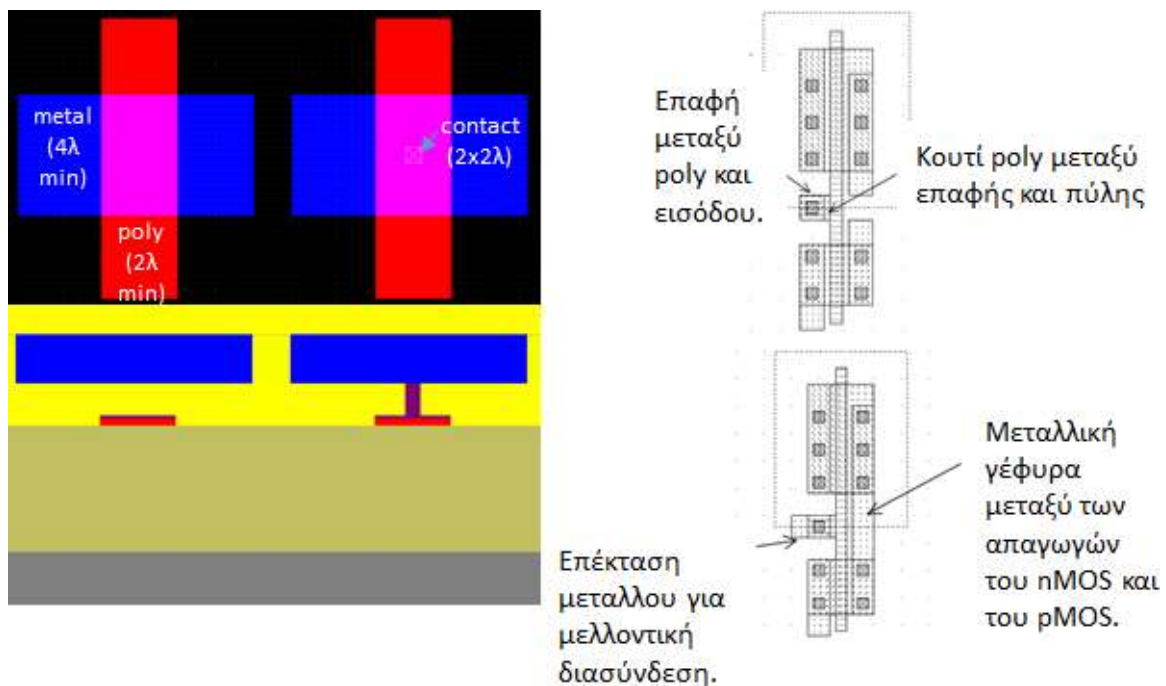
- C. ____ Poly είναι συντομογραφία για το
- D. ____ Το poly χρησιμοποιείται μόνο για
- E. ____ Το poly σπάνια χρησιμοποιείται για μακριές διασυνδέσεις,
- F. ____ Στον αντιστροφέα οι πύλες των δύο τρανζίστορ του
- G. ____ Πάνω στο poly επίπεδο του αντιστροφέα πρέπει
- c. να συνδεθεί το σήμα εισόδου του αντιστροφέα, ώστε να ελέγχει τις πύλες των δύο τρανζίστορ.
- d. εκτός και αν θέλουμε να δημιουργήσουμε πολύ μεγάλες αντιστάσεις στο κύκλωμα.
- e. polysilicon.
- f. διασυνδέσεις πυλών τρανζίστορ μεταξύ τους.
- g. με μέταλλο και με polylicon.



Σχήμα 9.5 Σύνδεση nMOS και pMOS στον αντιστροφέα μέσω γέφυρας από polysilicon.

6. Παρατηρήστε το Σχήμα 9.6 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:
- A. T F Το επίπεδο μετάλλου είναι υψηλότερο από το επίπεδο poly στα κυκλώματα.
- B. T F Η επαφή μεταξύ μετάλλου και polysilicon γίνεται με διάνοιξη τρύπας από το μέταλλο μέχρι το επίπεδο του poly και εισαγωγή μετάλλου εντός.
- C. T F Η σύνδεση εισόδου του αντιστροφέα γίνεται με μέταλλο.
- D. T F Το polysilicon είναι μονωτής.
- E. T F Η ελάχιστη επιτρεπτή διάσταση του μετάλλου είναι 4 λ.

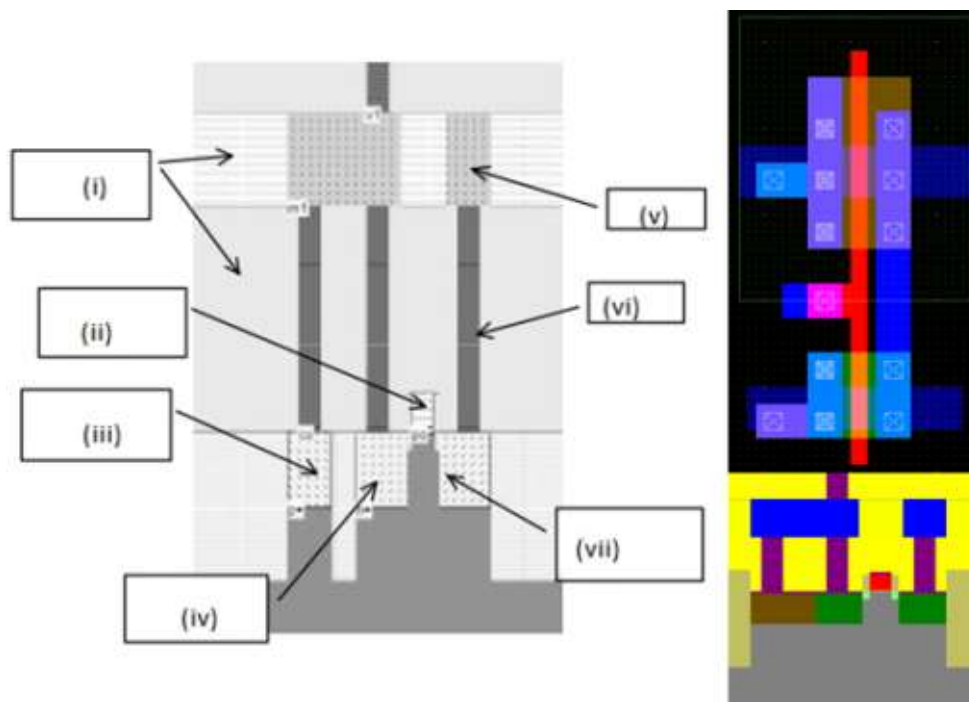
- F. T F Η ελάχιστη επιτρεπτή διάσταση του polysilicon είναι 2 λ.
- G. T F Το polysilicon δεν χρησιμοποιείται ποτέ για τη δημιουργία μακρινών διαδρομών.
- H. T F Μέταλλο και polysilicon διαχωρίζονται με στρώμα οξειδίου του πυριτίου για να είναι μονωμένα.
- I. T F Επειδή το poly δεν είναι πολύ καλός αγωγός, μεταλλικά υμένα χρησιμοποιούνται για τις συνδέσεις των σημάτων και τις συνδέσεις των κυκλωμάτων με τις παροχές τροφοδοσίας.
- J. T F Στη σχεδίαση χωροθεσίας πρέπει πρώτα να σχεδιάζω το poly και μετά το metal.
- K. T F Για τη διασύνδεση μετάλλου με polysilicon στη σχεδίαση, απλά πρέπει να σχεδιάσω τα δύο στρώματα σε τομή μεταξύ τους.



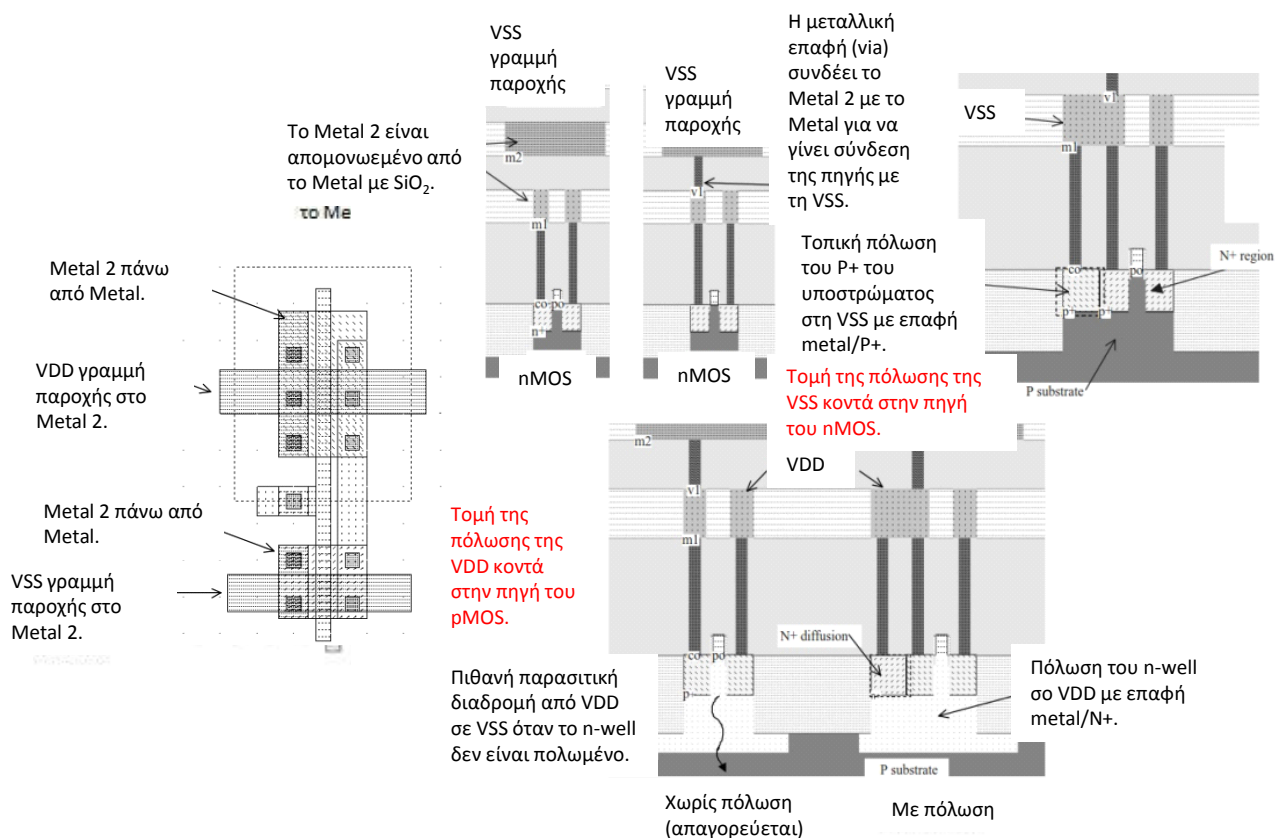
Σχήμα 9.6 Επαφή μετάλλου με polysilicon.

7. Παρατηρήστε το Σχήμα 9.7 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|---------------|-------------------------------------|
| A. ____ (i) | a. Thick oxide (SiO_2) |
| B. ____ (ii) | b. Ground polarization |
| C. ____ (iii) | c. nmos gate (polysilicon) |
| D. ____ (iv) | d. Metal 1 |
| E. ____ (v) | e. Drain (N^+ diffusion) |
| F. ____ (vi) | f. Source (N^+ diffusion) |
| G. ____ (vii) | g. Contact |



Σχήμα 9.7 Διατομή κοντά στο nmos του αντιστροφέα.



Σχήμα 9.8 Επαφές παροχής στη χωροθεσία του αντιστροφέα.

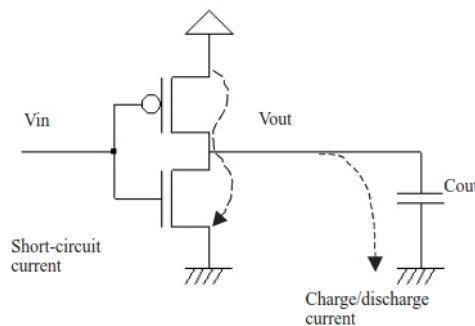
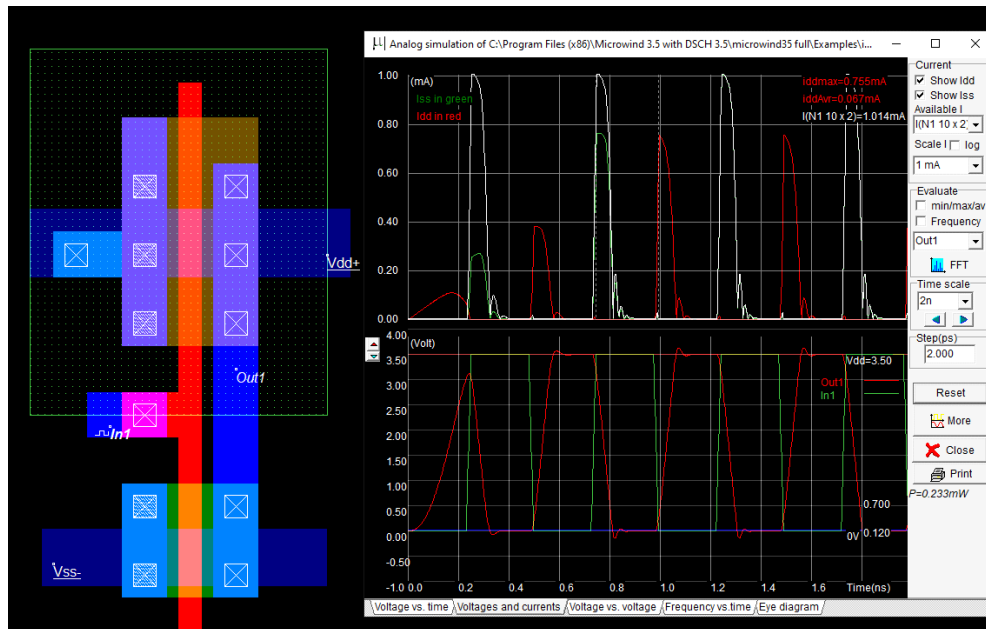
8. Παρατηρήστε το Σχήμα 9.8 και επιλέξτε (T) rue ή (F) alse για τις επόμενες διατυπώσεις:

- A. T F Οι μεταλλικές συνδέσεις έχουν μεγάλο πλάτος, γιατί από αυτές περνούν ισχυρά ρεύματα που τροφοδοτούν το κύκλωμα.

- B. T F Η σύνδεση της τροφοδοσίας σε ένα κύκλωμα γίνεται με μέταλλο 2ου επιπέδου.
- C. T F Οι μεταλλικές συνδέσεις έχουν μεγάλο πλάτος.
- D. T F Αν δεν πολώσουμε την περιοχή n-πηγαδιού με τη V_{DD} , τότε μπορεί να συμβεί το φαινόμενο μανδάλωσης (latchup).
- E. T F Μπορούμε να χρησιμοποιήσουμε το metal 2 (2ο επίπεδο μετάλλου) ώστε να δημιουργήσουμε μια οριζόντια μεταλλική λωρίδα στην οποία να συνδέσουμε το δυναμικό παροχής.
- F. T F Η σύνδεση της τροφοδοσίας σε ένα κύκλωμα πρέπει να γίνεται στο επίπεδο μετάλλου που χρησιμοποιεί το κύκλωμα για τις άλλες διασυνδέσεις του.
- G. T F Η σύνδεση metal 2 με metal γίνεται μέσω μίας επαφής (via) που ενώνει κατακόρυφα με μέταλλο υψηλής αγωγιμότητας τα δύο επίπεδα μετάλλου.
- H. T F Η σύνδεση της τροφοδοσίας σε ένα κύκλωμα γίνεται πάντα από ανώτερο επίπεδο μετάλλου.
- I. T F Η περιοχή n-πηγαδιού πρέπει πάντα να είναι πολωμένη σε υψηλό δυναμικό ώστε να αποφεύγουμε την περίπτωση βραχυκυκλώματος μεταξύ V_{DD} και V_{SS} .
- J. T F Η προσθήκη πόλωσης στη V_{DD} για την περιοχή n-πηγαδιού είναι αυστηρός σχεδιαστικός κανόνας.
- K. T F Τα διάφορα επίπεδα μετάλλου είναι μεταξύ τους απομονωμένα μέσω παχιών στρωμάτων οξειδίου του πυριτίου.
- L. T F Για να αποφύγουμε μεταβολές του I_{on} με την V_{BS} είναι χρήσιμο να έχουμε πολώσει τα τρναζίστορ με κατάλληλες ανάστροφα πολωμένες επαφές ημιαγωγού (στη V_{SS} το nMOS, στη V_{DD} το pMOS).
- M. T F Καλό είναι να πολώνουμε τις ημιαγωγικές επαφές των σωμάτων των nmos και pmos αλλά όχι απαραίτητο.
- N. T F Το σώμα του nmos πρέπει οπωσδήποτε να πολωνεται στην V_{SS} , ενώ αντίστοιχη πόλωση για το pmos στην V_{DD} δεν είναι απαραίτητη.
- O. T F Απαγορεύεται να αφήνουμε την περιοχή n-πηγαδιού χωρίς πόλωση.
- P. T F Latchup προκύπτει όταν η επαφή p/n+ μεταξύ υποστρώματος και n-well στο pmos πολωθεί ορθά. Τότε δημιουργείται βραχυκύκλωμα μεταξύ V_{DD} και V_{SS} .
- Q. T F Αυξάνοντας το πλάτος των γραμμών μετάλλου μειώνει την αντίστασή τους και έτσι αποφεύγουμε την ηλεκτρική υπερφόρτωσή του που οδηγεί στο φαινόμενο της ηλεκτρομετανάστευσης.
- R. T F Η περιοχή γύρω από τον nmos πρέπει να πολώνεται στην V_{SS} .
- S. T F Το metal 2 που το συνδέουμε με την τροφοδοσία πάνω από τον αντιστροφέα, πρέπει να συνδεθεί φυσικά με αυτόν με επαφή τύπου metal/metal 2.

9. Παρατηρήστε το Σχήμα 9.9. Αν $in = 00101$, ποιες τιμές θα πάρουμε στην inv ;

- A. ____ (i) a. $In1 = 1$
- B. ____ (ii) b. (ii)
- C. ____ Η Out1 αυξάνεται από V_{SS} μέχρι V_{DD} . c. (i)
- D. ____ Η Out1 μειώνεται από V_{DD} σε V_{SS} . d. $In1 = 0$

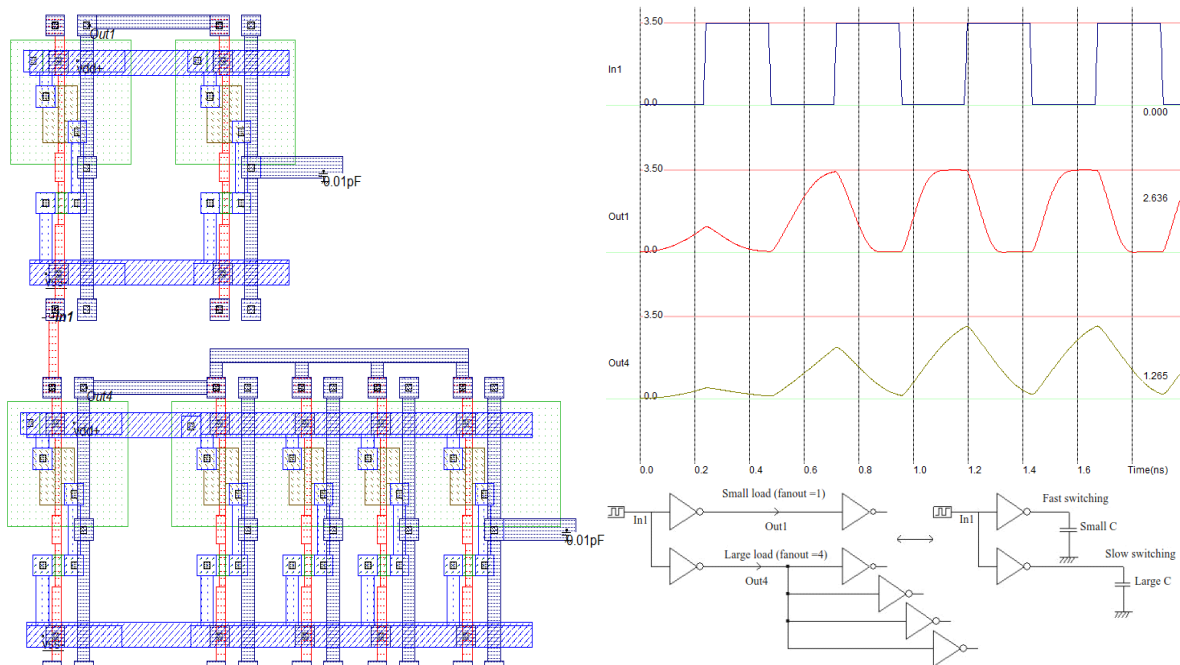


Σχήμα 9.12 Ρεύμα συναρτήσεως του χρόνου κατά τη λειτουργία του αντιστροφέα.

12. Παρατηρήστε το Σχήμα 9.12 και επιλέξτε (T) rue ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F Όταν το φορτίο είναι μικρό, είναι πιο σημαντική η ισχύς βραχυκυκλώσεως.
- B. T F Όταν το φορτίο είναι πολύ μεγάλο, δηλαδή η χωρητικότητα εξόδου είναι πολύ μεγάλη, τότε ο αντιστροφέας δεν καταναλώνει ισχύ κατά τις εναλλαγές λογικών τιμών στην είσοδό του.
- C. T F Ο αντιστροφέας δεν καταναλώνει ισχύ όταν λειτουργεί.
- D. T F Ο αντιστροφέας καταναλώνει ισχύ φόρτισης ή εκφόρτισης ανάλογα με τη χωρητικότητα του καλωδίου εξόδου.
- E. T F Όταν το φορτίο είναι πολύ μεγάλο, δηλαδή η χωρητικότητα εξόδου είναι πολύ μεγάλη, τότε πιο σημαντική είναι η ισχύς φόρτου.

- F. T F Η κατανάλωση ρεύματος είναι σημαντική μόνο σε μικρές χρονικές περιόδους που αντιστοιχούν στον χρόνο φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου.
- G. T F Ο αντιστροφέας καταναλώνει ισχύ βραχυκυκλώσεως (short-circuit power) λόγω της στιγμιαίας ανάπτυξης ρεύματος βραχυκύκλωσης μεταξύ V_{DD} και V_{SS} , όταν και τα δύο τρανζίστορ είναι μεταξύ on και off κατάστασης.
- H. T F Κατανάλωση ισχύος συμβαίνει κυρίως κατά τις εναλλαγές της εξόδου από 0 σε 1 ή από 1 σε 0.
- I. T F Όταν δεν έχουμε πολλές εναλλαγές στις τιμές της εισόδου του αντιστροφέα, το ρεύμα μέσω των τρανζίστορ είναι σχεδόν μηδενικό.
- J. T F Όταν έχουμε εναλλαγές στη λογική της εισόδου του αντιστροφέα, το ρεύμα μέσω των τρανζίστορ είναι σχεδόν μηδενικό.
- K. T F Όταν δεν έχουμε εναλλαγές, το ρεύμα μέσω των τρανζίστορ είναι σχεδόν μηδενικό.
- L. T F Ο αντιστροφέας καταναλώνει ισχύ φόρτισης ή εκφόρτισης ανεξάρτητη της χωρητικότητας του καλωδίου εξόδου.

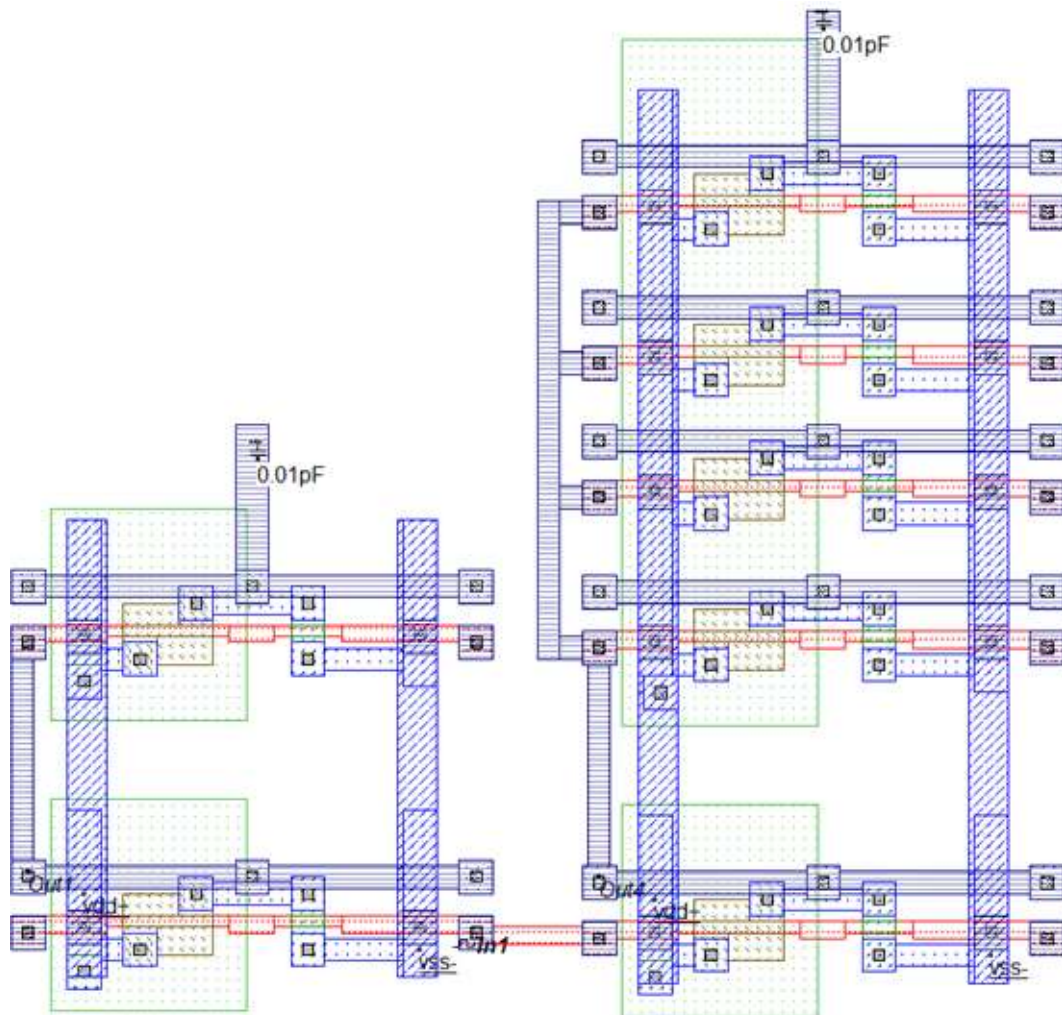


Σχήμα 9.13 Καθυστερήσεις στην εναλλαγή αντιστροφέα ανάλογα με την οδήγηση (fanout).

13. Παρατηρήστε το Σχήμα 9.13 και επιλέξτε (T) rue ή (F)alse για τις επόμενες διατυπώσεις:

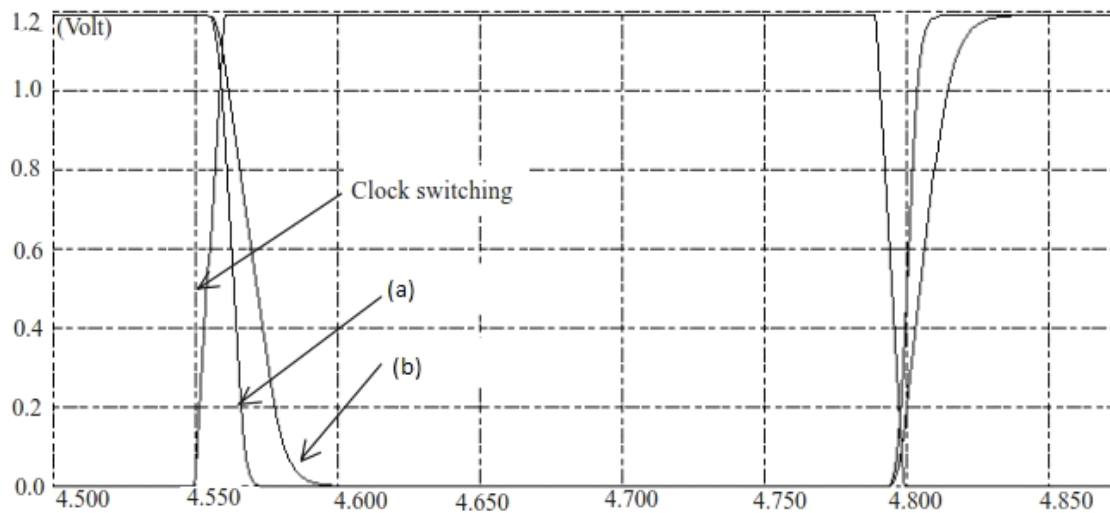
- A. T F Το fanout ενός κυκλώματος είναι ένας αριθμός που αντιστοιχεί στο πλήθος των πυλών που είναι συνδεδεμένες άμεσα με την έξοδο του κυκλώματος.
- B. T F Μεγάλο fanout σημαίνει σύνδεση στην έξοδο του κυκλώματος πολλών άλλων πυλών.
- C. T F Το fanout ενός κυκλώματος είναι ένας αριθμός που αντιστοιχεί στο πλήθος των πυλών που είναι συνδεδεμένες άμεσα με την είσοδο του κυκλώματος.
- D. T F Μεγάλο fanout σημαίνει μεγάλη χωρητικότητα εξόδου.
- E. T F Όταν το πλήθος των πυλών που είναι συνδεδεμένες στην έξοδο του αντιστροφέα αυξάνεται, τότε μειώνεται η χωρητικότητα του κόμβου εξόδου.

- F. T F Μεγάλο fanout σημαίνει μικρή χωρητικότητα εξόδου.
- G. T F Όταν το πλήθος των πυλών που είναι συνδεδεμένες στην έξοδο του αντιστροφέα αυξάνεται, τότε αυξάνεται η χωρητικότητα του κόμβου εξόδου.



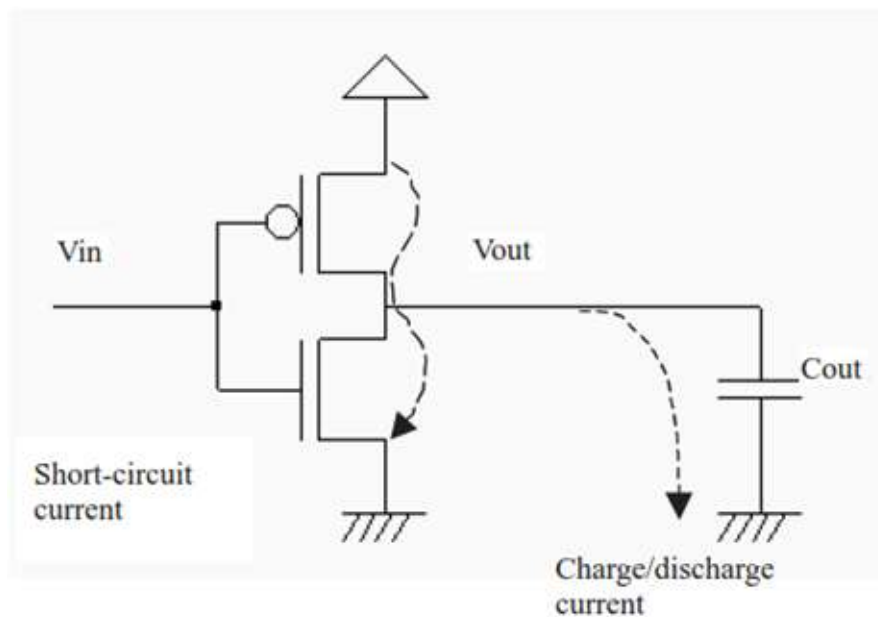
Σχήμα 9.14. Σε ποια έξοδο (Out1 ή Out4) θα έχουμε μεγαλύτερες καθυστερήσεις εναλλαγής και γιατί;

14. Παρατηρήστε το Σχήμα 9.14. Σε ποια έξοδο (Out1 ή Out4) θα έχουμε μεγαλύτερες καθυστερήσεις εναλλαγής και γιατί;



Σχήμα 9.15 Επίδραση της χωρητικότητας εξόδου στην καθυστέρηση εναλλαγής. Παρουσιάζονται οι έξοδοι δύο αντιστροφέν με διαφορετικά fanout. Ποια περίπτωση αντιστοιχεί σε μεγαλύτερο fanout και γιατί;

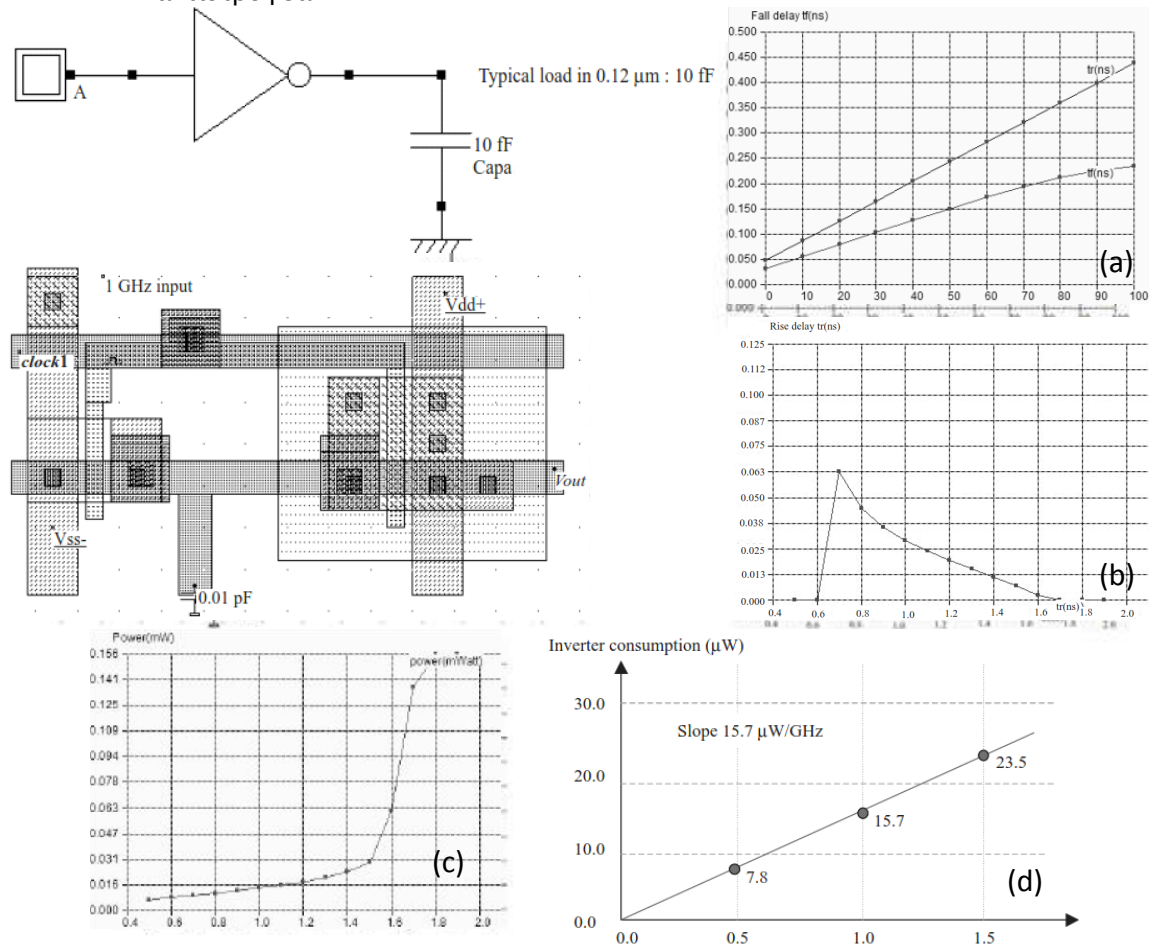
15. Παρατηρήστε το Σχήμα 9.15. Παρουσιάζονται οι έξοδοι δύο αντιστροφέν με διαφορετικά fanout. Ποια περίπτωση αντιστοιχεί σε μεγαλύτερο fanout και γιατί;



Σχήμα 9.16 Κατανάλωση ισχύος στον αντιστροφέα.

16. Παρατηρήστε το Σχήμα 9.16 και επιλέξτε (T)ue ή (F)alse για τις επόμενες διατυπώσεις:
- A. T F Η P εξαρτάται γραμμικά από τη συχνότητα f λειτουργίας του ρολογιού εναλλαγής της εισόδου του αντιστροφέα.
 - B. T F Ο υπολογισμός της κατανάλωσης ισχύος P στο Microwind γίνεται ως η μέση τιμή του γινομένου της τάσης παροχής V_{DD} επί το ρεύμα παροχής I_{DD} σε κάθε χρονικό βήμα της προσομοίωσης.
 - C. T F Η P εξαρτάται από την τάση V_{DD} παροχής.
 - D. T F Η P εξαρτάται τετραγωνικά από την τάση V_{DD} παροχής.

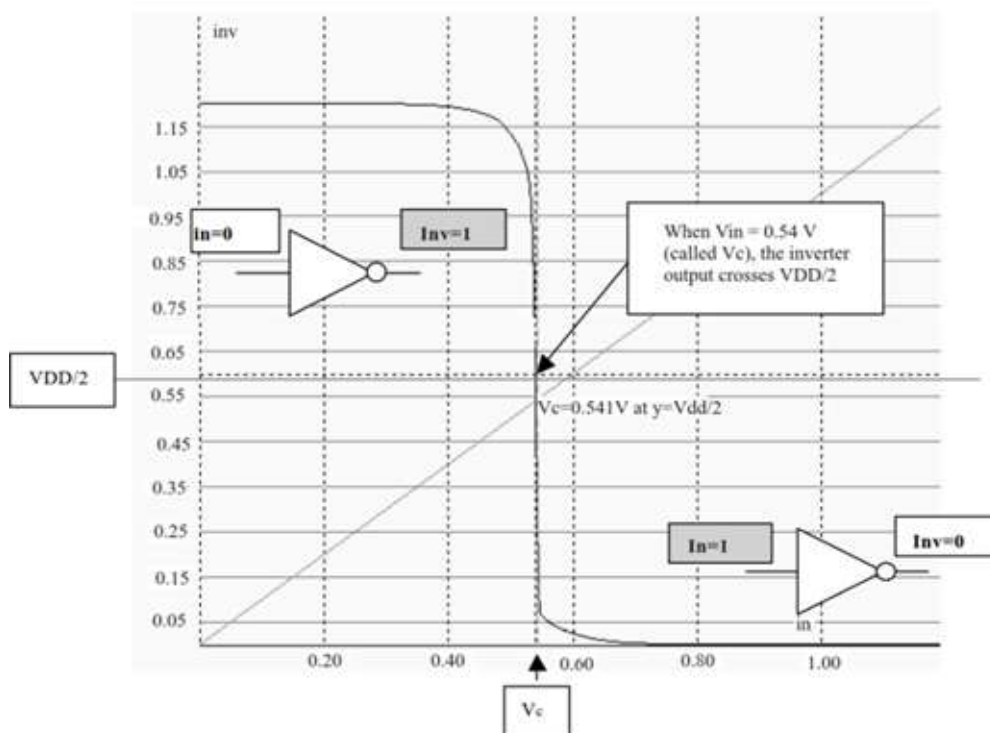
- E. T F $P = \text{Sum}[I_{DD} V_{DD}] / N_{\text{steps}}$
- F. T F Η P εξαρτάται γραμμικά απο τη χωρητικότητα C φόρτου.
- G. T F Η P εξαρτάται τετραγωνικά απο τη χωρητικότητα C φόρτου.
- H. T F Η P εξαρτάται απο τη χωρητικότητα C φόρτου.
- I. T F Η P εξαρτάται γραμμικά από την τάση V_{DD} παροχής.
- J. T F Για CMOS αντιστροφέα $P = (1/2) \eta C V_{DD}^2 f$.
- K. T F Συνήθως ορίζουμε τον παράγοντα εναλλαγής (η) ενός αντιστροφέα ως μια τιμή μεταξύ 0 και 1. Το η αντιπροσωπεύει το ποσοστό του χρόνου λειτουργίας που ο αντιστροφέας εναλλάσσεται από 0 σε 1 ή από 1 σε 0. Μόνο τότε έχουμε ρεύμα βραχυκυκλώσεως στο στος κύκλωμα του αντιστροφέα.
- L. T F Για CMOS αντιστροφέα $P = (1/2) \eta C^2 V_{DD} f$.
- M. T F Η P εξαρτάται από τη συχνότητα f λειτουργίας του ρολογιού εναλλαγής της εισόδου του αντιστροφέα.



Σχήμα 9.17 Εξηγήστε ποια πρέπει να είναι η ποσότητα στον οριζόντιο άξονα σε καθεμία από τις γραφικές παραστάσεις.

17. Παρατηρήστε το Σχήμα 9.17. Εξηγήστε ποια πρέπει να είναι η ποσότητα στον οριζόντιο άξονα σε καθεμία από τις γραφικές παραστάσεις.

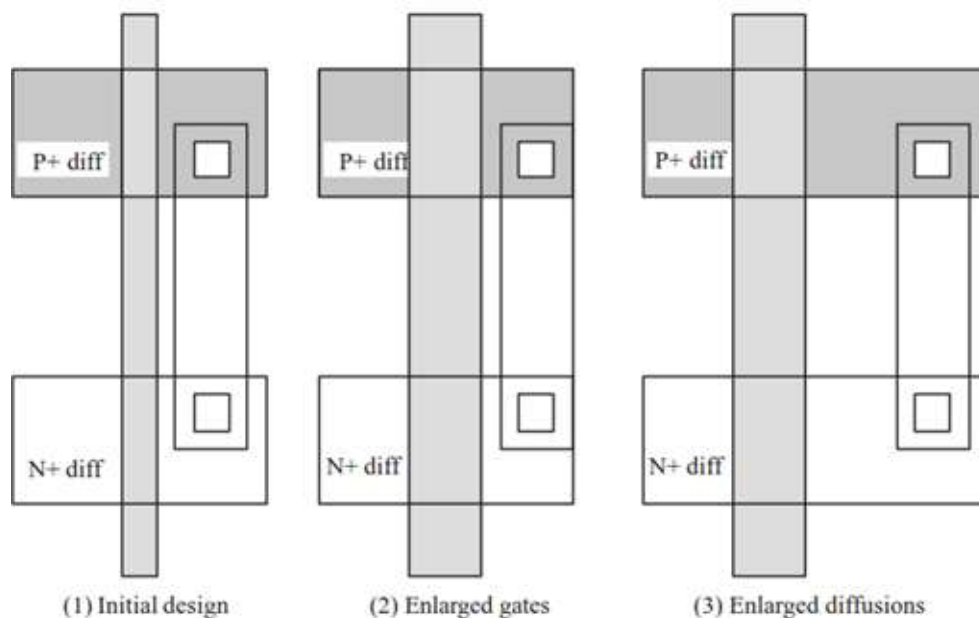
18. Παρατηρήστε το Σχήμα 9.18 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:
- T F Όταν η V_{in} είναι μικρή, η V_{out} είναι μικρή, που αντιστοιχεί σε έξοδο σε λογικό 0.
 - T F Όταν η V_{in} είναι μικρή, η V_{out} είναι υψηλή, που αντιστοιχεί σε έξοδο σε λογικό 1.
 - T F $K = \text{Sqrt}[(\mu_n W_n/L_n)/(\mu_p W_p/L_p)]$.
 - T F Όταν η V_{in} φτάνει στην V_{DD} , η V_{out} φτάνει στο 0, που αντιστοιχεί στη λογική κατάσταση 0 του αντιστροφέα.
 - T F $K = (\mu_n W_n/L_n)/(\mu_p W_p/L_p)$.
 - T F Όταν η V_{in} αυξάνεται, η V_{out} αρχίζει να ελαττώνεται αργά και ξαφνικά περνά από το όριο του $V_{DD}/2$.
 - T F Τα στατικά χαρακτηριστικά του αντιστροφέα συνοψίζονται με τη γραφική παράσταση της συνάρτησης μεταφοράς, δηλαδή του δυναμικού εξόδου συναρτήσει του δυναμικού εισόδου.
 - T F Οι διαστάσεις των n mos και p mos του αντιστροφέα επιδρούν σημαντικά στη θέση του σημείου μετάβασης V_c .
 - T F Για υπολογισμούς με το χέρι: $V_c = (K V_{TN} + V_{DD} - V_{TP}) / (1 - K)$.
 - T F Όταν η V_{out} περνά από το σημείο $V_{DD}/2$, η αντίστοιχη τιμή της V_{in} ονομάζεται σημείο μετάθεσης ή μετάβασης (commutation point) του αντιστροφέα και συμβολίζεται ως V_c .
 - T F Για υπολογισμούς με το χέρι: $V_c = (K V_{TN} + V_{DD} - V_{TP}) / (1 + K)$.
 - T F Όταν η V_{in} φτάνει στην V_{DD} , η V_{out} φτάνει στο 1, που αντιστοιχεί στην λογική κατάσταση 1 του αντιστροφέα.



Σχήμα 9.18 Στατικά χαρακτηριστικά αντιστροφέα. Συνάρτηση μεταφοράς.

19. Παρατηρήστε το Σχήμα 9.19 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 2\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} < V_{DD}/2$.
- B. T F $K = \text{Sqrt}[(\mu_n W_n/L_n)/(\mu_p W_p/L_p)]$.
- C. T F $K = (\mu_n W_n/L_n)/(\mu_p W_p/L_p)$.
- D. T F Ταυτόχρονη αύξηση των καναλιών των nmos και pmos δεν αλλάζει το σημείο μετάθεσης του αντιστροφέα.
- E. T F Οι διαστάσεις των nMOS και pMOS δεν επιδρούν στη θέση του σημείου μετάθεσης V_c .
- F. T F $V_c = (K V_{TN} + V_{DD} - V_{TP}) / (1 + K)$.
- G. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 6\lambda$, $L_n = 2\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, η V_{out} είναι επίσης κοντά στο $V_{DD}/2$ και τα στατικά χαρακτηριστικά του αντιστροφέα είναι σχεδόν συμμετρικά. Η.
- T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 2\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} > V_{DD}/2$.
- I. T F $V_c = (K V_{TN} + V_{DD} - V_{TP}) / (1 - K)$.
- J. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 4\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} > V_{DD}/2$.
- K. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 4\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} < V_{DD}/2$.
- L. T F Ταυτόχρονη αύξηση των περιοχών διάχυσης των nmos και pmos δεν αλλάζει το σημείο μετάθεσης του αντιστροφέα.
- M. T F Ο λόγος των διαστάσεων μεταξύ nmos και pmos επιδρά στο σημείο μετάθεσης του αντιστροφέα, οπότε οι διαστάσεις μόνο μίας από τις δύο διατάξεις θα πρέπει να μεταβάλλονται για να το αλλάξουμε.

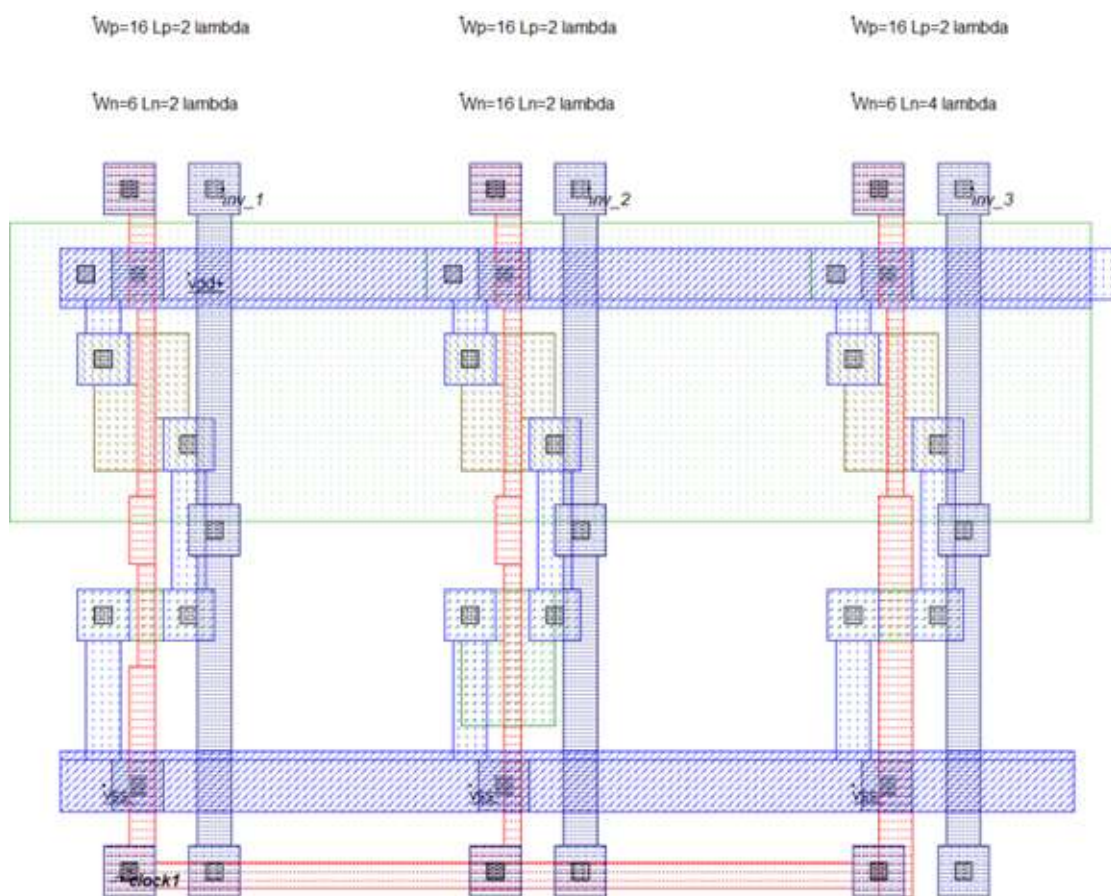


Σχήμα 9.19 Αλλαγές στη χωροθεσία του αντιστροφέα που δεν μεταβάλλουν το σημείο μετάθεσης.

20. Παρατηρήστε το Σχήμα 9.20 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F $K = \text{Sqrt}[(\mu_n W_n/L_n)/(\mu_p W_p/L_p)]$.

- B. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 4\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} < V_{DD}/2$.
- C. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 6\lambda$, $L_n = 2\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, η V_{out} είναι επίσης κοντά στο $V_{DD}/2$ και τα στατικά χαρακτηριστικά του αντιστροφέα είναι σχεδόν συμμετρικά.
- D. T F $V_c = (K V_{TN} + V_{DD} - V_{TP}) / (1 - K)$.
- E. T F $K = (\mu_n W_n / L_n) / (\mu_p W_p / L_p)$.
- F. T F Οι διαστάσεις των nMOS και pMOS δεν επιδρούν στη θέση του σημείου μετάθεσης V_c .
- G. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 2\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} < V_{DD}/2$.
- H. T F $V_c = (K V_{TN} + V_{DD} - V_{TP}) / (1 + K)$.
- I. T F Ταυτόχρονη αύξηση των καναλιών των nmos και pmos δεν αλλάζει το σημείο μετάθεσης του αντιστροφέα.
- J. T F Ταυτόχρονη αύξηση των περιοχών διάχυσης των nmos και pmos δεν αλλάζει το σημείο μετάθεσης του αντιστροφέα.
- K. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 4\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} > V_{DD}/2$.
- L. T F Ο λόγος των διαστάσεων μεταξύ nmos και pmos επιδρά στο σημείο μετάθεσης του αντιστροφέα, οπότε οι διαστάσεις μόνο μίας από τις δύο διατάξεις θα πρέπει να μεταβάλλονται για να το αλλάξουμε.
- M. T F Έστω $W_p = 16\lambda$, $L_p = 2\lambda$, $W_n = 16\lambda$, $L_n = 2\lambda$. Τότε, όταν $V_{in} = V_{DD}/2$, $V_{out} > V_{DD}/2$.



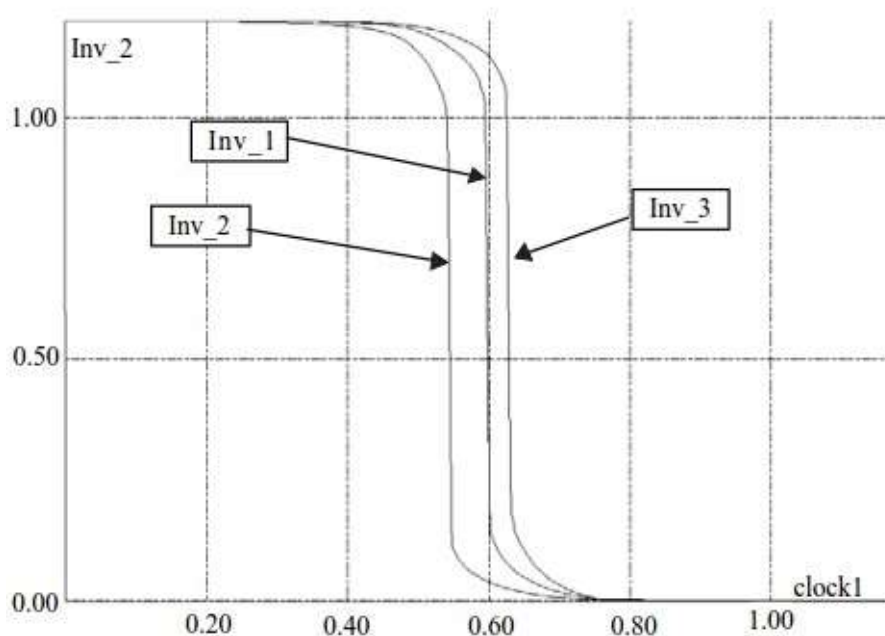
Σχήμα 9.20 Αλλαγές στη χωροθεσία του αντιστροφέα που μεταβάλλουν το σημείο μετάθεσης.

21. Παρατηρήστε το Σχήμα 9.21 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--|----------|
| A. ____ $W_p = 16\lambda, L_p = 2\lambda, W_n = 6\lambda, L_n = 2\lambda$. | a. Inv_2 |
| B. ____ $W_p = 16\lambda, L_p = 2\lambda, W_n = 16\lambda, L_n = 2\lambda$. | b. Inv_3 |
| C. ____ $W_p = 16\lambda, L_p = 2\lambda, W_n = 16\lambda, L_n = 4\lambda$. | c. Inv_1 |

22. Παρατηρήστε το Σχήμα 9.22 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--|---|
| A. ____ Inv_1 | a. Ναι. |
| B. ____ Inv_2 | b. $W_p = 16\lambda, L_p = 2\lambda, W_n = 6\lambda, L_n = 2\lambda$. |
| C. ____ Inv_3 | c. $W_p = 16\lambda, L_p = 2\lambda, W_n = 16\lambda, L_n = 4\lambda$. |
| D. ____ Όταν το K αυξάνει το σημείο μετάθεσης, κινείται προς τα δεξιά. | d. $W_p = 16\lambda, L_p = 2\lambda, W_n = 16\lambda, L_n = 2\lambda$. |
| E. ____ Όταν το K μειώνεται, το σημείο μετάθεσης κινείται προς τα δεξιά. | e. Όχι. |

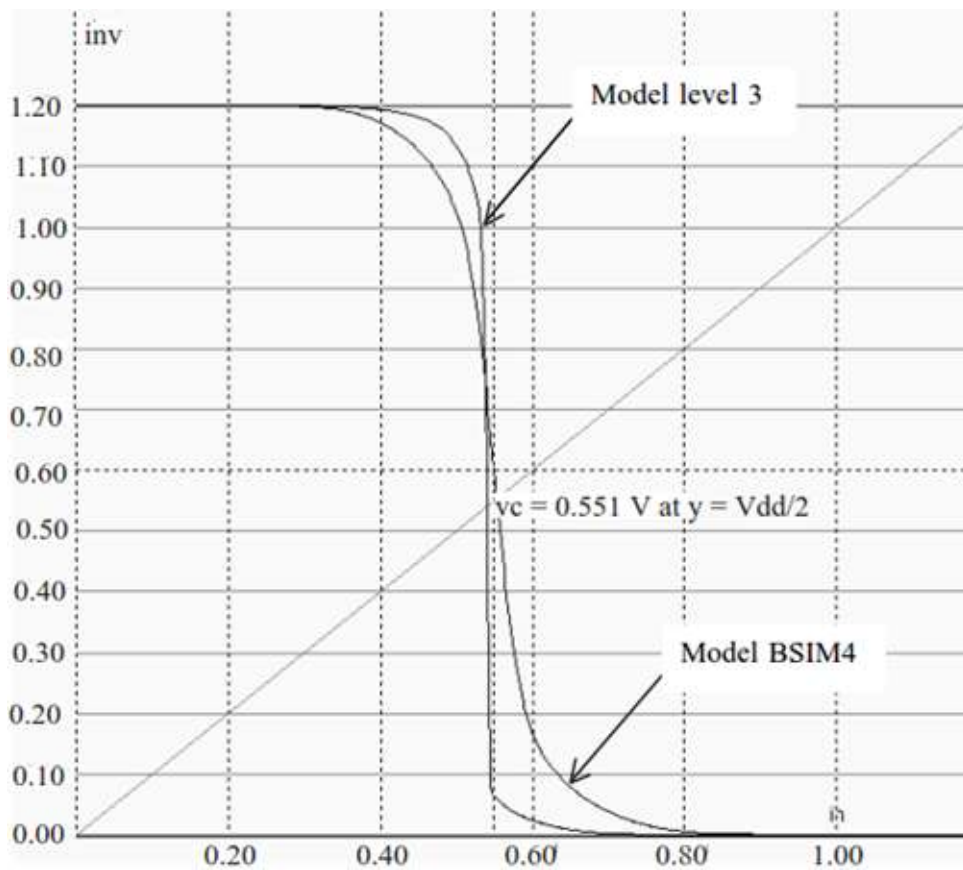


Σχήμα 9.21/9.22 Επίδραση των διαστάσεων του αντιστροφέα στο σημείο μετάθεσης.

23. Παρατηρήστε το Σχήμα 9.23 και επιλέξτε (T)ue ή (F)alse για τις επόμενες διατυπώσεις:

- | | |
|--------|---|
| A. T F | Στο παράδειγμα, η προσομοίωση με το Level 3 μοντέλο δίνει για τον αντιστροφέα πιο απότομη εναλλαγή κατάστασης κοντά στο V_c από αυτήν που έχουμε με το μοντέλο BSIM4. |
| B. T F | Στο παράδειγμα, η προσομοίωση με το Level 3 μοντέλο δίνει για τον αντιστροφέα πιο ομαλή εναλλαγή κατάστασης κοντά στο V_c από αυτήν που έχουμε με το μοντέλο BSIM4. |

- C. T F Οι διαφορές μεταξύ των μοντέλων μπορεί να μην είναι σημαντικές για την περιγραφή της συμπεριφοράς της λογικής λειτουργίας του κυκλώματος, ωστόσο μπορεί να δώσουν σημαντικές διαφορές στην περίπτωση αναλογικής σχεδίασης.
- D. T F Στο παράδειγμα, η προσομοίωση με το Level 3 μοντέλο δίνει για τον αντιστροφέα μεγαλύτερη τιμή V_c από αυτήν που έχουμε με το μοντέλο BSIM4.
- E. T F Στο παράδειγμα, η προσομοίωση με το Level 3 μοντέλο δίνει για τον αντιστροφέα μικρότερη τιμή V_c από αυτήν που έχουμε με το μοντέλο BSIM4.
- F. T F Η χρήση διαφορετικών μοντέλων περιγραφής της λειτουργίας του MOS, ειδικά στις αναλογικές προσομοιώσεις, μπορεί να οδηγήσει σε σημαντικές διαφοροποιήσεις των χαρακτηριστικών εναλλαγής (switching) του κυκλώματος.
- G. T F Η χρήση διαφορετικών μοντέλων περιγραφής της λειτουργίας του MOS, ειδικά στις ψηφιακές λογικές προσομοιώσεις, μπορεί να οδηγήσει σε σημαντικές διαφοροποιήσεις των χαρακτηριστικών εναλλαγής (switching) του κυκλώματος.

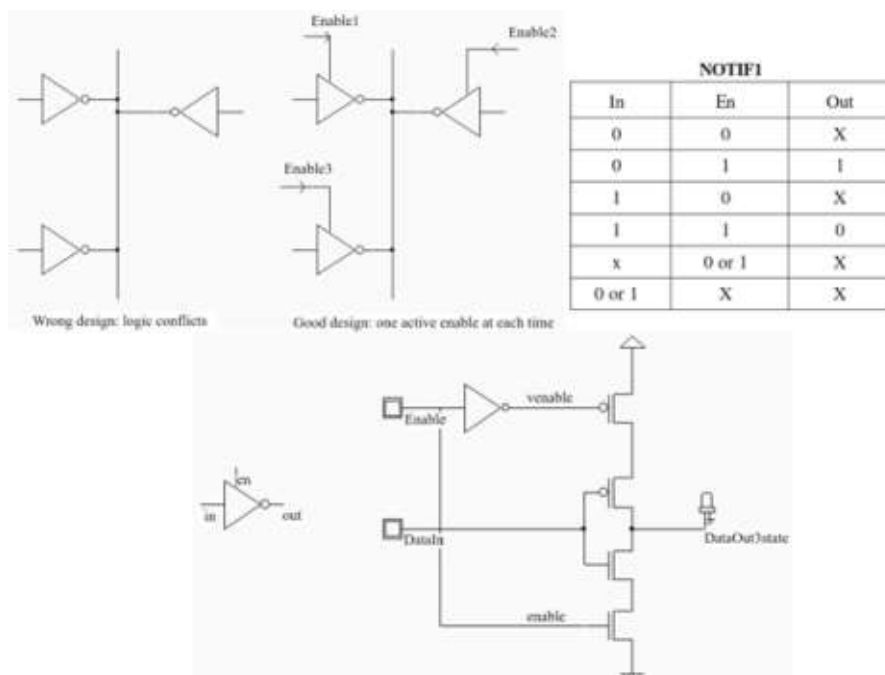


Σχήμα 9.23 Επίδραση του μοντέλου περιγραφής του τρανζίστορ στις προσομοιώσεις.

24. Παρατηρήστε το Σχήμα 9.24 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F Όταν το enable είναι ενεργό, είναι off και τα δύο τρανζίστορ μεταφοράς (pass) του αντιστροφέα 3 καταστάσεων.
- B. T F Η έξοδος του αντιστροφέα 3 καταστάσεων παραμένει σε 'high impedance' (logic symbol 'X') όσο η είσοδος enable $E_n = '0'$.

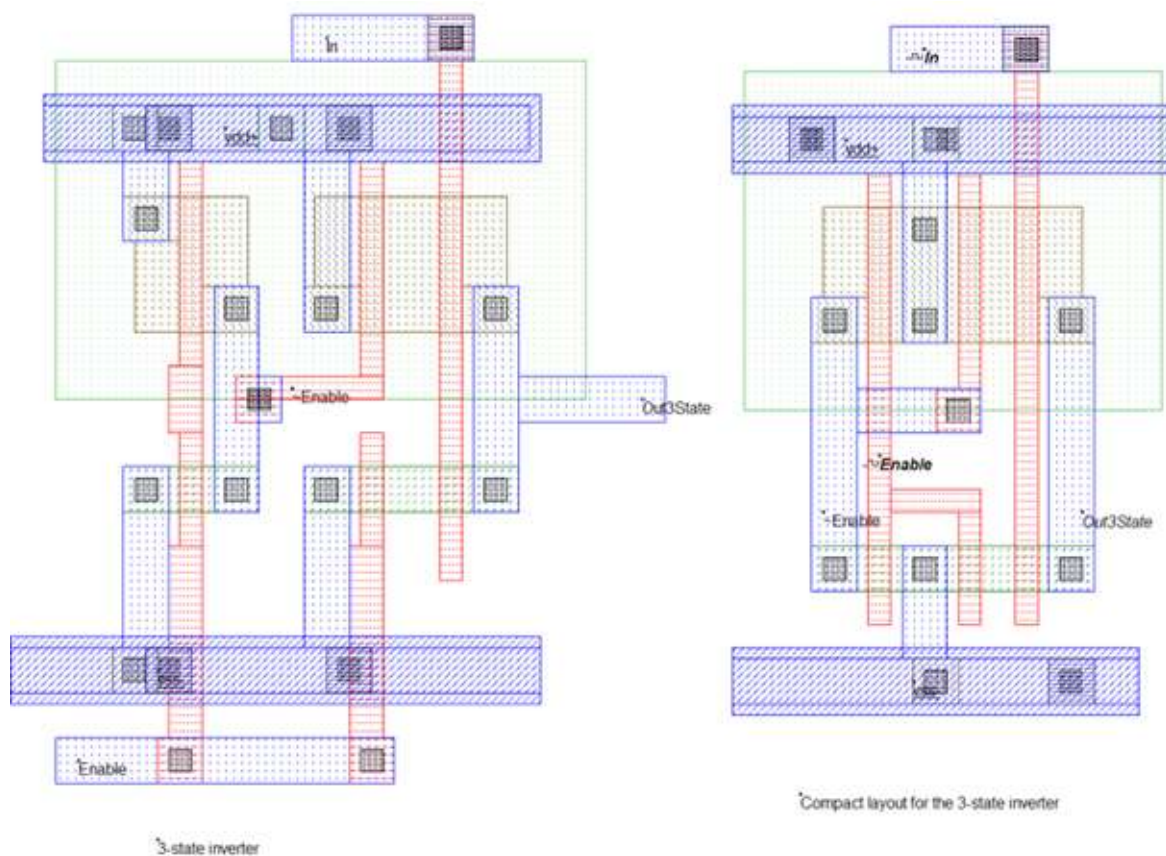
- C. T F Για να αποφύγουμε την πολλαπλή προσπέλαση στην ίδια χρονική στιγμή γραμμών μετάδοσης του κυκλώματος, χρησιμοποιούμε ειδικά κυκλώματα, τους αντιστροφείς 3 καταστάσεων, οι οποίοι εμφανίζουν "κατάσταση υψηλής εμπέδησης" ('high impedance' state) όταν δεν χρειάζεται να προσπελάσουν τη γραμμή.
- D. T F Στον αντιστροφή 3 καταστάσεων, γίνεται χρήση τρανζίστορ μεταφοράς (Pass) nMOS και pMOS που αποσυνδέουν τον αντιστροφή από την παροχή ή τη γείωση όταν η πύλη είναι απενεργοποιημένη.
- E. T F Στον αντιστροφή 3 καταστάσεων, η cmos δομή του είναι διαφορετική, συγκεκριμένα τα pmos και nmos τρανζίστορ του, δεν είναι απευθείας ενωμένα στις V_{DD} και V_{SS} αντίστοιχα.
- F. T F Όταν το enable είναι ενεργό, είναι ενεργά και τα δύο τρανζίστορ μεταφοράς (pass) του αντιστροφέα 3 καταστάσεων.
- G. T F Όταν το enable είναι ενεργό, ο αντιστροφέας 3 καταστάσεων δεν λειτουργεί.
- H. T F Ένας επιπλέον αντιστροφέας είναι απαραίτητος για την παραγωγή των σημάτων ελέγχουν $\sim en/en$ που ελέγχουν το pmos τρανζίστορ.
- I. T F Όταν το enable είναι ανενεργό, η έξοδος του αντιστροφέα 3 καταστάσεων είναι σε υψηλή εμπέδηση, οπότε δεν υπάρχει διαδρομή προς τις V_{DD} και V_{SS} .
- J. T F Όταν το enable είναι ενεργό, η έξοδος του αντιστροφέα 3 καταστάσεων είναι σε υψηλή εμπέδηση, οπότε δεν υπάρχει διαδρομή προς τις V_{DD} και V_{SS} .
- K. T F Όταν το enable είναι ενεργό, ο αντιστροφέας 3 καταστάσεων λειτουργεί ως απλός αντιστροφέας.
- L. T F Το σύμβολο του αντιστροφέα 3 καταστάσεων, είναι αυτό του αντιστροφέα με ένα επιπλέον καλώδιο σε ρόλο enable control.
- M. T F Αν πάνω από ένας αντιστροφέας θέλει να στείλει σήμα σε έναν κόμβο ή καλώδιο, θα προκύψουν προστριβές (conflicts).



Σχήμα 9.24 Αντιστροφέας τριών καταστάσεων (3-State Inverter).

25. Παρατηρήστε το Σχήμα 9.25 και επιλέξτε (T)true ή (F)alse για τις επόμενες διατυπώσεις:

- A. T F $In=0, En=0 \Rightarrow Out_A = Out_B = X$
- B. T F $In=0/1, En=X \Rightarrow Out_A = Out_B = X$
- C. T F $In=X, En=0/1 \Rightarrow Out_A = Out_B = 0$
- D. T F $In=1, En=1 \Rightarrow Out_A = Out_B = 0$
- E. T F $In=0, En=0 \Rightarrow Out_A = Out_B = 1$
- F. T F $In=0/1, En=X \Rightarrow Out_A = Out_B = 0$
- G. T F $In=1, En=0 \Rightarrow Out_A = Out_B = X$
- H. T F $In=1, En=0 \Rightarrow Out_A = Out_B = 1$
- I. T F $In=0, En=1 \Rightarrow Out_A = Out_B = 1$
- J. T F Το αριστερό σχέδιο είναι καλύτερο, γιατί υπάρχει περισσότερος χώρος για να ανάπτυξη διασυνδέσεων (επίπεδα μετάλλου).
- K. T F $In=X, En=0/1 \Rightarrow Out_A = Out_B = X$
- L. T F Η δημιουργία συνεχόμενης περιοχής διάχυσης (χωρίς κενά) δίνει πιο συνεκτικά σχέδια χωροθεσίας, ταχύτερης λειτουργίας.



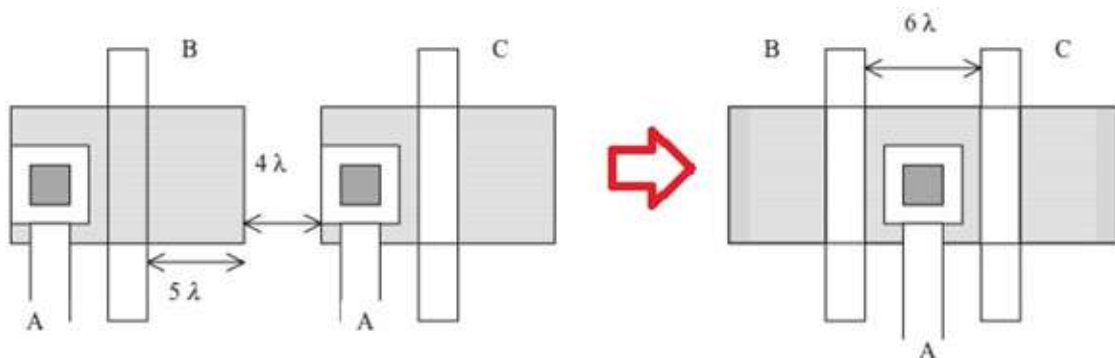
Σχήμα 9.25 Χωροθεσία αντιστροφέα 3 καταστάσεων.

26. Παρατηρήστε το Σχήμα 9.26. Η διαδικασία που εικονίζεται απαγορεύεται γιατί οι δύο επαφές έχουν γίνει μία.

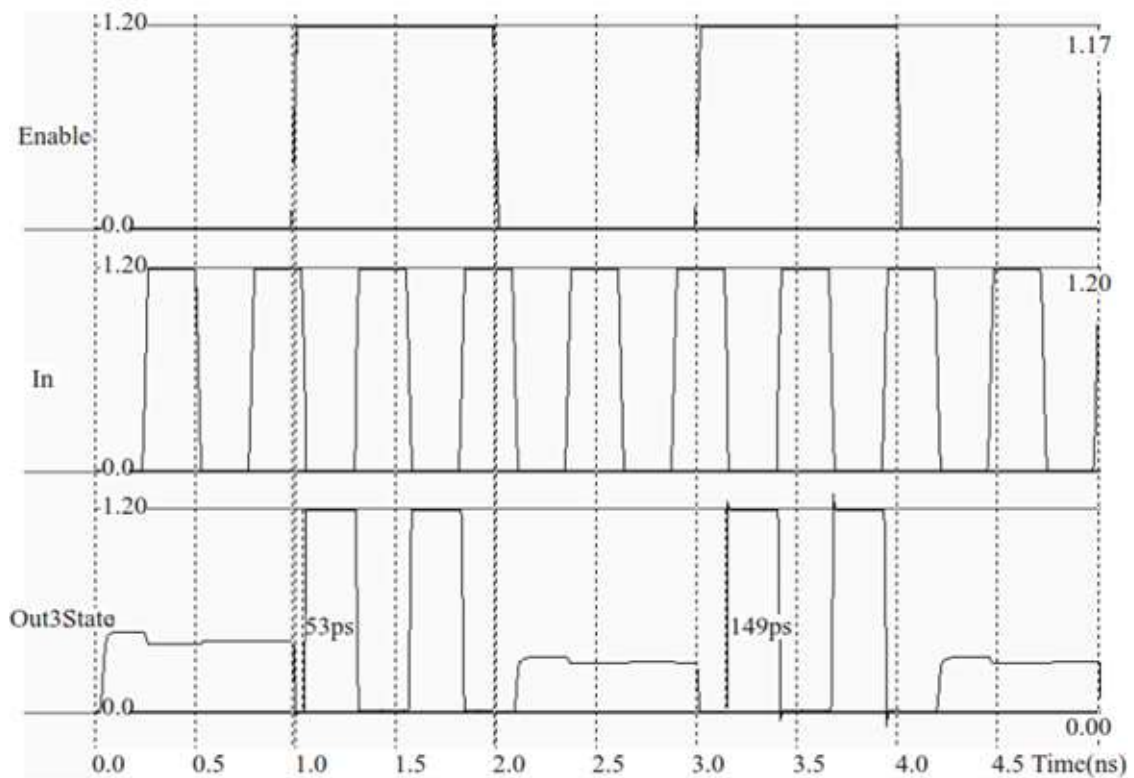
- A True
- B False

27. Παρατηρήστε το Σχήμα 9.27. Το εικονιζόμενο διάγραμμα αντιστοιχεί σε:

- A inverter.
- B not-gate
- C 3-state inverter.
- D and-gate.



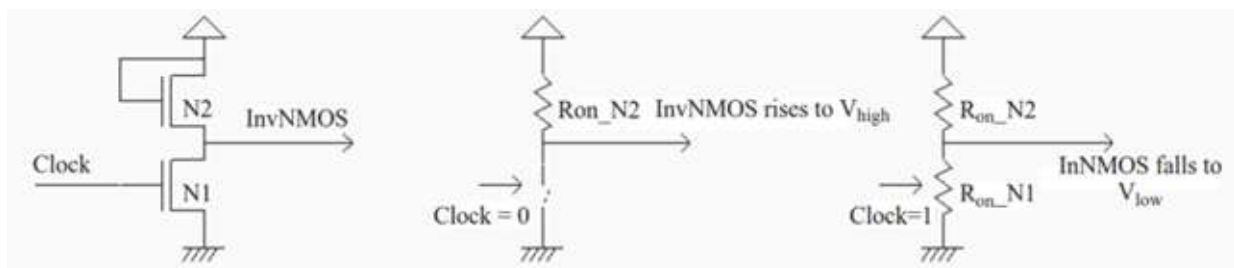
Σχήμα 9.26 Μετάθεση επαφής για την επίτευξη συνεκτικότερης χωροθεσίας.



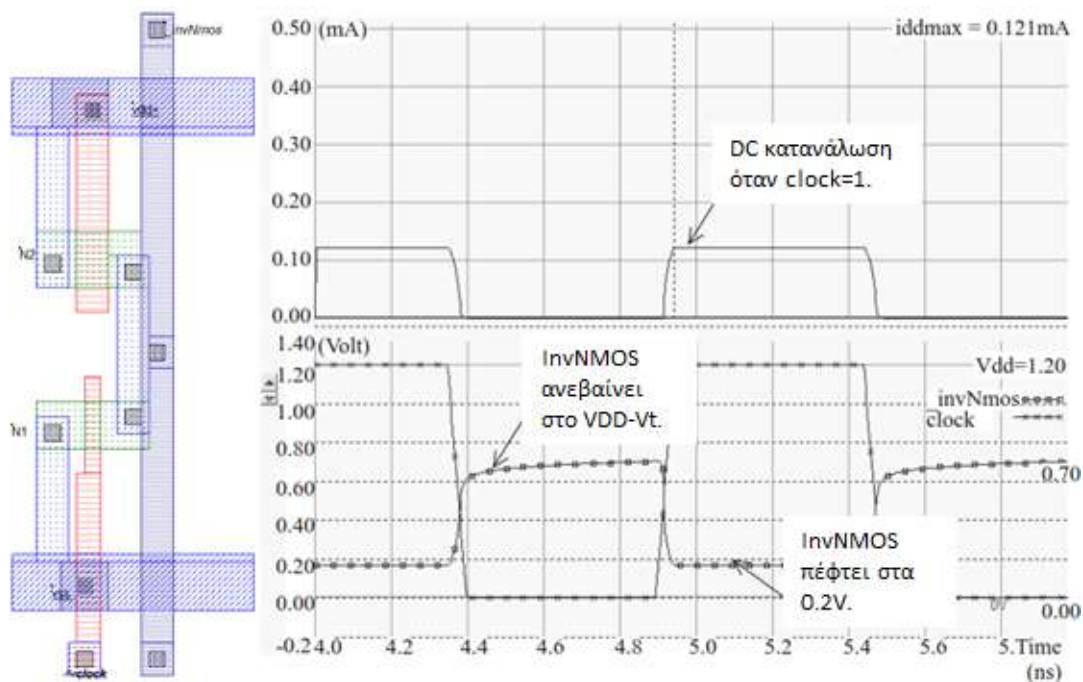
Σχήμα 9.27 Διάγραμμα χρονισμού.

28. Παρατηρήστε το Σχήμα 9.28 και επιλέξτε (T)true ή (F)false για τις επόμενες διατυπώσεις:

- A. T F Όταν Clock = 1, ισοδυναμεί με διαιρέτη τάσης, γιατί το N2 εξακολουθεί να άγει και το N1 δημιουργεί και αυτό κομμάτι διαδρομής που συνδέει την έξοδο με τη γείωση.
- B. T F Το χαμηλό δυναμικό του κυκλώματος στην έξοδο είναι: $V_{low} = V_{DD} - V_{tn}$.
- C. T F Το υψηλό δυναμικό του κυκλώματος στην έξοδο είναι: $V_{high} = V_{DD} R_{on_N2} / (R_{on_N1} + R_{on_N2})$.
- D. T F Όταν Clock = 1, δημιουργείται διαδρομή μέσω της αντίστασης προς την έξοδο, ικανή να ανεβάσει το δυναμικό εκεί στην τιμή $V_{DD} - V_{tn}$, όπου V_{tn} το δυναμικό κατωφλίου του N2.
- E. T F Το nmos N2 έχει συνδεδεμένη την πηγή του στην τροφοδοσία V_{DD} , οπότε συνεχώς ισοδυναμεί με μια αντίσταση, R_{on_N2} .
- F. T F Το υψηλό δυναμικό του κυκλώματος στην έξοδο είναι: $V_{high} = V_{DD} - V_{tn}$.
- G. T F Το χαμηλό δυναμικό του κυκλώματος στην έξοδο είναι: $V_{low} = V_{DD} R_{on_N2} / (R_{on_N1} + R_{on_N2})$.
- H. T F Όταν Clock = 0, δημιουργείται διαδρομή μέσω της αντίστασης προς την έξοδο, ικανή να ανεβάσει το δυναμικό εκεί στην τιμή $V_{DD} - V_{tn}$, όπου V_{tn} το δυναμικό κατωφλίου του N2.

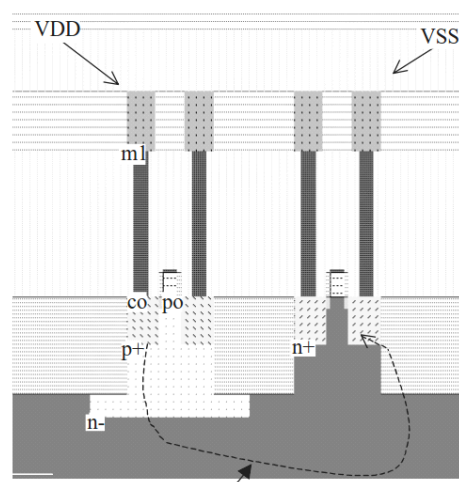


Σχήμα 9.28 Αντιστροφείας nMOS.

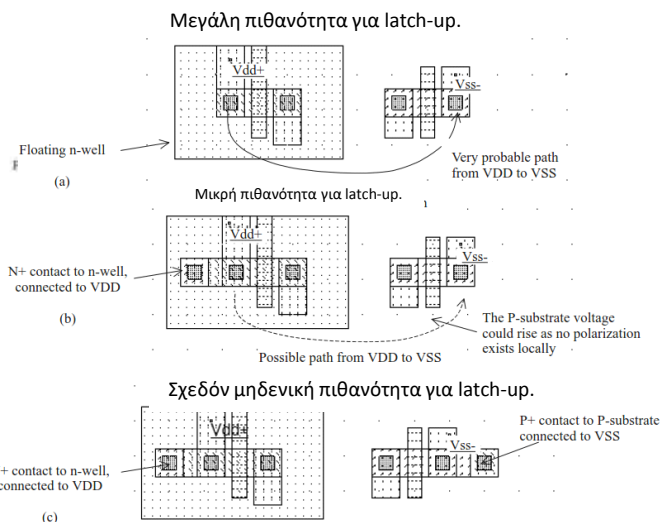


Σχήμα 9.29 Χωροθεσία αντιστροφείας nmos.

29. Παρατηρήστε το Σχήμα 9.29 και επιλέξτε (T)ue ή (F)alse για τις επόμενες διατυπώσεις:
- T F Δεν απαιτείται pmos τρανζίστορ σε αυτήν την υλοποίηση του αντιστροφέα.
 - T F Οι εναλλαγές είναι αργές, ειδικά στο 0->1, εξαιτίας του φτωχού 1 που δίνει το nmos.
 - T F Το nmos N2 πρέπει να υλοποιείται με μικρό μήκος και μεγάλο πλάτος ώστε να χαρακτηρίζεται από μικρή αντίσταση R_{on_N2} , που θα αυξάνει την τάση εξόδου όταν Clock = 1.
 - T F Οι αντιστροφείς μόνο nmos είχαν εφαρμογές πριν την εισαγωγή της CMOS τεχνολογίας.
 - T F Όταν Clock = 1, έχουμε σπατάλη ισχύος.
 - T F Το nmos N2 υλοποιείται με μεγάλο μήκος και μικρό πλάτος ώστε να χαρακτηρίζεται από μεγάλη αντίσταση R_{on_N2} , που θα ελαττώνει την τάση εξόδου όταν Clock = 1.
 - T F Όταν Clock = 1, δεν έχουμε απώλειες ισχύος.
 - T F Η λογική 0 αντιστοιχεί σε 0.0 V.
 - T F Η λογική 0 αντιστοιχεί σε 0.2 V.
 - T F Η λογική 1 αντιστοιχεί σε 0.7 V.
 - T F Η χωροθεσία της εικόνας είναι τύπου CMOS.
 - T F Η λογική 1 αντιστοιχεί σε 1.2 V.



Πιθανή παρασιτική διαδρομή του latch-up.



Σχήμα 9.30 Περιορισμός του φαινομένου μανδάλωσης (latch-up) με διόδους πόλωσης.

30. Παρατηρήστε το Σχήμα 9.30 και επιλέξτε (T)ue ή (F)alse για τις επόμενες διατυπώσεις:
- T F Το φαινόμενο μανδάλωσης αποφεύγεται αν το υπόστρωμα πολωθεί τοπικά στη γείωση και το n-πηγάδι πολωθεί τοπικά στην τροφοδοσία V_{DD} .
 - T F Το φαινόμενο μανδάλωσης αποφεύγεται αν το υπόστρωμα πολωθεί τοπικά στην τροφοδοσία και το n-πηγάδι πολωθεί τοπικά στη γείωση.
 - T F Η διόδος P+/P-substrate πρέπει να πολωθεί στο χαμηλότερο δυναμικό στο κύκλωμα, τυπικά αυτό της γείωσης.

- D. T F Η διόδος P+/P-substrate πρέπει να πολωθεί στο υψηλότερο δυναμικό στο κύκλωμα, τυπικά αυτό της τροφοδοσίας.
- E. T F Η απαρχή του φαινομένου της μανδάλωσης είναι με την ενεργοποίηση των παρασιτικών διόδων N/P/N/P (thyristor) που δημιουργούνται στην κατακόρυφη τομή των διατάξεων nMOS και pMOS.
- F. T F Η διόδος N+/ n-well πρέπει να συνδεθεί στο χαμηλότερο δυναμικό του κυκλώματος, τυπικά αυτό της γείωσης.
- G. T F Το φαινόμενο μανδάλωσης αποφεύγεται αν το υπόστρωμα πολωθεί τοπικά στην τροφοδοσία και το n-πηγάδι πολωθεί τοπικά στη γείωση.
- H. T F Στη χωροθεσία (a), το n-πηγάδι είναι στον "αέρα" (floating), οπότε υπάρχει κίνδυνος latch-up.
- I. T F Η διόδος N+/ n-well πρέπει να συνδεθεί στο μεγαλύτερο δυναμικό του κυκλώματος, τυπικά αυτό της τροφοδοσίας V_{DD} .
- J. T F Στη χωροθεσία (a), αν το n-πηγάδι βρεθεί σε δυναμικό γύρω στο $V_{DD}/2$ και το δυναμικό του τοπικού υποστρώματος αυξηθεί γύρω στο $V_{DD}/2$, τότε θα προκύψει φαινόμενο μανδάλωσης.
- K. T F Τα περισσότερα λογισμικά σχεδίασης χωροθεσίας προειδοποιούν τον σχεδιαστή για την περίπτωση που έχει ξεχάσει να πολώσει το n-well με την τροφοδοσία.
- L. T F Τα φαινόμενα της μανδάλωσης είναι η ασύγχρονη προς το ρολόι παραγωγή 0 και 1 στην έξοδο του κυκλώματος.
- M. T F Τα φαινόμενα της μανδάλωσης είναι η παρασιτική δημιουργία βραχυκυκλώματος μεταξύ V_{DD} και V_{SS} που μπορεί να οδηγήσει σε καταστροφή του ολοκληρωμένου κυκλώματος.

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Baker, R.J., Li, H.W., & Boyce, D.E. (1998). *CMOS circuit design, layout and simulation*. IEEE Press. ISBN 0-7803-3416-7.
2. Sicard, E., & Bendhia, S.D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.
3. Weste, N., & Eshraghian, K. (1993). *Principles of CMOS VLSI design*. Addison Wesley. isbn 0-201-53376-6.

ΚΕΦΑΛΑΙΟ 10. ΔΙΑΣΥΝΔΕΣΕΙΣ (INTERCONNECTS) (ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)

ΣΥΝΟΨΗ

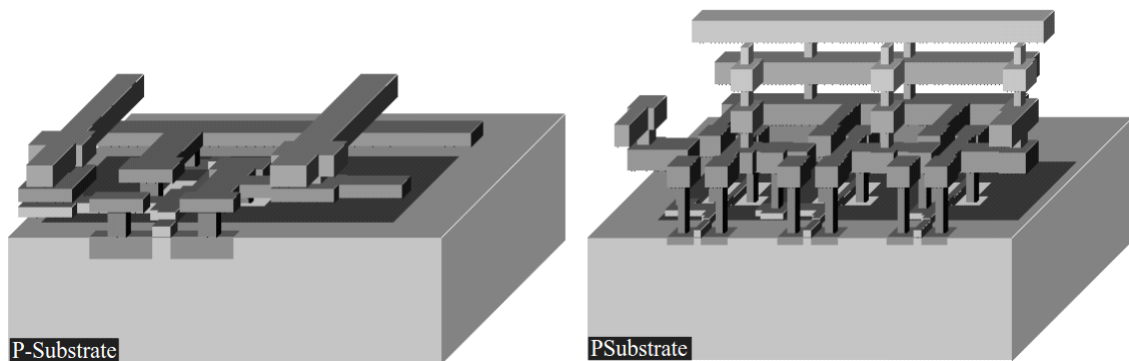
Περιλαμβάνεται πληθώρα ερωτήσεων/ασκήσεων σχετικών με τη σχεδίαση διασυνδέσεων μεταξύ των διατάξεων της χωροθεσίας.

ΣΤΟΧΟΣ

* Εμβάθυνση στη σχεδίαση διασυνδέσεων μεταξύ των διατάξεων της χωροθεσίας.

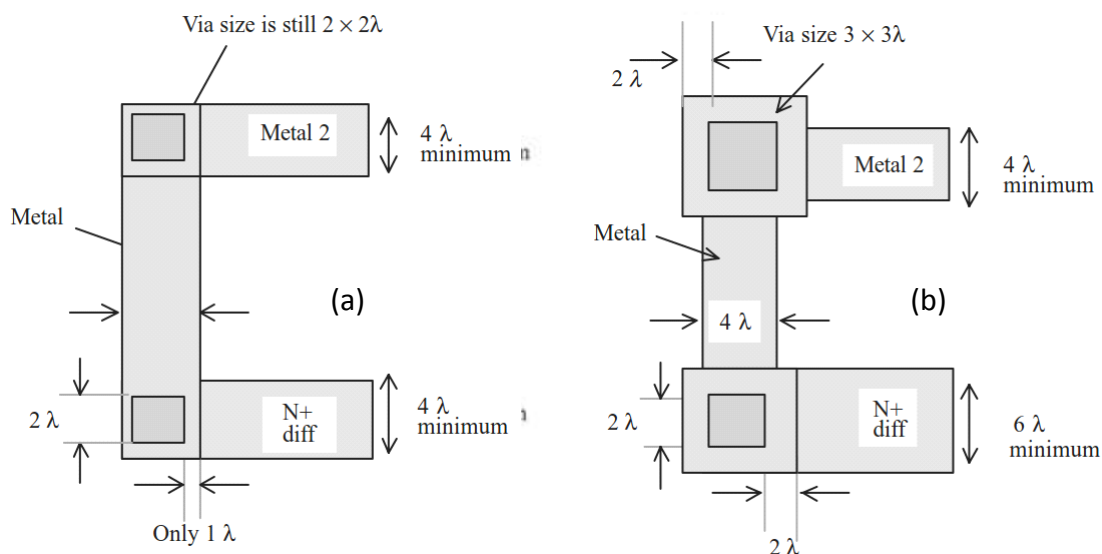
ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Χρήση του λογισμικού Microwind.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Γεωμετρική δομή και τοπολογία mosfet τύπου n και τύπου p.
- * Χαρακτηριστικά cmos σε διατομή (με το βάθος πυριτίου).
- * Υλικά και τεχνολογίες κατασκευής μικροηλεκτρονικών δομών.
- * Στοιχεία χωροθεσίας cmos.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.



Σχήμα 10.1 Ποια εικόνα νομίζετε ότι αντιστοιχεί σε τεχνολογία 0.7 μm και ποια σε 0.12 μm cmos και γιατί;

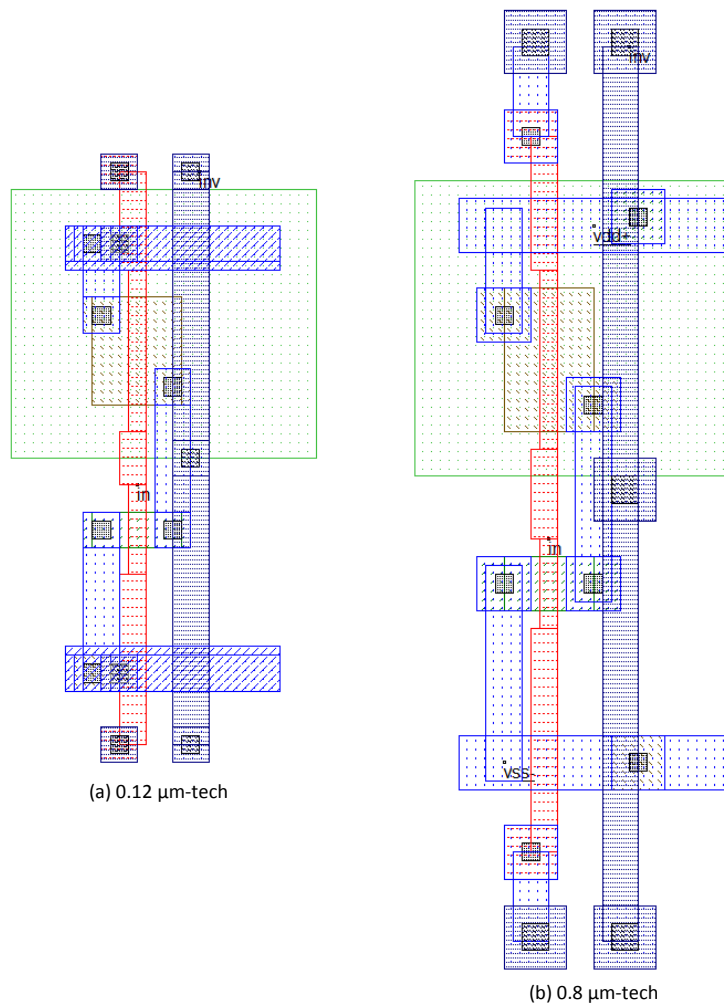
1. Παρατηρήστε το Σχήμα 10.1. Ποια εικόνα νομίζετε ότι αντιστοιχεί σε τεχνολογία 0.7 μm και ποια σε 0.12 μm cmos και γιατί;



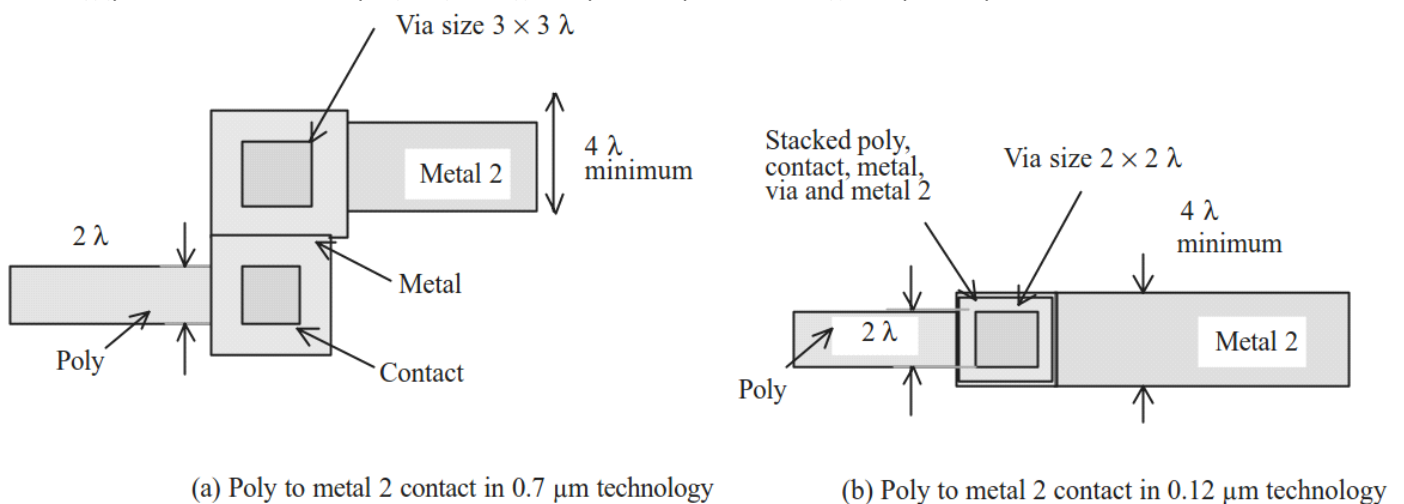
Σχήμα 10.2 Επίπεδια μετάλλου (Metal Layers) και επαφές (contacts).

2. Παρατηρήστε το Σχήμα 10.2. Από τους σχεδιαστικούς κανόνες που φαίνονται στο σχήμα μπορείτε να καταλάβετε ποια εικόνα αντιστοιχεί σε τεχνολογία 0.7 μm και ποια σε 0.12 μm και γιατί;

3. Παρατηρήστε το Σχήμα 10.3. Μπορούμε να χρησιμοποιήσουμε ένα σχέδιο κανόνων για 0.8 μm τεχνολογία σε σχεδίαση για 0.12 μm τεχνολογία; Το αντίστροφο γίνεται (δηλαδή το σχέδιο των 0.12 μm στο σχέδιο των 0.8 μm);



Σχήμα 10.3 CMOS αντιστροφέας σε τεχνολογία 0.12 μm και σε τεχνολογία 0.8 μm .



Σχήμα 10.4. Σχεδιαστικοί κανόνες για μέταλλα και επαφές τους στην 0.7 μm και 0.12 μm τεχνολογία.

4. Παρατηρήστε το Σχήμα 10.4 και κάντε τις επόμενες αντιστοιχίσεις:

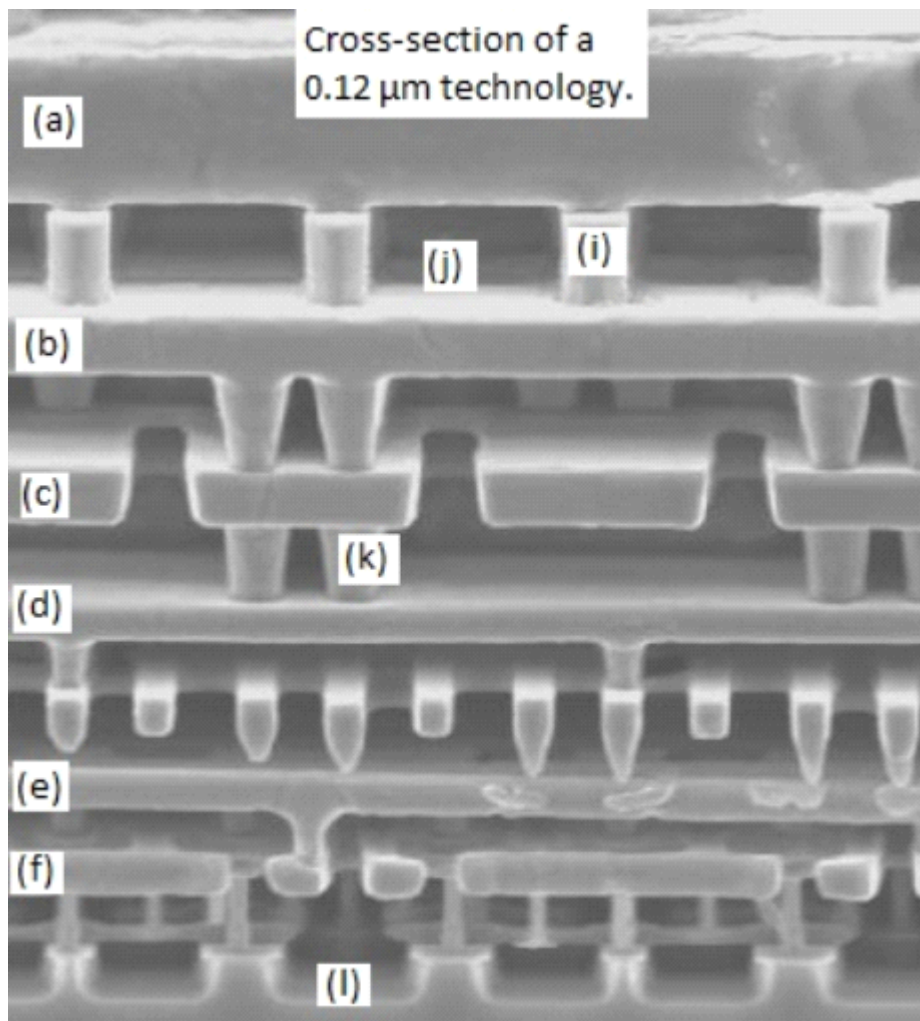
- | | |
|--|--|
| A. ____ Η στοίβαξη (stacking) επαφών και συγκολλήσεων στις τεχνολογίες πάνω από 0.3 μm | a. 3λ * 3λ. |
| B. ____ Η στοίβαξη (stacking) επαφών και συγκολλήσεων στις βαθέως υπομικρονικές τεχνολογίες (κάτω των 0.35 μm) | b. δεν επιτρέπεται. |
| C. ____ Η επαφή από το poly στο metal 2 σε 0.7 μm τεχνολογία, | c. επιτρέπονται στοιβαγμένες επαφές, οπότε το κέρδος σε επιφάνεια πυριτίου είναι σημαντικό. |
| D. ____ Η επαφή από poly σε metal 2 | d. απαιτεί σημαντική επιφάνεια πυριτίου, γιατί η πρώτη επαφή από το poly στο metal 1 και η δεύτερη από το metal 1 στο metal 2 πρέπει να γίνει σε διαφορετική θέση. |
| E. ____ Στην 0.12 μm τεχνολογία, | e. επιτρέπεται. |
| F. ____ Το ελάχιστο μέγεθος της οπής συγκόλλησης (via) στην 0.7 μm τεχνολογία είναι | f. 2λ * 2λ. |
| G. ____ Το ελάχιστο μέγεθος της οπής της επαφής (via) στην 0.12 μm τεχνολογία είναι | g. πρέπει να περάσει από το metal 1. |

5. Παρατηρήστε το Σχήμα 10.5 και κάντε τις επόμενες αντιστοιχίες:

- | | |
|-------------|--|
| A. ____ (a) | a. Metal 4. |
| B. ____ (b) | b. Ενδιάμεσο (Interlayer) οξείδιο που απομακρύνεται με χημικές μεθόδους. |
| C. ____ (c) | c. Metal 7. |
| D. ____ (d) | d. Metal 5. |
| E. ____ (e) | e. Metal 3. |
| F. ____ (f) | f. Περιοχές MOS transistor. |
| G. ____ | g. Metal 2. |
| H. ____ (i) | h. Metal 1. |
| I. ____ (j) | i. Επαφή (Via) από metal 6 σε metal 7. |
| J. ____ (k) | j. Metal 6. |

Κ. ____ (l)

κ. Επαφή (Via) από metal 4 σε metal 5.

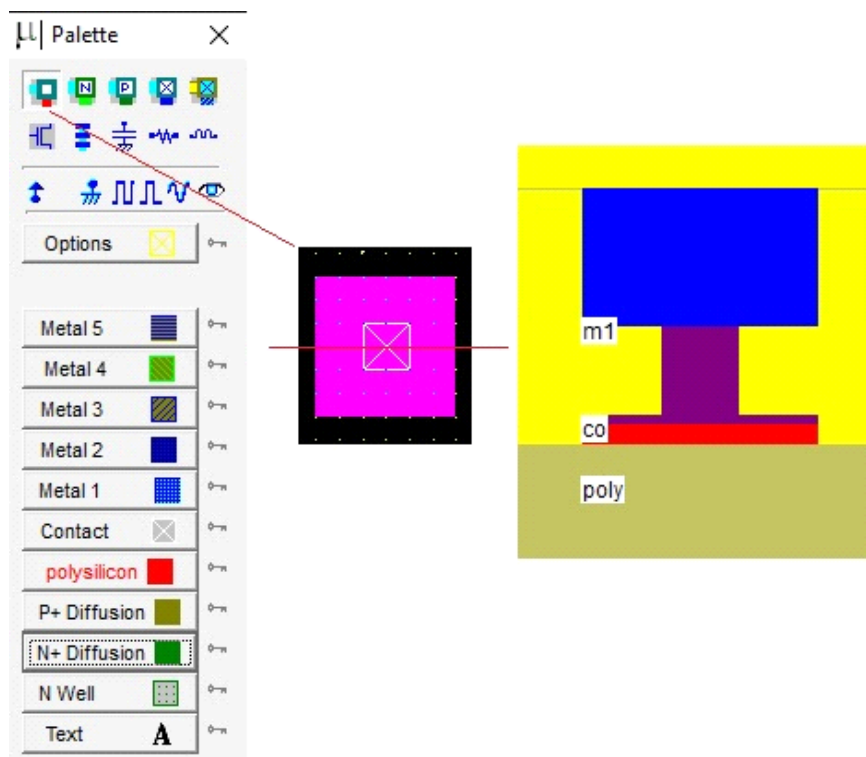


Σχήμα 10.5 Παράδειγμα μεταλλικών επιπέδων και επαφών (Metal Layers and Vias).

6. Παρατηρήστε το Σχήμα 10.6 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|---|---|
| A. ____ Το υλικό σύνδεσης μεταξύ μιας περιοχής διάχυσης και ενός μεταλλικού επιπέδου, | a. ονομάζεται επαφή ("contact"). |
| B. ____ Το υλικό της επαφής ("contact") χρησιμοποιείται και στη σύνδεση | b. αποτελείται από το πλαίσιο του poly (box of poly), το πλαίσιο του μετάλλου (box of metal) και το πλαίσιο της επαφής τους (box of contact), με διαστάσεις που υπαγορεύονται από τους κανόνες σχεδίασης της τεχνολογίας. |
| C. ____ Το υλικό σύνδεσης μεταξύ metal και metal 2 | c. 4 x 4 λ. |
| D. ____ Το υλικό που συνδέει το metal 2 με το metal 3 | d. είναι η συγκόλληση 2 ("via 2"). |

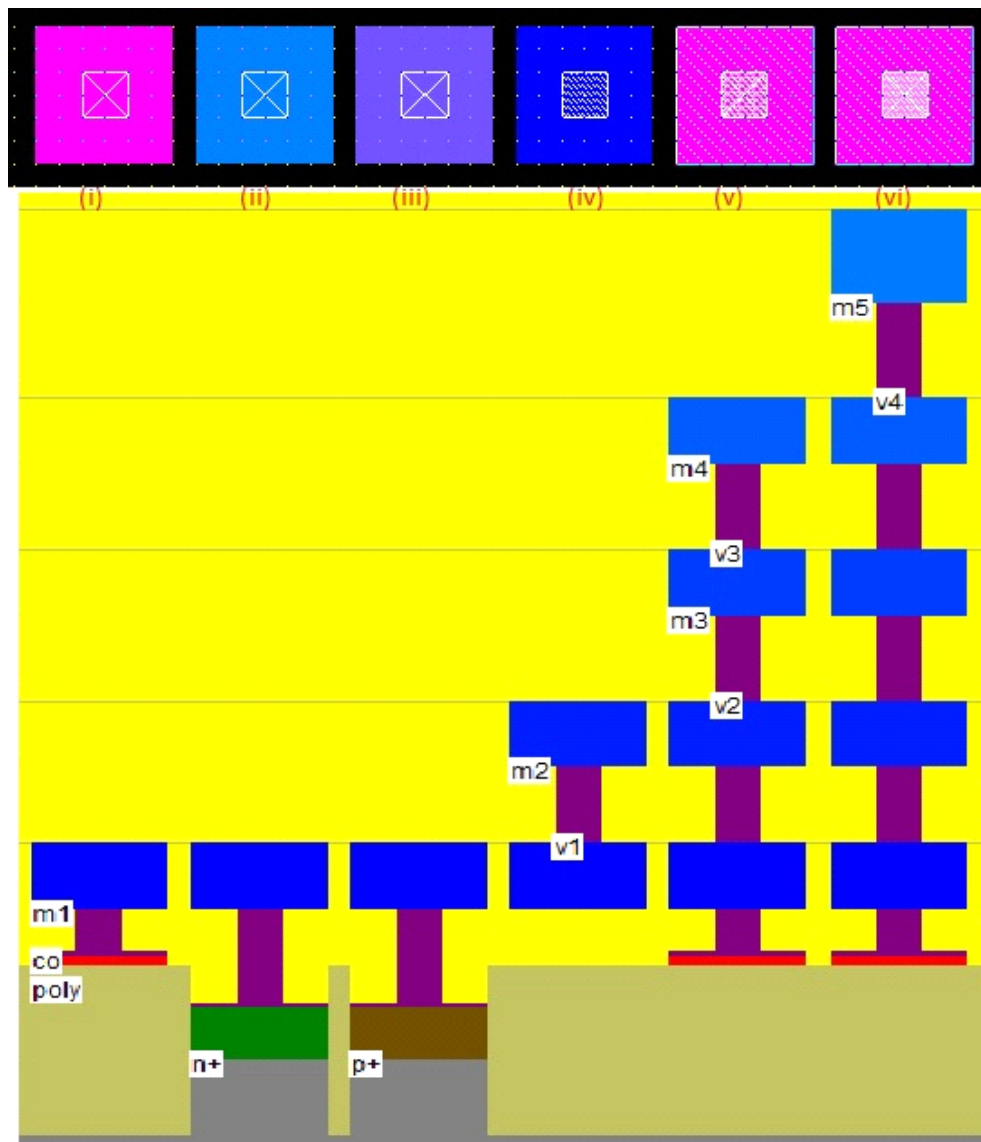
- E. ____ Το υλικό που συνδέει το metal 3 με το metal 4 e. ονομάζεται συγκόλληση ("via").
- F. ____ Η επαφή poly με metal, f. 2 x 2 λ.
- G. ____ Στην επαφή poly σε metal το πλαίσιο poly and το πλαίσιο metal έχουν διαστάσεις κατ' ελάχιστο g. μεταξύ poly με metal ή poly 2 με metal.
- H. ____ Στην επαφή poly σε metal το πλαίσιο της συγκόλλησης έχει διαστάσεις κατ' ελάχιστο h. είναι η συγκόλληση 3 ("via 3").



Σχήμα 10.6 Επαφές (Contact and Vias).

7. Παρατηρήστε το Σχήμα 10.7 και κάντε τις επόμενες αντιστοιχίσεις:

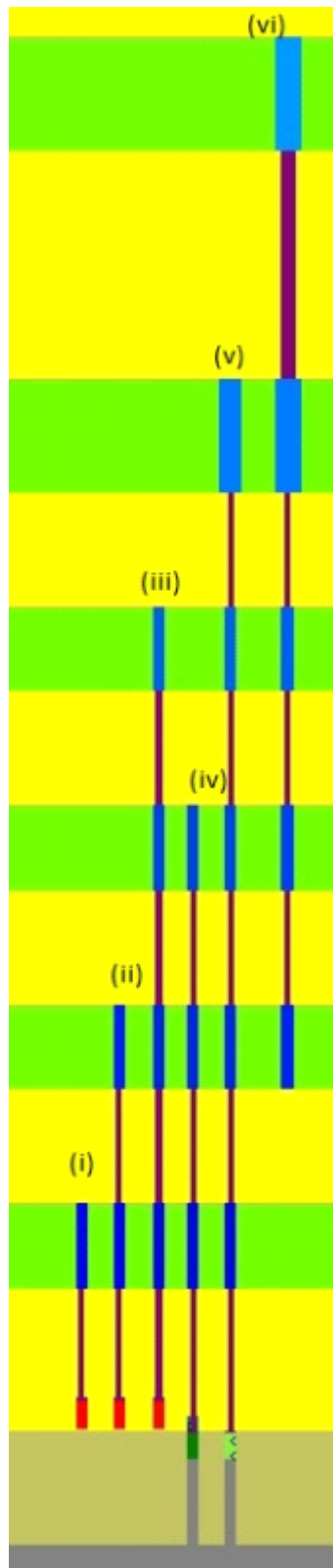
- | | |
|---------------|--------------------|
| A. ____ (i) | a. poly/metal 4 |
| B. ____ (ii) | b. metal 1/metal 2 |
| C. ____ (iii) | c. poly/meta 5 |
| D. ____ (iv) | d. P+ diff/metal 1 |
| E. ____ (v) | e. N+ diff/metal 1 |
| F. ____ (vi) | f. metal/poly |



Σχήμα 10.7 Σύνθετες επαφές (Complex Contacts).

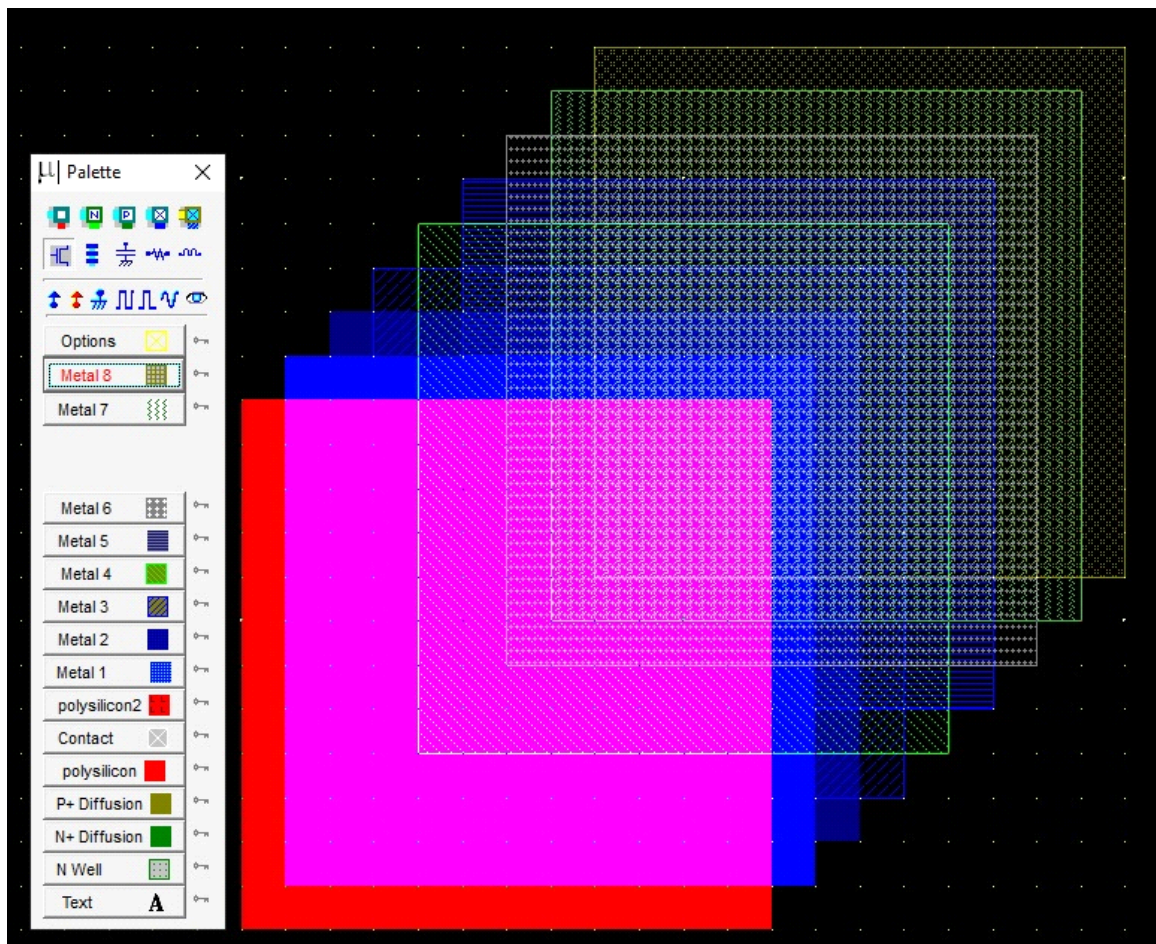
8. Παρατηρήστε το Σχήμα 10.8 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|-----------------------|----------|
| A. ____ metal2/metal6 | a. (ii) |
| B. ____ diffn/metal3 | b. (vi) |
| C. ____ poly/metal2 | c. (i) |
| D. ____ poly/metal1 | d. (iv) |
| E. ____ poly/metal4 | e. (iii) |
| F. ____ diffp/metal5 | f. (vi) |



Σχήμα 10.8 Σύνθετες επαφές (Complex Contacts).

9. Παρατηρήστε το Σχήμα 10.9 και απαντήστε στο επόμενο. Ποια επίπεδα είναι ενωμένα;



Σχήμα 10.9 Ποια επίπεδα είναι ενωμένα;

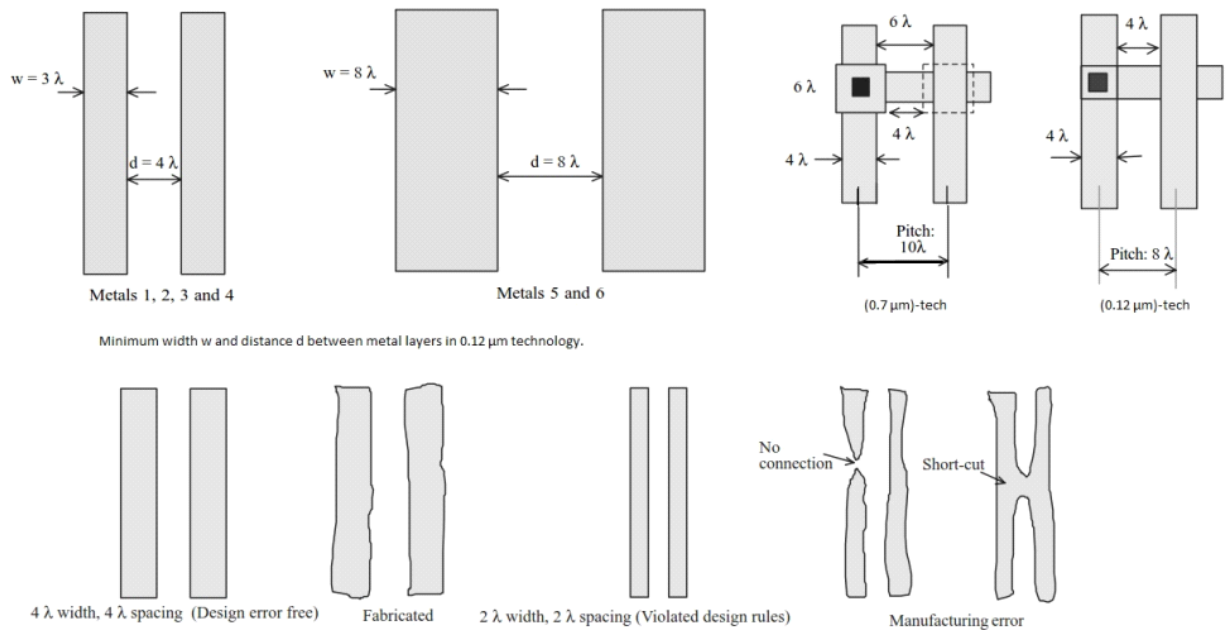
10. Παρατηρήστε το Σχήμα 10.10 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--|--|
| A. _____ Στην τεχνολογία 0.12 μm , τα επίπεδα μετάλλου 1, 2, 3 και 4 έχουν σχεδόν ίδια χαρακτηριστικά. Όσον αφορά τους κανόνες σχεδίασης, το ελάχιστο πλάτος w της μεταλλικής διαδρομής πρέπει να είναι | a. 3 λ . |
| B. _____ Η ελάχιστη απόσταση d μεταξύ δύο μεταλλικών διαδρομών στο ίδιο επίπεδο, για τα μέταλλα 1, 2, 3, 4 στην τεχνολογία 0.12 μm είναι | b. 4 λ . |
| C. _____ Στην τεχνολογία 0.12 μm , το ελάχιστο πλάτος w γραμμών μετάλλου επιπέδου 5 και 6 είναι | c. πλάτος 4 λ . |
| D. _____ Η ελάχιστη απόσταση d μεταξύ δύο μεταλλικών διαδρομών στο ίδιο επίπεδο, για τα μέταλλα 5, 6 στην τεχνολογία 0.12 μm είναι | d. ότι είναι συμβατό με κάθε κανόνα ελάχιστου πλάτους και απόστασης, έτσι ώστε να αποφύγουμε σπασίματα ή βραχυκυκλώματα στο κατασκευασμένο προϊόν. |

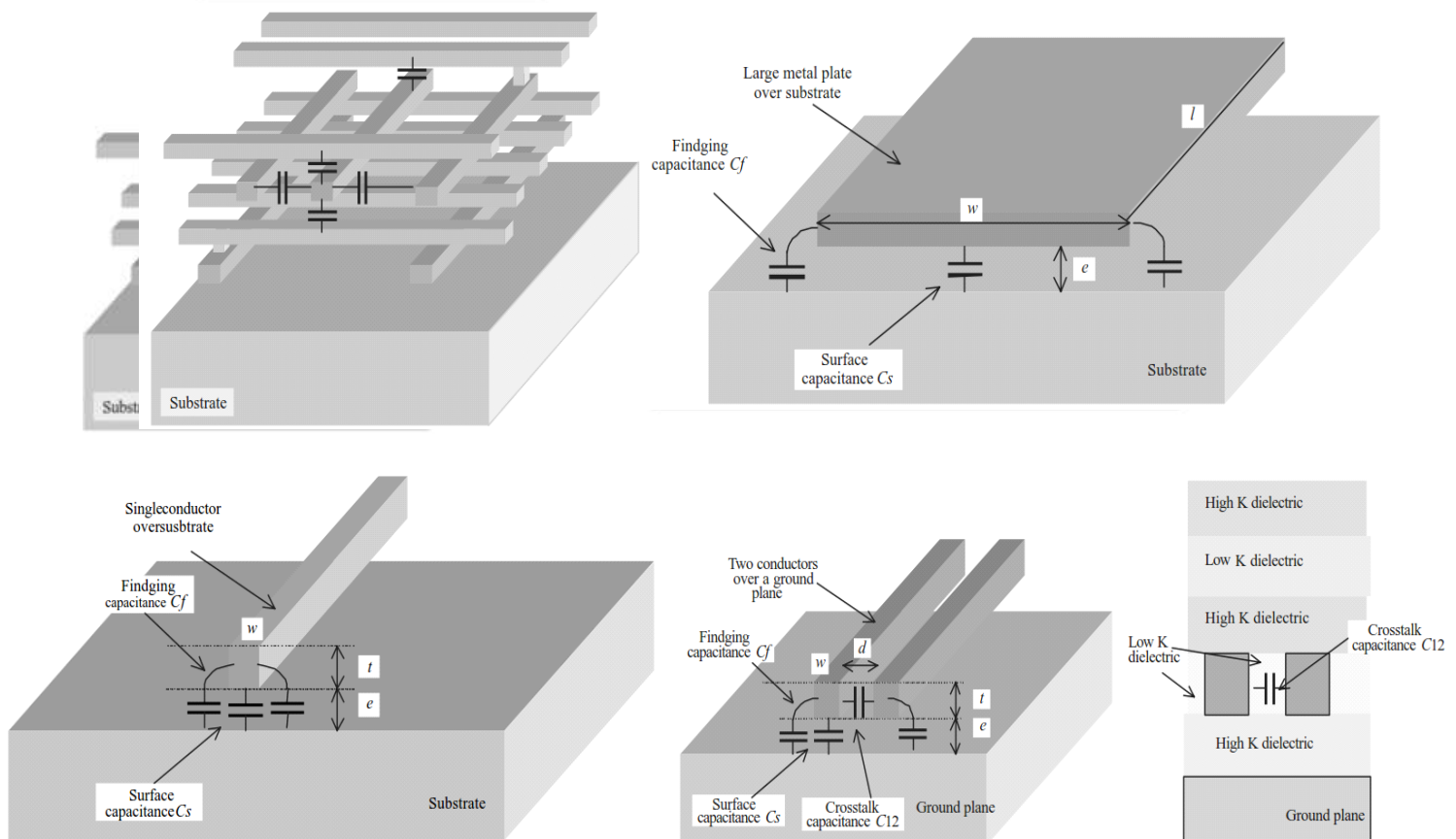
- E. ____ Στη σχεδίαση χωροθεσίας, κάθε γραμμή μετάλλου διασύνδεσης έχει
- F. ____ Το ελάχιστο πλάτος και απόσταση μεταξύ των υμενίων σε κάθε επίπεδο
- G. ____ Το ελάχιστο πλάτος και απόσταση μεταξύ των υμενίων σε κάθε επίπεδο ορίζουν
- H. ____ Αν σχεδιάσουμε γραμμές μετάλλου 1 με πλάτος 2λ και απόσταση μεταξύ τους 2λ
- I. ____ Πριν το στάδιο της κατασκευής, ολόκληρο το σχέδιο του κυκλώματος πρέπει να ελεγχθεί για να εξασφαλίσουμε
- J. ____ Ακόμα και στην περίπτωση που το σχέδιο είναι συμβατό με όλους τους σχεδιαστικούς κανόνες και όρια,
- K. ____ Ένα δισκίο πυριτίου με 500 ολοκληρωμένα κυκλώματα, τυπικά έχει απόδοση 70% στις ώριμες τεχνολογίες κατασκευής,
- L. ____ Η απόδοση παραγωγής μπορεί να πέσει μέχρι το 20% στις πιο νέες τεχνολογίες κατασκευής,
- M. ____ Πρακτικά, το πλάτος των μεταλλικών διασυνδέσεων
- N. ____ Στο Microwind οι διαδρομές διασυνδέσεων σχεδιάζονται με
- O. ____ Τα διάκενα (pitch) στις διασυνδέσεις ορίζονται ως η απόσταση που διαχωρίζει
- P. ____ Στην τεχνολογία 0.7 μm, λόγω των σοβαρών περιορισμών στο μέγεθος των επαφών
- Q. ____ Στις βαθύως υπομικρονικές τεχνολογίες οι βελτιώσεις στο μέγεθος των επαφών
- e. ένα όριο, κάτω από το οποίο η πιθανότητα σφάλματος στην κατασκευή της αντίστοιχης δομής, ανεβαίνει σε μη αποδεκτά επίπεδα.
- f. είναι κρίσιμες παράμετροι που δεν πρέπει να παραβιάζονται.
- g. η πιθανότητα να μην λειτουργήσει λόγω κατασκευαστικών ατελειών δεν είναι μηδενική.
- h. 8 λ.
- i. ίσο με το αντίστοιχο πλάτος τους.
- j. γιατί σε αυτές, όλοι οι κανόνες και οι περιορισμοί σχεδίασης είναι τραβηγμένοι στα όρια για να επιτευχθεί η μεγαλύτερη δυνατή ολοκλήρωση του προϊόντος στον ελάχιστο χώρο πάνω στο δισκίο.
- k. το διάκενο (pitch) είναι στα 10 λ.
- l. που σημαίνει ότι το 30% των κυκλωμάτων θα έχει κατασκευαστική ατέλεια και θα πρέπει να αποσυρθεί.
- m. 0.48 μm.
- n. σχεδιάζεται με μεγαλύτερη τιμή από την ελάχιστη.
- o. δύο διαφορετικές γραμμές διασύνδεσης.
- p. διαφορετικό χρώμα και γέμιση.
- q. έχουν ελαττώσει το διάκενο στα 8 λ.

R. _____ Στην τεχνολογία $0.12\ \mu\text{m}$, το διάκενο στις γραμμές διασύνδεσης είναι

γ. είναι πολύ πιθανό να εμφανιστούν σπασίματα στο σώμα τους ή βραχυκυκλώματα μεταξύ τους.



Σχήμα 10.10 Σχεδιαστικοί κανόνες γραμμών διασύνδεσης (Interconnect Design Rules).



Σχήμα 10.11 Χωρητικότητα διασυνδέσεων (Capacitance Associated with Interconnects).

11. Παρατηρήστε το Σχήμα 10.11 και κάντε τις επόμενες αντιστοιχίες:

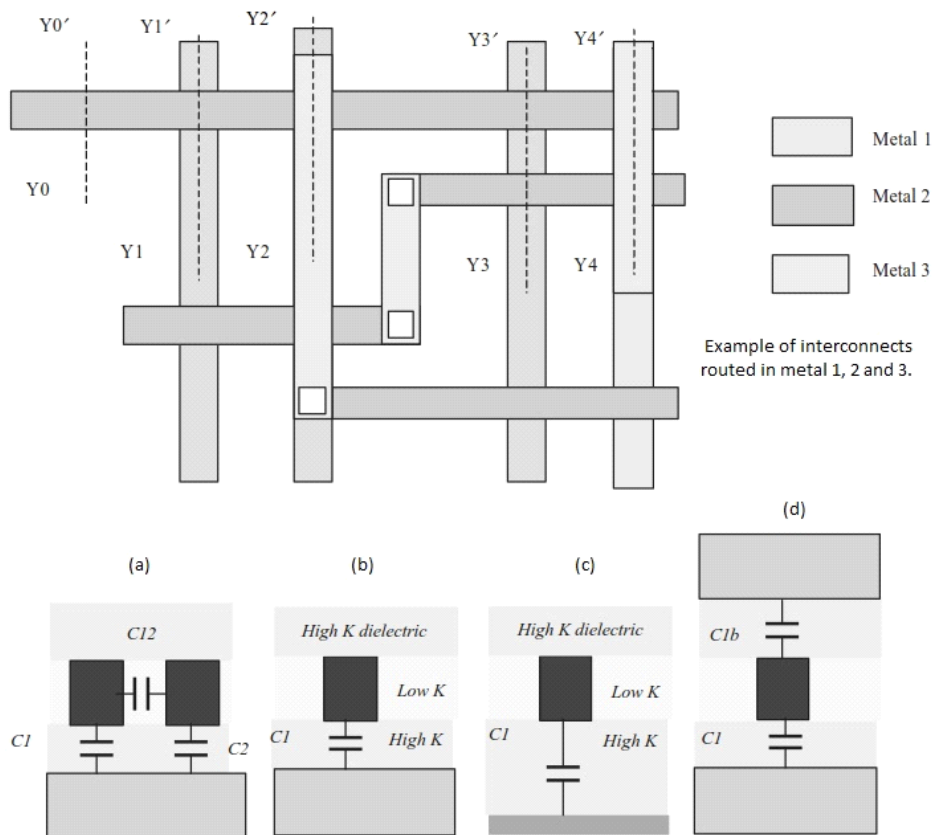
- | | |
|---|---|
| A. ____ Οι γραμμές διασυνδέσεων εμφανίζουν χωρητικότητα, διότι | a. 0.18 μm . |
| B. ____ Η χωρητικότητα των διασυνδέσεων είναι περίπλοκη συνάρτηση και πολύ δύσκολο να μοντελοποιηθεί, γιατί | b. υλικών μεγάλου και μικρού K. |
| C. ____ Κάθε διασύνδεση είναι συζευγμένη (coupled) με γειονικούς αγωγούς, | c. επιφανειακή χωρητικότητα ανά μέτρο (F/m). |
| D. ____ Η συνολική χωρητικότητα των διασυνδέσεων αναπαρίσταται ως | d. χωρητικότητα παρεμβολής (crosstalk capacitance) ανά μέτρο (F/m). |
| E. ____ Στην περίπτωση μιας μεγάλης μεταλλικής περιοχής (πλάτους w και μήκους l) που διαχωρίζεται από το υπόστρωμα ή από άλλες μεταλλικές περιοχές, μέσω ενός οξειδίου πάχους t_{ox} , μια σχετικά ακριβής εκφραση για τη χωρητικότητα είναι η $C_s =$ | e. $\epsilon_0 \epsilon_r [1.10 (w/t_{ox}) + 0.79 (w/t_{ox})^{0.11} + 0.46 (w/t_{ox})^{0.17} (1 - 0.87 \exp[-d/t_{ox}])]$ |
| F. ____ Μεγάλες μεταλλικές περιοχές (πλάκες) χρησιμοποιούνται για την κατασκευή | f. των μεταλλικών διεπιφανειών του τσιπ (pads), και στην περίπτωση αυτή αγνοούμε τη χωρητικότητα των πλευρικών ακμών (fringing capacitance C_f). |
| G. ____ Διάφοροι τύποι έχουν προταθεί για τον υπολογισμό της χωρητικότητας ενός αγωγού του οποίου το πλάτος είναι συγκρίσιμο με το πάχος του οξειδίου | g. $\epsilon_0 \epsilon_r [1.13 (w/t_{ox}) + 1.44 (w/t_{ox})^{0.11} + 1.46 (w/t_{ox})^{0.42}]$ |
| H. ____ Στην περίπτωση αγωγού πάνω από κάποιο επίπεδο, η χωρητικότητα του C_1 | h. τότε δημιουργείται χωρητικότητα παρεμβολής (crosstalk capacitance) C_{12} μεταξύ των δύο αγωγών. |
| I. ____ $C_1 = C_s + 2 C_f =$ | i. οι διασυνδέσεις έχουν εναλλαγές στο σχήμα τους και είναι άλλες φορές κοντά και άλλες φορές πιο μακριά μεταξύ τους. |
| J. ____ Όταν ένας αγωγός περνά κοντά από άλλον αγωγό, | j. μπορούν και αποθηκεύουν φορτία στις μεταλλικές διεπιφάνειές τους με το οξείδιο του πυριτίου. |
| K. ____ Στην τεχνολογία 0.12 μm χρησιμοποιούμε μεταξύ των διακένων των μεταλλικών διασυνδέσεων, | k. $\epsilon_0 \epsilon_r w l / t_{ox}$. |

- L. ____ Η χρήση οξειδίου με χαμηλό K, για τον χώρο μεταξύ των μεταλλικών διασυνδέσεων είναι μια καλή τεχνική μείωσης
- M. ____ Όταν γίνεται χρήση διηλεκτρικού χαμηλού K, η στοίβα των διηλεκτρικών εναλλάσσεται μεταξύ
- N. ____ Τα διηλεκτρικά χαμηλού K εισήχθησαν για πρώτη φορά στην τεχνολογία των
- O. ____ Το θεωρητικά καλύτερο (χαμηλό K) διηλεκτρικό είναι ο
- P. ____ Η χωρητικότητα C_2 μεταξύ ενός από τους δύο γειτονικούς αγωγούς και της γείωσης είναι το
- Q. ____ $C_2 = C_s + C_f =$
- R. ____ $C_{12} =$
- S. ____ C_1 είναι η
- T. ____ C_s είναι η
- U. ____ C_f είναι η
- V. ____ C_{12} είναι η
- I. αέρας με $K = 1$.
- m. χωρητικότητα ακμών (fringing capacitance) ανά μέτρο (F/m).
- n. ως ένα σύνολο από πυκνωτές που ενώνουν ηλεκτρικά μεταξύ τους τις γραμμές διασύνδεσης.
- o. ειδικό διηλεκτρικό με μικρή διηλεκτρική σταθερά K (low K) περίπου 3 αντί του 3.9 που είναι η σχετική διηλεκτρική σταθερά του οξειδίου του πυριτίου.
- p. τόσο στην οριζόντια, όσο και στην κατακόρυφη διεύθυνση.
- q. είναι το άθροισμα της C_s σύν δύο φορές την C_f .
- r. συνολική χωρητικότητα ανά μέτρο (F/m) ενός μεμονωμένου αγωγού και της γείωσης.
- s. που είναι και η περίπτωση στην πλειονότητα των περιπτώσεων των αγωγών που χρησιμοποιούνται για τη μεταφορά των σημάτων.
- t. της χωρητικότητας παρεμβολής (crosstalk capacitance) μεταξύ των διασυνδέσεων, με ταυτόχρονη διατήρηση της από πάνω και από κάτω χωρητικότητας σχεδόν αναλλοίωτης.
- u. άθροισμα των C_s και C_f .
- v. $\epsilon_0 \epsilon_{F-Low-K} [(t/t_{ox}) + 1.2 (d/t_{ox})^{0.1} (1.15 + d/t_{ox})^{-2.22} + 0.253 \ln[1 + 7.17 w/d] (0.54 + d/t_{ox})^{-0.64}]$

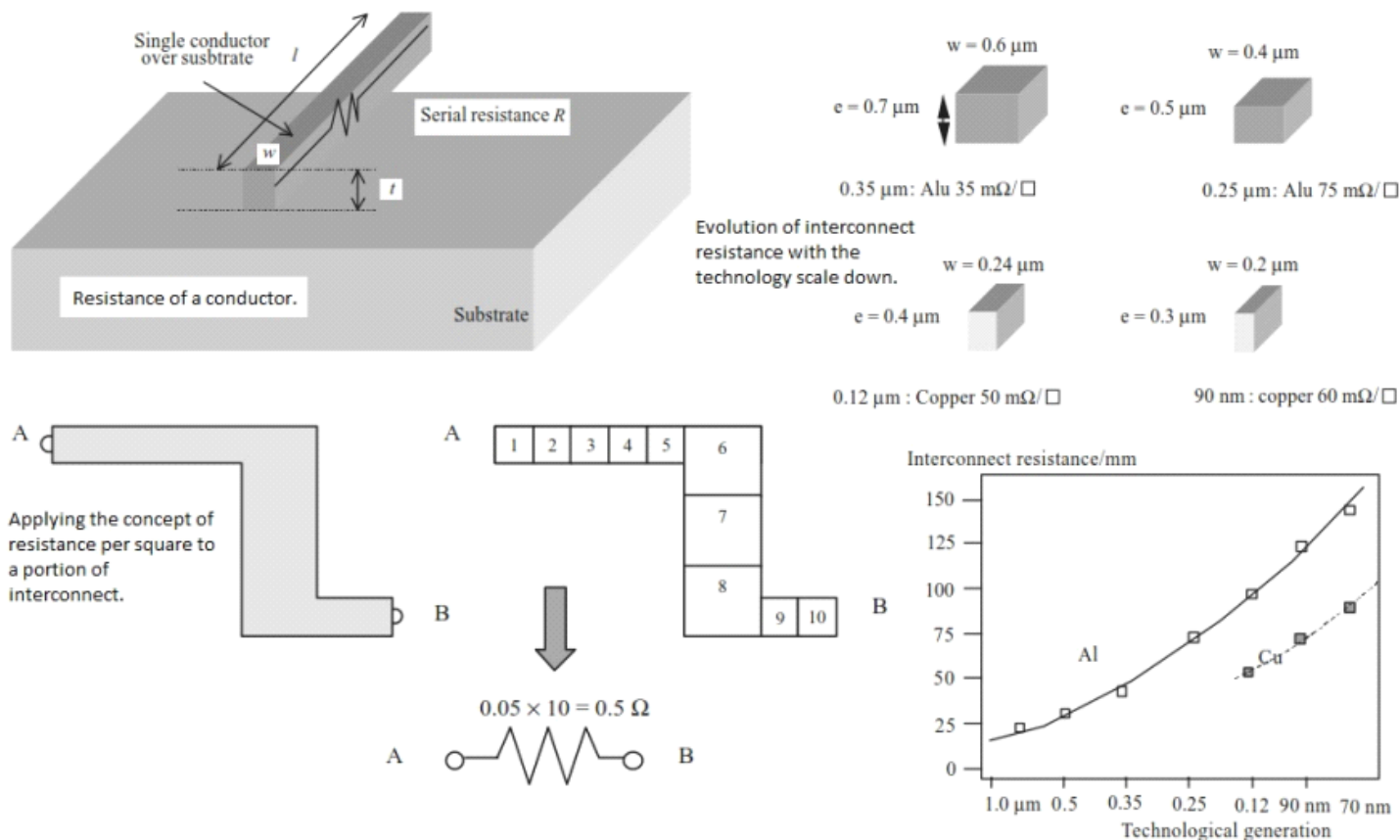
12. Παρατηρήστε το Σχήμα 10.12 και κάντε τις επόμενες αντιστοιχίες:

- A. ____ Πρακτικά, όταν έχουμε ένα δίκτυο αγωγών σε μια χωροθεσία, για να προκύψει μια ακριβής τιμή της χωρητικότητας κάθε κόμβου,
- a. (b).

- B. ____ Ακόμα και σε απλές περιπτώσεις διαμορφώσεων των διασυνδέσεων στη χωροθεσία,
- C. ____ (a)
- D. ____ (b)
- E. ____ (c)
- F. ____ (d)
- G. ____ $C = C_1 = 70 \text{ fF}/\mu\text{m}$.
- H. ____ $C = C_1 = 120 \text{ fF}/\mu\text{m}$.
- I. ____ $C = C_1 + C_{1b} = 150 \text{ fF}/\mu\text{m}$.
- J. ____ $C_1 = C_2 = 90 \text{ fF}/\mu\text{m}$, $C_{12} = 50 \text{ fF}/\mu\text{m}$.
- b. Δύο αγωγοί, ένα επίπεδο ($Y3-Y3'$).
- c. Ένας αγωγός πάνω από το υπόστρωμα ($Y0-Y0'$).
- d. (d).
- e. (a).
- f. (c).
- g. Ένας αγωγός, ένα επίπεδο ($Y1-Y1'$).
- h. Ένας αγωγός, δύο επίπεδα ($Y2-Y2'$).
- i. γίνεται μια 2D διαμέριση της χωροθεσίας και στη συνέχεια υπολογισμός σε 3D για τη χωρητικότητα κάθε κόμβου.
- j. μπορεί να προκύψει ένα μεγάλο σύνολο από 3D διαμορφώσεις καθεμία από τις οποίες απαιτεί τη χρήση επιλύτη (solver) 3D στατικού πεδίου.



Σχήμα 10.12 Ρεαλιστικά παραδείγματα αγωγών σε χωροθεσία.



Σχήμα 10.13 Αντίσταση διασυνδέσεων.

13. Παρατηρήστε το Σχήμα 10.13 και κάντε τις επόμενες αντιστοιχίσεις:

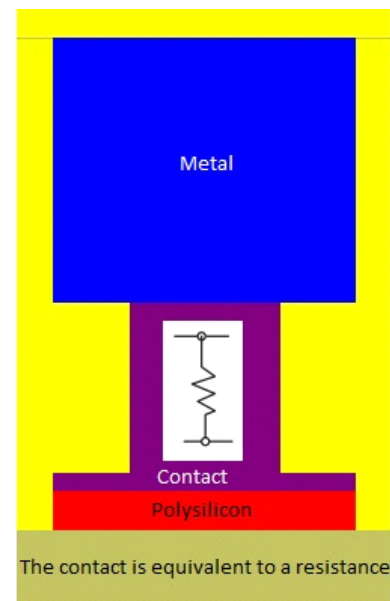
- | | |
|--|---|
| A. ____ Οι αγωγοί (conductors) έχουν | a. μεγαλύτερη από τη θεωρητική λόγω των ατελειών/ανομοιομορφιών (inhomogeneities) των υλικών. |
| B. ____ Τα ημιαγωγικά υλικά όπως το υψηλής νόθευσης πυρίτιο, έχουν | b. μέτρια (moderate) ειδική αντίσταση. |
| C. ____ Το ενδογενές πυρίτιο έχει | c. αντίσταση ανά τετράγωνο ("resistance per square"). |
| D. ____ Αν ένας αγωγός έχει ειδική αντίσταση ρ , μήκος l , πλάτος w και πάχος t , τότε η αντίσταση σειράς που εμφανίζει είναι $R =$ | d. με την τιμή της αντίστασης τετραγώνου R_{square} για να έχουμε εκτίμηση της συνολικής αντίστασης της διασύνδεσης. |
| E. ____ Όταν σχεδιάζουμε διασυνδέσεις (interconnects) ένα χρήσιμο μέτρο για τον υπολογισμό της αντίστασής τους είναι η | e. αντίσταση σειράς στη θερμοκρασία αναφοράς T_0 . |
| F. ____ Αντίσταση ανά τετράγωνο $R_{\text{square}} =$ | f. χωρίζουμε το σώμα της διασύνδεσης σε στοιχειώδη τετράγωνα. |

- G. ____ Το υλικό που παραδοσιακά χρησιμοποιείται στις διασυνδέσεις είναι το
- H. ____ Η ειδική αντίσταση του αλουμινίου είναι
- I. ____ Ο χαλκός έχει αντικαταστήσει το αλουμίνιο όσον αφορά την κατασκευή των μεταλλικών διασυνδέσεων
- J. ____ Το βολφράμιο (tungsten) χρησιμοποιείται στις CMOS τεχνολογίες για την κατασκευή των σφηνών επαφής (contact plugs). Η ιδιότητά του να γεμίζει
- K. ____ Ο χρυσός χρησιμοποιείται μόνο
- L. ____ Συνήθως, η μετρούμενη αντίσταση τετραγώνου είναι
- M. ____ Τα ακραία όρια των αγωγών (στις δύο άκρες του αγωγού διασύνδεσης) είναι κατασκευασμένα από τιτάνιο (titanium) και έχουν σημαντική αντίσταση
- N. ____ Η αντίσταση τετραγώνου είναι χρήσιμη στο να μας δίνει μια εκτίμηση της ισοδύναμης αντίστασης μιας διασύνδεσης με το να
- O. ____ Το άθροισμα των στοιχειωδών τετραγώνων στα οποία χωρίζουμε το σώμα μιας διασύνδεσης, πρέπει να πολλαπλασιαστεί
- P. ____ Στην CMOS 0.12 μm τεχνολογία, $R_{\text{square}} =$
- Q. ____ Η αντίσταση ενός αγωγού συνήθως θεωρείται
- R. ____ Η αντίσταση σειράς μιας διασύνδεσης, σε θερμοκρασία T δίνεται από την $R_T =$
- g. σταθερή. Ωστόσο, εξαρτάται με περίπλοκο τρόπο από τη θερμοκρασία.
- h. πολύ μεγάλη ειδική αντίσταση.
- i. μειώσει την αντίσταση τετραγώνου σχεδόν κατά 50%, αλλά έχει ταυτόχρονα αυξήσει την πολυπλοκότητα των διαδικασιών και το καθολικό κόστος κατασκευής.
- j. πολύ μικρή ειδική αντίσταση (resistivity).
- k. $\rho l / (wt)$.
- l. 50 m Ω .
- m. θερμοκρασιακός συντελεστής για την αντίσταση με μονάδες ($\text{ppm}/^{\circ}\text{C}$).
- n. πολύ μεγάλη.
- o. στενές (narrow) και βαθιές (deep) τρύπες, αποζημιώνει το μειονέκτημα της υψηλής ειδικής του αντίστασης.
- p. με σημαντικό όφελος όσον αφορά την αντίσταση, επειδή η ειδική αντίσταση του χαλκού είναι σχεδόν δύο φορές μικρότερη από αυτή του αλουμινίου.
- q. $\rho w / (wt) = \rho / t$.
- r. αλουμίνιο, επειδή είναι υλικά που εύκολα υφίστανται διάφορες επεξεργασίες.

- S. ____ TCR είναι ο
- T. ____ R_{T0} είναι η
- U. ____ Η στοιχειώδης αντίσταση R_{square} αυξάνεται
- V. ____ Η εισαγωγή του χαλκού στην υψηλών επιδόσεων CMOS διαδικασία έχει
- s. για διασύνδεση του τελικού τσίπ στο πακέτο του.
- t. $R_{T0} [1 + 10^{-6} TCR (T - T_0)]$.
- u. γεγονός που μειώνει το χρήσιμο (effective) τμήμα του αγωγού.
- v. σε κάθε νέα γενιά τεχνολογίας, γιατί η διατομή των διασυνδέσεων ελαττώνεται.

Technology	0.7 μm	0.12 μm	90 nm
Contact resistance	0.5 Ω	15 Ω	20 Ω
Via	0.3 Ω	4 Ω	8 Ω
Upper via	—	1 Ω	3 Ω

Typical resistance of contacts and vias.



Σχήμα 10.14 Αντίσταση συγκόλλησης (Via Resistance).

14. Παρατηρήστε το Σχήμα 10.14 και κάντε τις επόμενες αντιστοιχίες:

- A. ____ Κάθε επαφή και συγκόλληση (contact and via) έχει
- B. ____ Γενικά η αντίσταση της επαφής και της συγκόλλησης αυξάνεται με
- C. ____ Η αντίσταση της επαφής μεταξύ των ενεργών περιοχών της διάταξης και του 1ου επιπέδου μετάλλου είναι πολύ σημαντική
- D. ____ Το παχύ στρώμα οξειδίου του πυριτίου είναι απαραίτητο στις περπτώσεις που εισάγονται διάφορα υλικά για ειδικές κατασκευές, όπως
- a. γιατί το μέγεθος των συγκολλήσεων είναι πολύ μεγαλύτερο σε σχέση με το αντίστοιχο των κατώτερων στρωμάτων μετάλλου.
- b. διατάξεις MOS διπλής πύλης για μνήμες EEPROM ή μεγάλες χωρητικότητες αποθήκευσης για DRAM.
- c. γιατί μεσολαβεί ένα παχύ στρώμα οξειδίου του πυριτίου (περίπου 1.0 μm) από το επίπεδο της ενεργού περιοχής μέχρι το επίπεδο του μετάλλου 1.
- d. τη σμίκρυνση της τεχνολογίας, επειδή το τμήμα συγκόλλησης της επαφής μειώνεται σε διαστάσεις, που οδηγεί σε μείωση της περιοχής κίνησης των φορτίων του ρεύματος.

- Ε. ____ Η αντίσταση συγκόλλησης (via) των ανωτέρω επιπέδων μετάλλου είναι αρκετά μικρή
- ε. σημαντική αντίσταση.

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Baker, R.J., Li, H.W., & Boyce, D.E. (1998). *CMOS circuit design, layout and simulation*. IEEE Press. ISBN 0-7803-3416-7.
 2. Delmas-Bendhia, S., Caignet, F., & Sicard, E. (2000). *A new method for measuring signal integrity in CMOS lcs. Microelectronics International, Vol. 17, No 1*, σσ. 17-21.
 3. Delorme, N., Belleville, M., & Chilo, J. (1996). *Inductance and capacitance analytic formulas for VLSI interconnects. Electronic Letters, Vol. 32, No 11*, σσ. 996-997.
 4. Hastings, A. (2006). *The Art of Analog Layout*. Prentice-Hall. ISBN 0-13-087061-7.
 5. John, M., & Smith, S. (1977). *Application-Specific Integrated Circuits*. Addison-Wesley. ISBN 1977 0-201-50022-1, Chapter 7.
 6. Lee, T.H. (1998). *The design of CMOS radio frequency integrated circuits*. Cambridge University Press. ISBN 0-521-63922-0.
 7. Sakurai, T. (1993). *Closed-form expressions for interconnection delay, coupling and crosstalk in VLSI. IEEE Transactions of Electron Devices, Vol. 40, No. 1*, σσ. 118-124.
 8. Sicard, E., & Bendhia, S.D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.
 9. Weste, N., & Eshraghian, K. (1993). *Principles of CMOS VLSI design*. Addison Wesley. ISBN 0-201-53376-6.
 10. www.st.com
-

ΚΕΦΑΛΑΙΟ 11. ΒΑΣΙΚΕΣ ΠΥΛΕΣ ΛΟΓΙΚΗΣ CMOS (ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)

ΣΥΝΟΨΗ

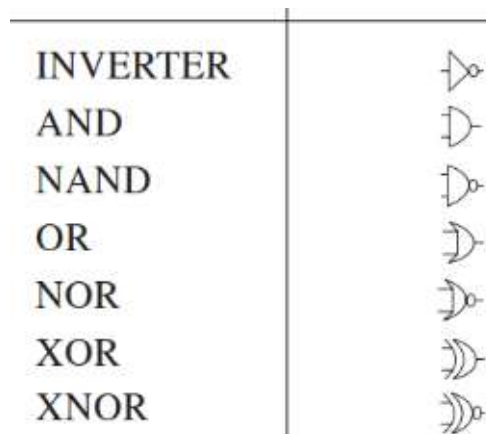
Περιλαμβάνονται πληθώρα ερωτήσεων/ασκήσεων σχετικών με την cmos υλοποίηση κυκλώματος και χωροθεσίας των θεμελιωδών πυλών ψηφιακής λογικής.

ΣΤΟΧΟΣ

- * Εμβάθυνση στην cmos υλοποίηση κυκλώματος και
- * χωροθεσίας των θεμελιωδών πυλών ψηφιακής λογικής.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

- * Βασικές γνώσεις χειρισμού λογισμικού Microwind και Dsch.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.
- * Στοιχεία χωροθεσίας cmos.
- * Διατομή cmos - υλικά κατασκευής.
- * Διαγράμματα χρονισμού.
- * Εισαγωγικά στοιχεία Verilog.
- * Κεφάλαια 1-6.



Σχήμα 11.1 Βασικές πύλες ψηφιακής λογικής.

1. Παρατηρήστε το Σχήμα 11.1 και κάντε τις επόμενες αντιστοιχίσεις:

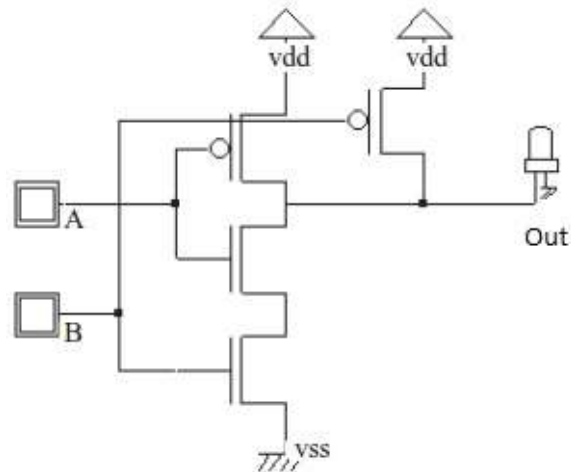
Αντιστοιχίστε τις λογικές εξισώσεις βασικών πυλών στη Verilog με την αντίστοιχη πύλη. Είσοδοι: in, a, b. Έξοδοι: Out.

- | | |
|------------------|---------------------------------|
| A. ____ Inverter | a. $\text{Out} = (a b);$ |
| B. ____ and | b. $\text{Out} = a^b;$ |
| C. ____ nand | c. $\text{Out} = \sim(a \& b);$ |
| D. ____ or | d. $\text{Out} = \sim in;$ |
| E. ____ nor | e. $\text{Out} = \sim(a b);$ |
| F. ____ xor | f. $\text{Out} = \sim(a^b);$ |
| G. ____ xnor | g. $\text{Out} = a \& b;$ |

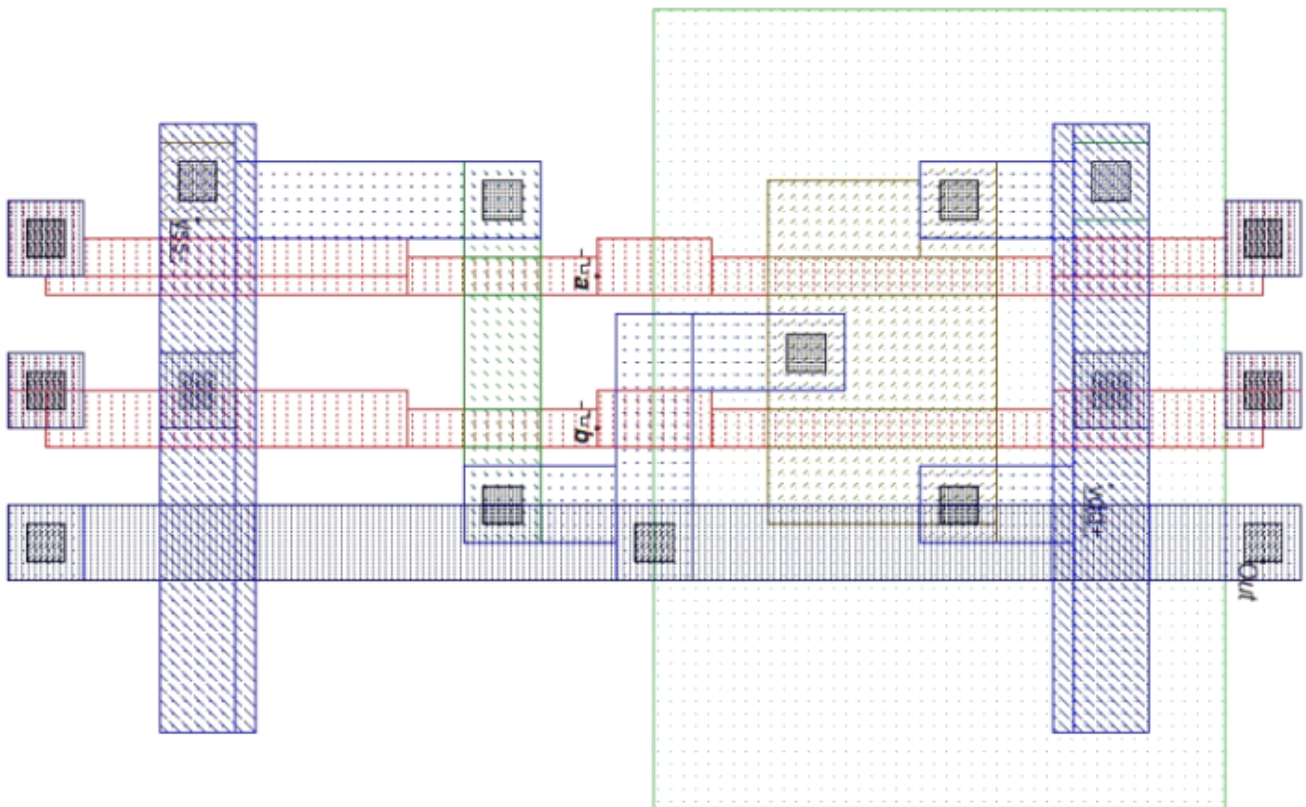
2. Σχήμα 11.2. Πύλη CMOS.

- | | |
|--------|-------------------------------------|
| A. T F | Το κύκλωμα είναι μια CMOS nor πύλη. |
| B. T F | $\text{Out} = \sim(a b)$ |
| C. T F | $A=1, B=0 \Rightarrow \text{Out}=1$ |
| D. T F | $A=B=0 \Rightarrow \text{Out}=1$ |
| E. T F | $A=1, B=1 \Rightarrow \text{Out}=1$ |
| F. T F | $\text{Out} = \sim(a \& b)$ |
| G. T F | $A=0, B=1 \Rightarrow \text{Out}=1$ |
| H. T F | $A=B=0 \Rightarrow \text{Out}=0$ |

I. T F A=1,B=1 => Out=0



Σχήμα 11.2. Πύλη CMOS.

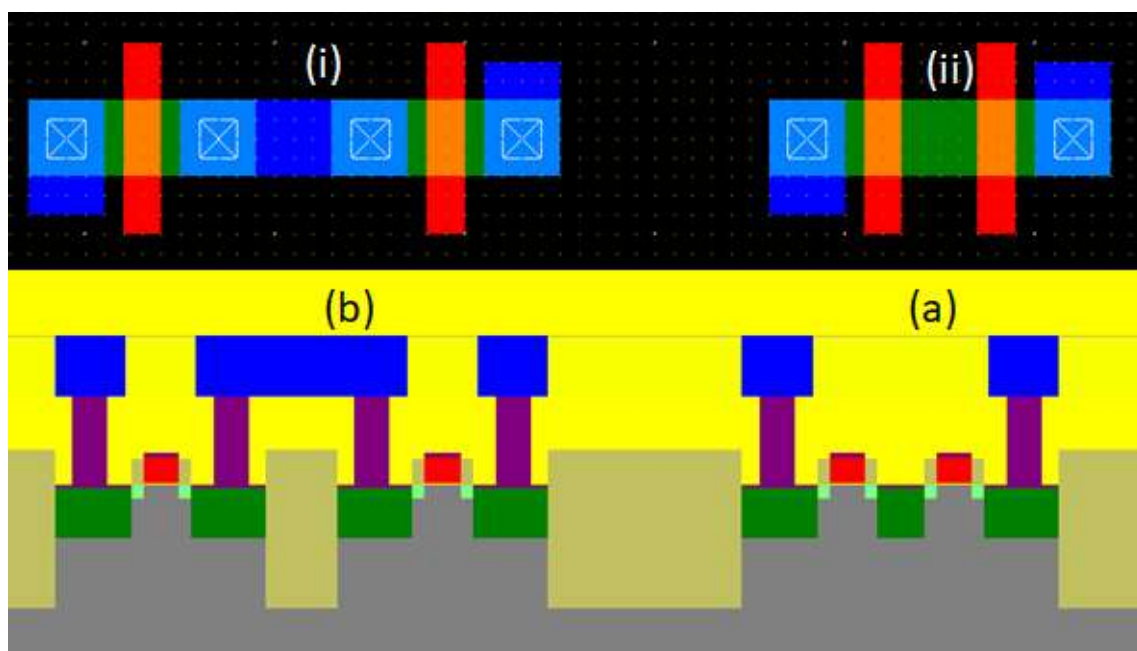


Σχήμα 11.3/11.4 Δεδομένης της χωροθεσίας, να εξάγετε τον πίνακα αληθείας και την verilog εξίσωση λογικής.

3. Παρατηρήστε το Σχήμα 11.3. Δεδομένης της χωροθεσίας, να εξάγετε τον πίνακα αληθείας και την verilog εξίσωση λογικής.

4. Παρατηρήστε το Σχήμα 11.4. Είσοδοι: a, b. Έξοδος: Out.

- Σχεδιάστε το CMOS κύκλωμα.
- Σχεδιάστε το ισοδύναμο RC κύκλωμα.
- Σχεδιάστε το ισοδύναμο RC κύκλωμα για low-to-high εναλλαγή.
- Σχεδιάστε το ισοδύναμο RC κύκλωμα για high-to-low εναλλαγή.
- Γιατί υπάρχει ασυμμετρία στους χρόνους εναλλαγής t_{LH} και t_{HL} ;
- Πώς μπορούμε να βελτιώσουμε τη χρονική ασυμμετρία εναλλαγής;



Σχήμα 11.5 Βελτιστοποίηση επιφάνειας.

5. Παρατηρήστε το Σχήμα 11.5 και κάντε τις επόμενες αντιστοιχίες:

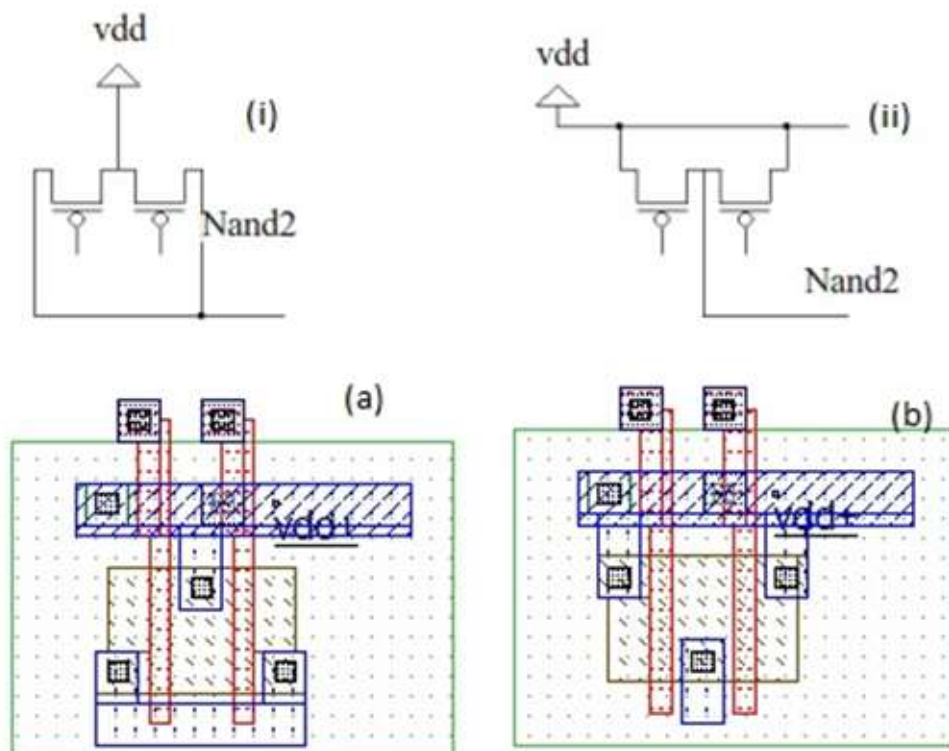
- | | |
|--|---|
| A. ____ Το κυριότερο πλεονέκτημα του να ενώνουμε τις περιοχές διάχυσης των MOS διατάξεων, όταν αυτό είναι δυνατό, αντί να τις σχεδιάζουμε ξεχωριστά, | a. σε σχέση με τη χωροθεσία (i). |
| B. ____ Η ένωση των περιοχών διάχυσης των διατάξεων MOS όταν αυτό είναι δυνατό, | b. η οποία ισοδυναμεί με χωρητικότητα όταν είναι αντίστροφα πολωμένη (P στο χαμηλό δυναμικό V_{SS} και N στο υψηλό δυναμικό). |
| C. ____ Η σύνδεση των περιοχών διάχυσης όταν αυτό είναι δυνατό, οδηγεί σε μικρότερες επιφάνειες οπότε και σε | c. μένει διαθέσιμος περισσότερος χώρος για τη δημιουργία των μεταλλικών συνδέσεων. |

- | | |
|--|---|
| D. ____ Μικρότερη παρασιτική χωρητικότητα σημαίνει | d. είναι η ελάττωση απαιτήσεων σε επιφάνεια πυριτίου, οπότε και του κόστους. |
| E. ____ Για μικρούς χρόνους καθυστέρησης φόρτισης/εκφόρτισης, | e. από το (b). |
| F. ____ Η αιτία των παρασιτικών χωρητικοτήτων στις MOS διατάξεις είναι η επαφή N+/P- που δημιουργείται στο υπόστρωμα των MOS | f. η χωροθεσία του (b). |
| G. ____ Ένα ακόμα πλεονέκτημα της σύνδεσης των περιοχών διάχυσης μεταξύ τους είναι ότι έτσι | g. ελάττωση της παρασιτικής χωρητικότητας. |
| H. ____ Η χωροθεσία (ii) έχει μικρότερη παρασιτική χωρητικότητα | h. μικρότερες καθυστερήσεις φόρτισης/εκφόρτισης. |
| I. ____ Η χωροθεσία (i) έχει μεγαλύτερη παρασιτική χωρητικότητα | i. η χωροθεσία (i) έχει μεγαλύτερη παρασιτική χωρητικότητα. |
| J. ____ Η χωροθεσία (i) θεωρείται | j. οδηγεί σε βελτιστοποίηση της ταχύτητας. |
| K. ____ Σε σχέση με τη χωροθεσία (i), | k. η χωροθεσία (ii) έχει μικρότερη παρασιτική χωρητικότητα. |
| L. ____ Σε σχέση με τη χωροθεσία (ii), | l. η χωροθεσία (i). |
| M. ____ Θεωρείται φτωχή σχεδίαση. | m. σε σχέση με τη χωροθεσία (ii). |
| N. ____ Το (a) είναι καλύτερη σχεδίαση | n. φτωχή σχεδίαση (poor design). |
| O. ____ Το (a) είναι η διατομή της | o. πρέπει να ενώνουμε τις περιοχές διάχυσης των MOS διατάξεων, όταν αυτό είναι δυνατό, για να πετυχαίνουμε μικρότερες επιφάνειες. |
| P. ____ Το (i) είναι | p. χωροθεσίας (ii). |

6. Σχήμα 11.6 Βέλτιστη τοποθέτηση pMOS στη χωροθεσία του κυκλώματος.

- | | |
|--------|--|
| A. T F | Η χωροθεσία (a) αντιστοιχεί στο σχέδιο (i). |
| B. T F | Είναι καλύτερα η γραμμή εξόδου σε ένα κύκλωμα να είναι μικρού μήκους, ώστε να έχουμε καλύτερη ταχύτητα. |
| C. T F | 2 επαφές με τη V_{DD} δίνουν γρηγορότερη ταχύτητα εναλλαγής. |
| D. T F | Είναι καλύτερα η γραμμή εξόδου σε ένα κύκλωμα να είναι μεγάλου μήκους, ώστε να έχουμε καλύτερη ταχύτητα. |
| E. T F | Η χωροθεσία (b) αντιστοιχεί στο σχέδιο (ii). |

- F. T F Το σχέδιο (i) είναι καλύτερο του (ii).
- G. T F Το σχέδιο (ii) είναι καλύτερο του (i).
- H. T F Το σχέδιο (i) είναι το βέλτιστο.
- I. T F Η χωροθεσία (a) αντιστοιχεί στο σχέδιο (ii).
- J. T F Η χωροθεσία (b) αντιστοιχεί στο σχέδιο (i).
- K. T F 1 επαφή με τη V_{DD} οδηγεί σε γρηγορότερη ταχύτητα εναλλαγής.
- L. T F Το σχέδιο (i) δεν είναι το βέλτιστο.



Σχήμα 11.6 Βέλτιστη τοποθέτηση pMOS στη χωροθεσία του κυκλώματος.

7. Παρατηρήστε το Σχήμα 11.7 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|--------------|---------|
| A. ____ (a) | a. (i) |
| B. ____ (b) | b. (ii) |
| C. ____ (i) | c. (b) |
| D. ____ (ii) | d. (a) |

8. Παρατηρήστε το Σχήμα 11.8 και κάντε τις επόμενες αντιστοιχίσεις:

- | | |
|-------------|--------|
| A. ____ (a) | a. (b) |
|-------------|--------|

B. ____ (b)

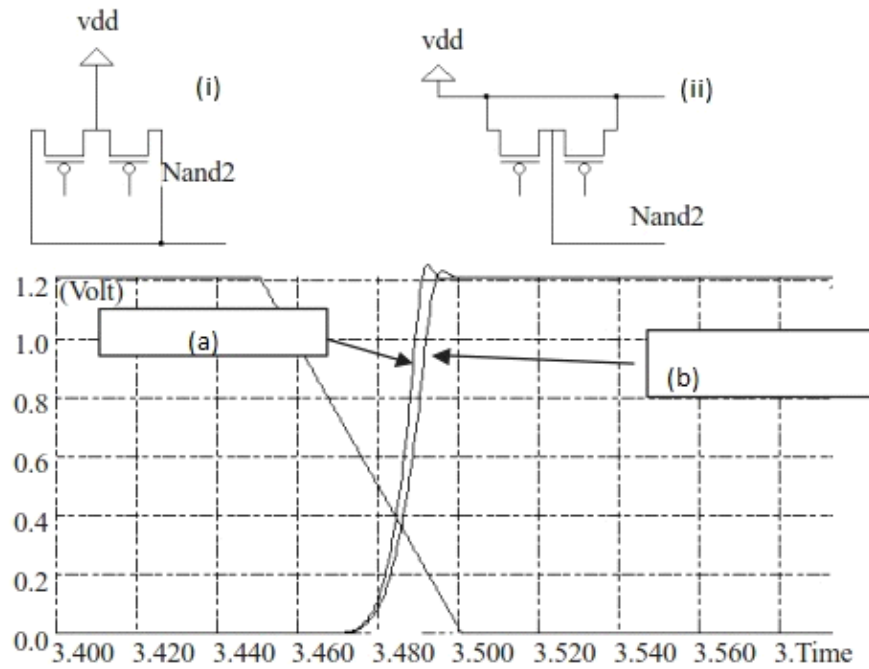
b. (a)

C. ____ (i)

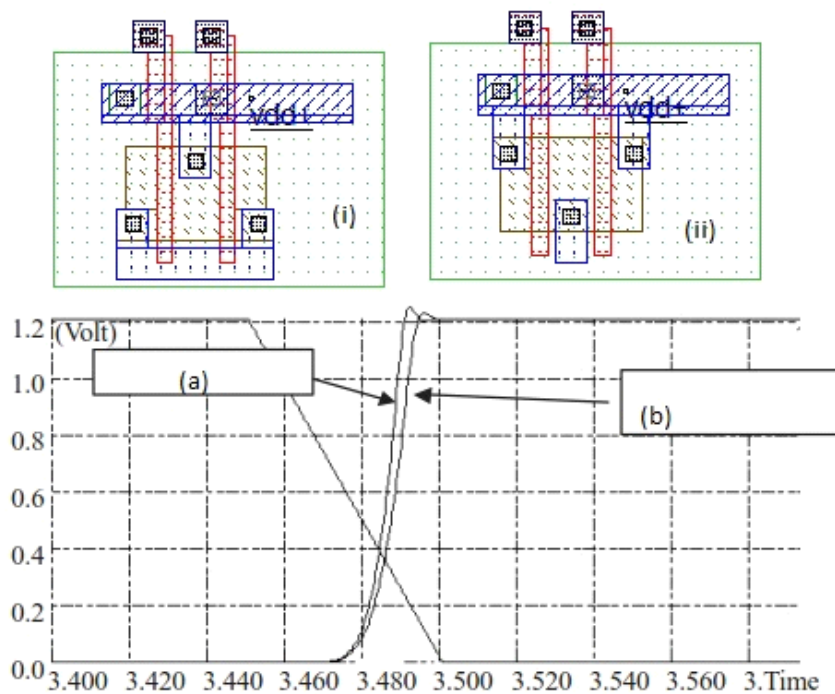
c. (i)

D. ____ (ii)

d. (ii)



Σχήμα 11.7 Βέλτιστη τοποθέτηση pMOS στη χωροθεσία του κυκλώματος.

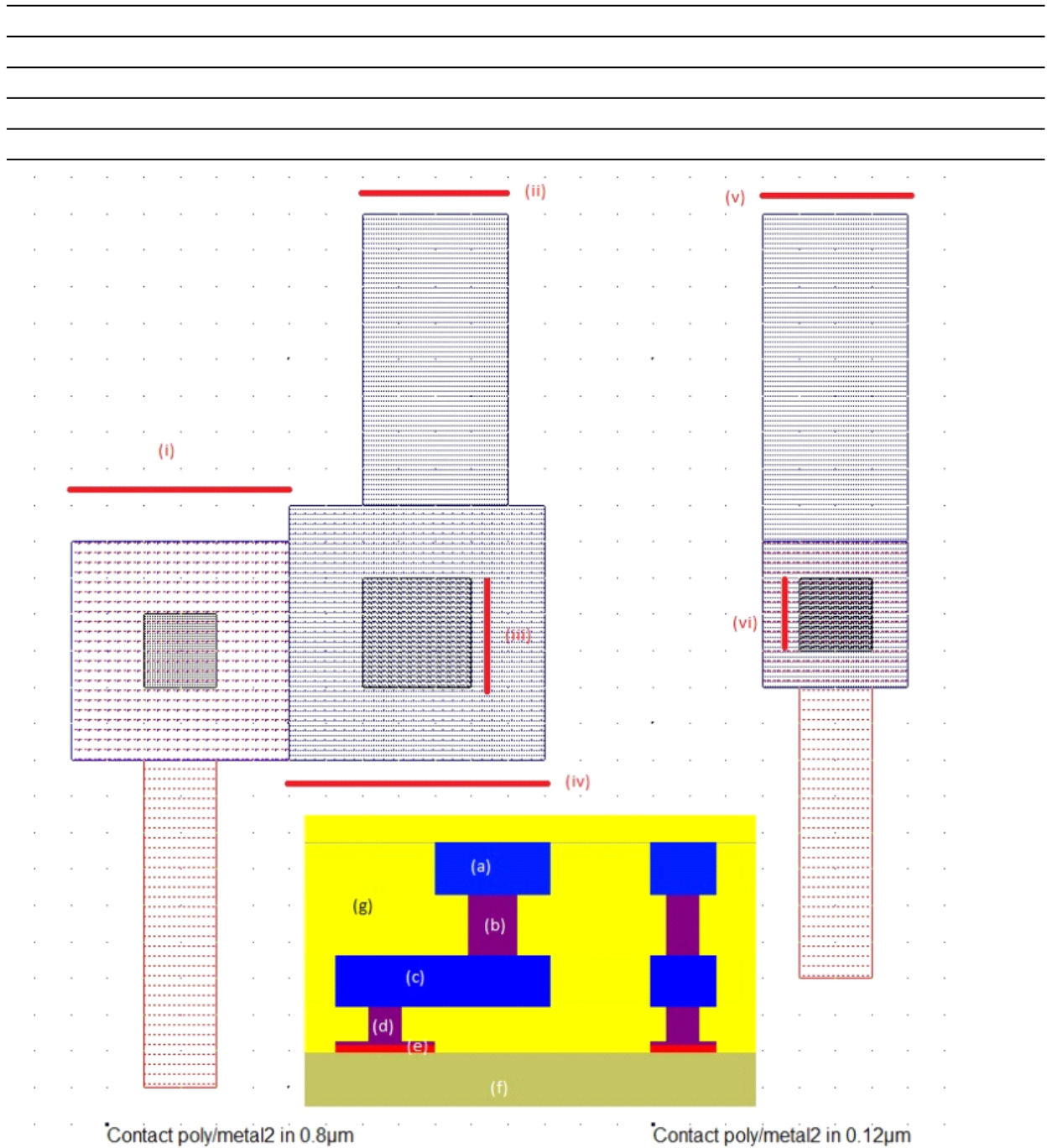


Σχήμα 11.8 Βέλτιστη τοποθέτηση pMOS στη χωροθεσία του κυκλώματος.

9. Παρατηρήστε το Σχήμα 11.9 και απαντήστε στο επόμενο:

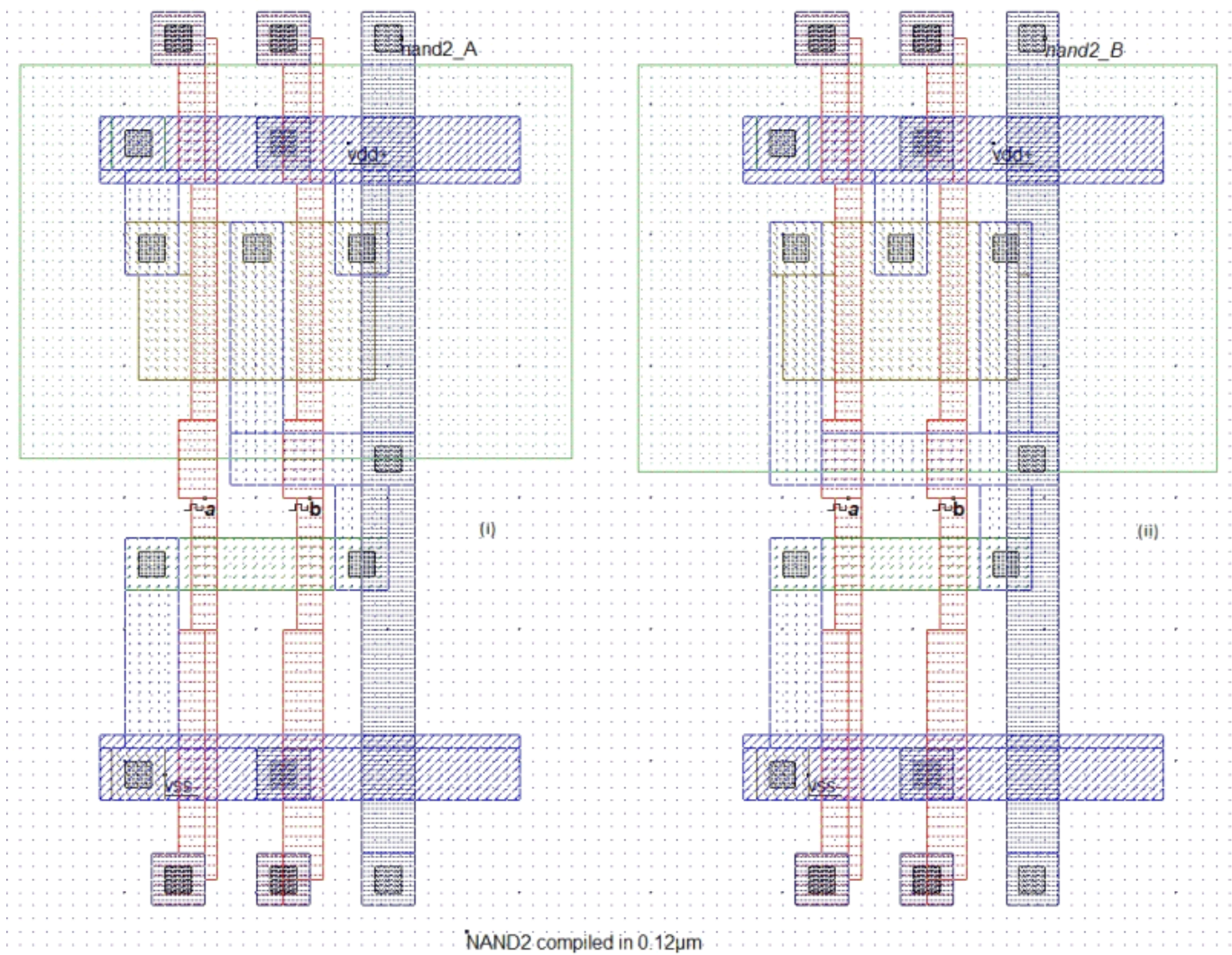
Δώστε τις διαστάσεις σε μονάδες λ για τα (i) ως (vi).

Δώστε και τα ονόματα των υμενίων για τα (a) ως (g).



Σχήμα 11.9 Διαστάσεις σε τεχνολογία micron και deep-submicron.

10. Παρατηρήστε το Σχήμα 11.10. Ποια χωροθεσία θεωρείτε ότι είναι καλύτερη σχεδιαστικά και γιατί;

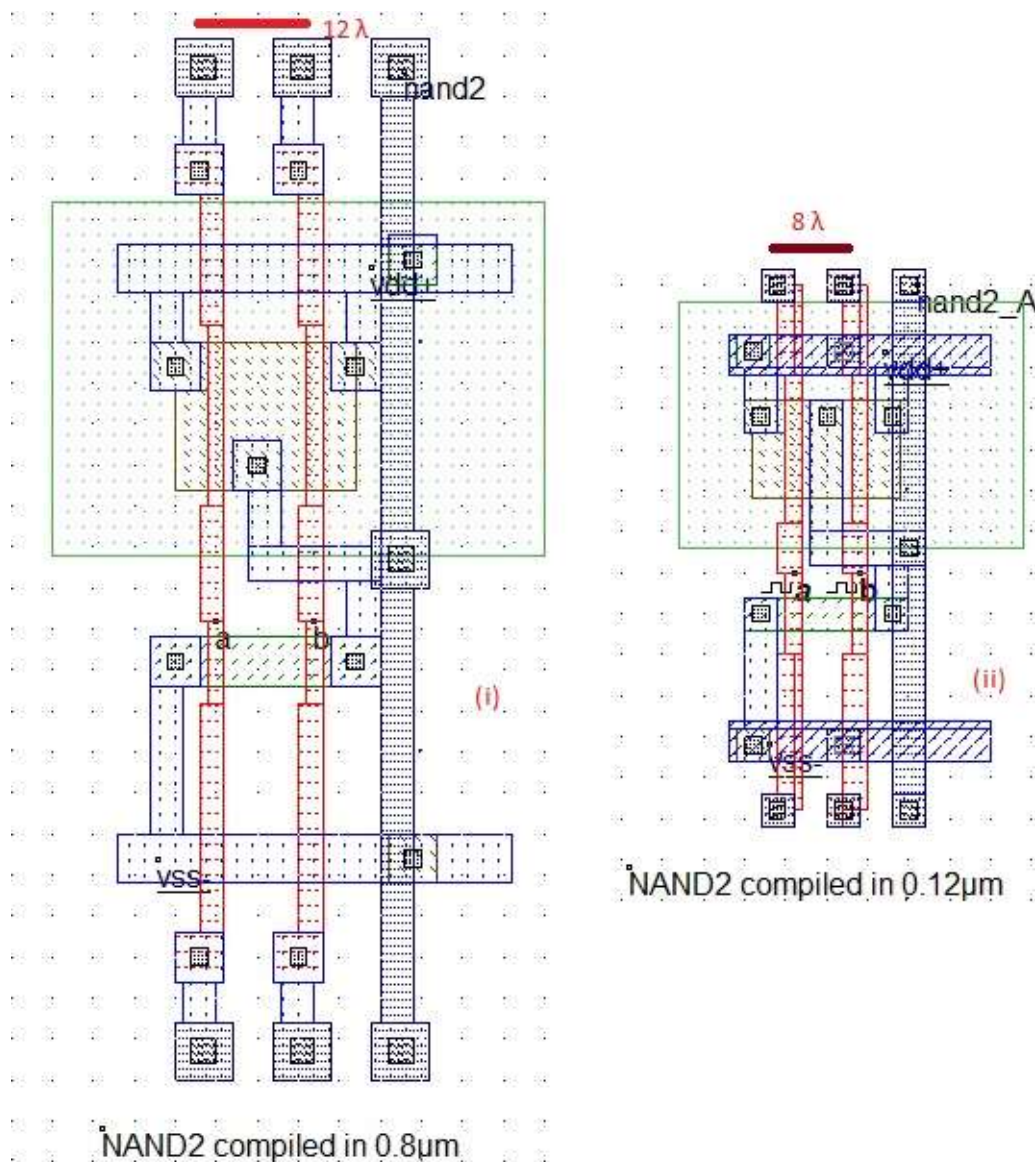


Σχήμα 11.10 Δύο χωροθεσίες για την πύλη nand2.

11. Σχήμα 11.11 Χωροθεσία πύλης nand2 σε submicron και deep-submicron τεχνολογία.

- A. T F Στην 0.8 μm τεχνολογία, οι σχεδιαστικοί κανόνες για τη σύνδεση μεταξύ poly και metal 2 οδηγούν σε συνεκτικότερη χωροθεσία σε σχέση με την 0.12 μm τεχνολογία.
- B. T F Ένα από τα πλεονεκτήματα της deep-submicron τεχνολογίας είναι τα μικρότερα επιτρεπτά διάκενα στις γραμμές διασυνδέσεων (routing pitch): 12 lambda στην 0.8 μm, 10 lambda στην 0.35 μm, 8 lambda στην 0.12 μm.
- C. T F Για να συνδέσουμε poly με metal 2 στην 0.8 μm τεχνολογία, μπορούμε να στοιβάξουμε τις επαφές poly σε metal 1 και metal 1 σε metal 2.
- D. T F Για να συνδέσουμε poly με metal 2 στην 0.8 μm τεχνολογία, χρειάζονται δύο γραμμές διασύνδεσης σε διαφορετικές κατακόρυφες θέσεις (2 routing pitches), ενώ από την τεχνολογία 0.35 μm και προς τα κάτω, απαιτείται μόνο ένα routing pitch.
- E. T F Στην 0.12 μm τεχνολογία, οι επαφές έχουν μεν μικρές διαστάσεις (4 x 4 lambda), αλλά δεν μπορούν να στοιβαχθούν η μία πάνω από την άλλη.
- F. T F Στην 0.8 μm τεχνολογία, η σφήνα συγκόλλησης (via plug) μεταξύ metal 1 και metal 2 είναι λίγο μεγαλύτερη (7 x 7 lambda) σε σχέση με την αντίστοιχη επαφή μεταξύ poly και metal (6 x 6 lambda).

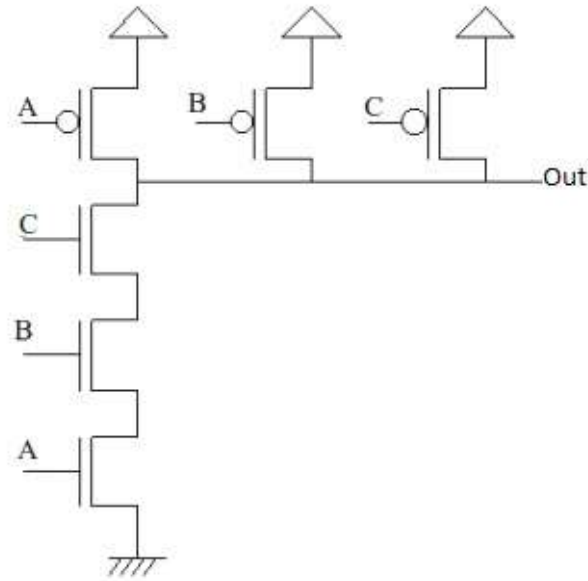
- G. Τ F Στην 0.12 μm τεχνολογία, οι επαφές έχουν τις ίδιες μικρές διαστάσεις ($4 \times 4 \lambda$) και μπορούν να στοιβαχθούν η μία πάνω από την άλλη. Συνεπώς, οι γραμμές διασυνδέσεων μπορούν να γίνουν πιο πυκνές και η όλη χωροθεσία πιο συνεκτική.
- H. Τ F Στην 0.8 μm τεχνολογία, οι σχεδιαστικοί κανόνες για τη σύνδεση μεταξύ poly και metal 2 οδηγούν σε περίπλοκη και μεγάλης επιφάνειας χωροθεσία.



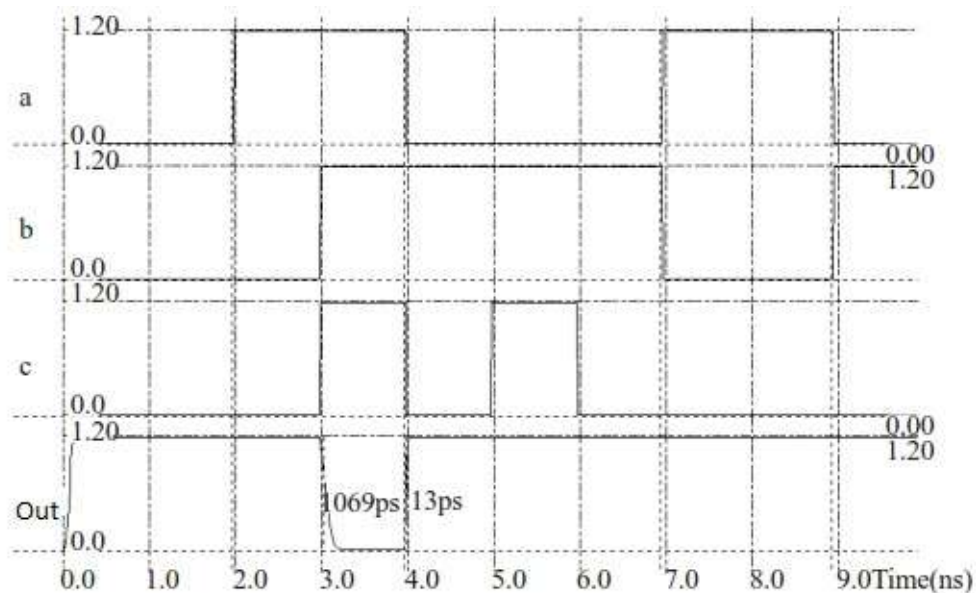
Σχήμα 11.11 Χωροθεσία πύλης nand2 σε submicron και deep-submicron τεχνολογία.

12. Παρατηρήστε το Σχήμα 11.12. Να διατυπώσετε τον πίνακα αληθείας και την εξίσωση λογικής σε Verilog.

13. Παρατηρήστε το Σχήμα 11.13. Ποια είναι η εξίσωση λογικής σε Verilog της Out συναρτήσεως των a,b,c;



Σχήμα 11.12 CMOS πύλη τριών εισόδων.

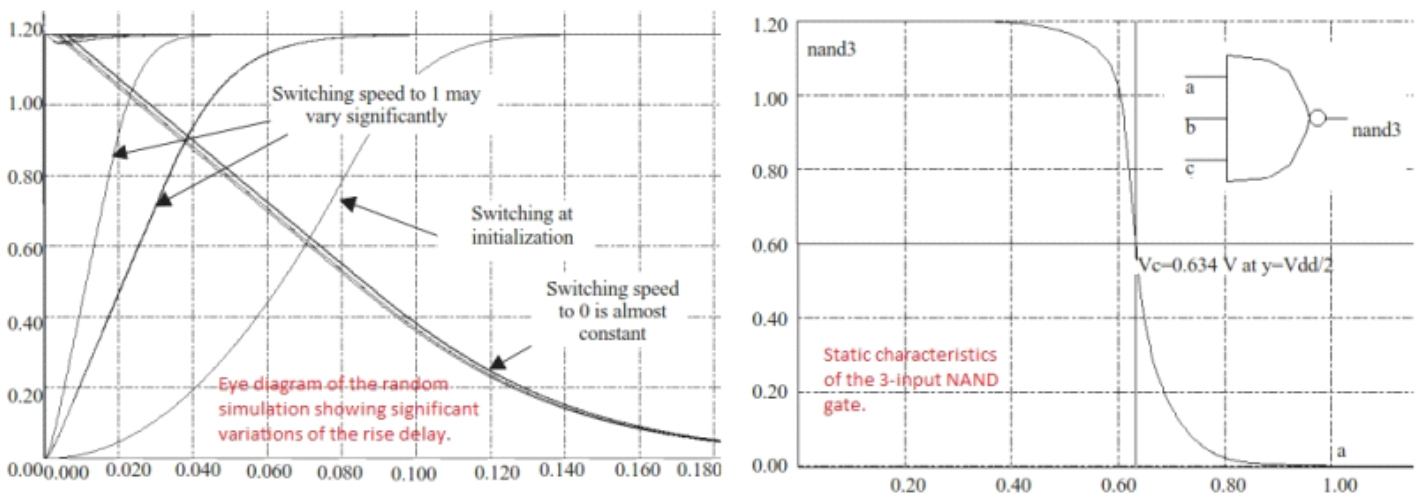


Σχήμα 11.13 Διάγραμμα χρονισμού CMOS πύλης τριών εισόδων.

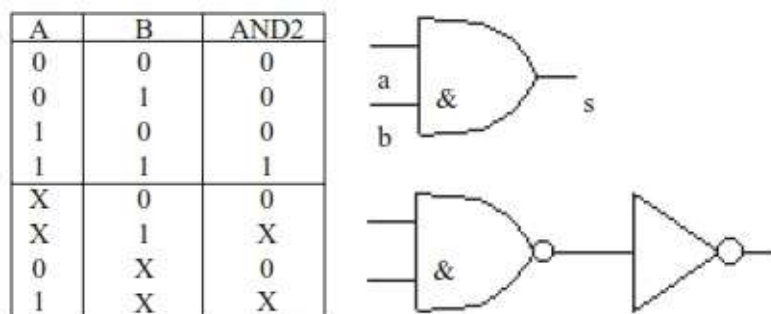
14. Σχήμα 11.14 Διάγραμμα οφθαλμού (Eye Diagram) και χαρακτηριστική μεταφοράς (Transfer Characteristic) της 3-input CMOS NAND. Οι χρόνοι ανόδου και καθόδου αντιστοιχούν στη φόρτιση και την εκφόρτιση φορτίου 10fF.

- A. T F Το σημείο μετάθεσης (commutation point) της πύλης απέχει σημαντικά από το $V_{DD}/2$.
- B. T F Τα χαρακτηριστικά εναλλαγής (switching) της nand τριών εισόδων μπορεί να βελτιωθούν αν ελαττώσουμε το πλάτος των pmos και αυξήσουμε το πλάτος των nmos διατάξεων.
- C. T F Ο χρόνος εναλλαγής προς το 0 εξαρτάται σημαντικά από τις τιμές των εισόδων.
- D. T F Το σημείο μετάθεσης (commutation point) της πύλης δεν απέχει σημαντικά από το $V_{DD}/2$.

- E. T F Τα χαρακτηριστικά εναλλαγής (switching) της nand τριών εισόδων μπορεί να βελτιωθούν αν αυξήσουμε το πλάτος των pmos και μειώσουμε το πλάτος των nmos διατάξεων.
- F. T F Ο χρόνος εναλλαγής προς το 0 είναι σχεδόν σταθερός.
- G. T F Ανάλογα με τις τιμές των εισόδων A, B, και C, ο χρόνος εναλλαγής στο 1 είναι σχεδόν σταθερός.
- H. T F Ο χρόνος ανόδου μπορεί να αλλάξει σημαντικά, αν ένα, δύο ή τρία pmos μπορεί να βρεθούν παράλληλα για τη φόρτιση του φορτίου των 10fF.
- I. T F Η χαρακτηριστική μεταφοράς της cmos nand3 μεταξύ της εξόδου και της εισόδου A, προσομοιωμένη με το BSIM4, παρουσιάζει ένα σημείο μετάθεσης V_c κοντά στο 0.63 V που είναι κοντά στο $V_{DD}/2$.
- J. T F Ανάλογα με τις τιμές των εισόδων A, B, και C, ο χρόνος εναλλαγής στο 1 έχει σημαντικές διαφοροποιήσεις.



Σχήμα 11.14 Διάγραμμα οφθαλμού (Eye Diagram) και χαρακτηριστική μεταφοράς (Transfer Characteristic) της 3-input CMOS NAND. Οι χρόνοι ανόδου και καθόδου αντιστοιχούν στη φόρτιση και την εκφόρτιση φορτίου 10fF.

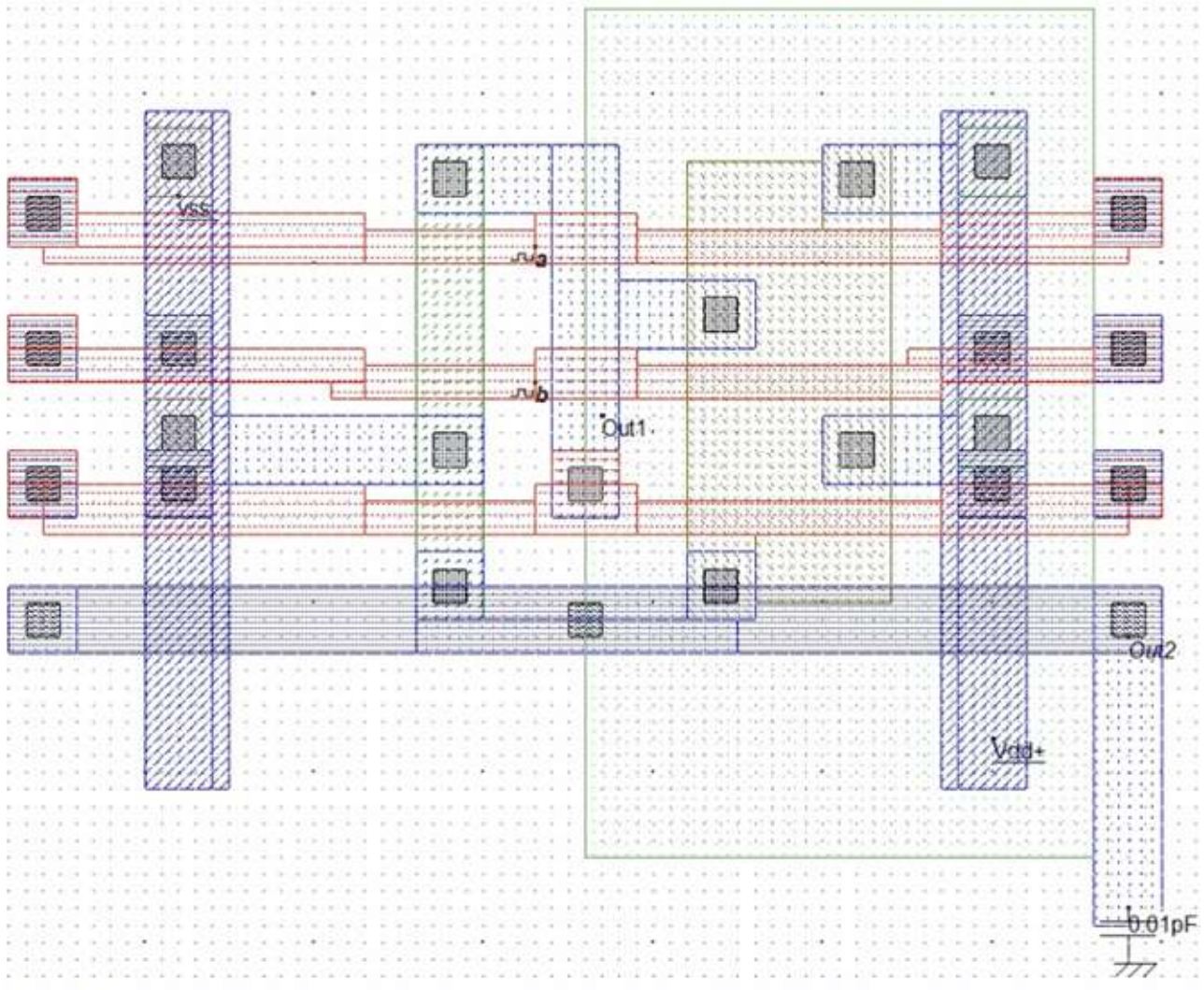


Σχήμα 11.15 CMOS πύλη AND.

15. Σχήμα 11.15 CMOS πύλη AND.

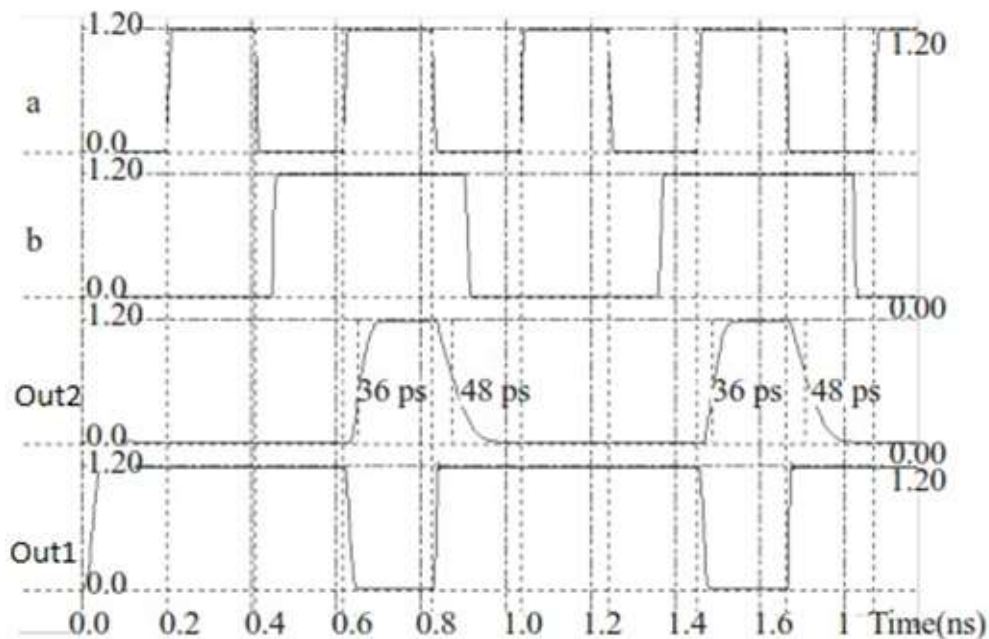
- A. T F Στη CMOS σχεδίαση, η πύλης AND είναι το άθροισμα μίας πύλης NAND και ενός αντιστροφέα.

- B. T F Οι "αρνητικές" πύλες (NAND, NOR, INV) είναι απλούστερες στην υλοποίηση στην τεχνολογία CMOS technology, ως προς τις "μή-αρνητικές" (AND, OR, Buffer).
- C. T F Στη CMOS σχεδίαση, η πύλη AND είναι το άθροισμα μιας πύλης NOR και ενός αντιστροφέα.
- D. T F Οι "αρνητικές" πύλες (NAND, NOR, INV) είναι δυσκολότερες στην υλοποίηση στην τεχνολογία CMOS technology, ως προς τις "μή-αρνητικές" (AND, OR, Buffer).

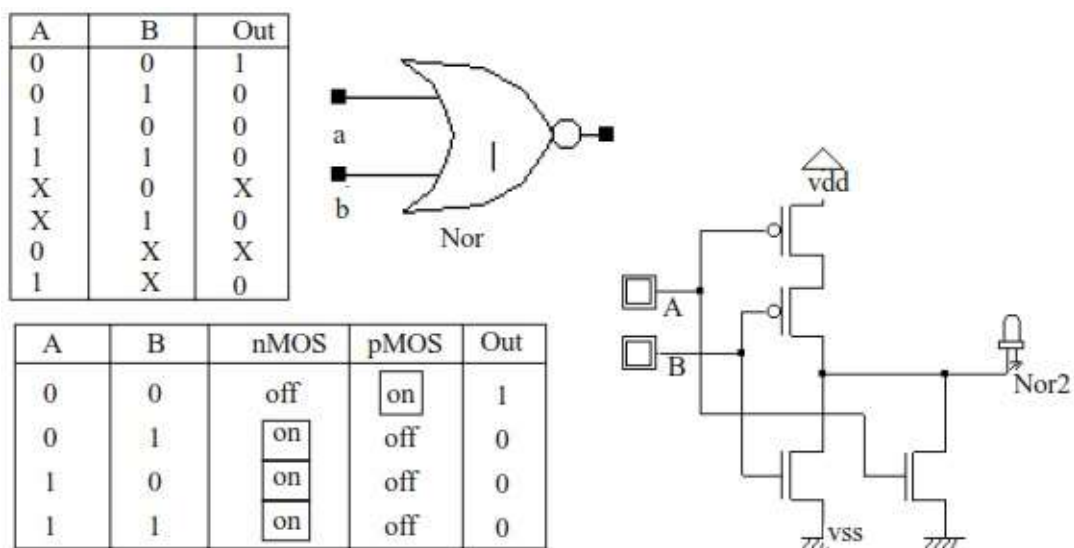


Σχήμα 11.16 Δεδομένη χωροθεσία.

16. Παρατηρήστε το Σχήμα 11.16. Σχεδιάστε το CMOS κύκλωμα που αντιστοιχεί στη χωροθεσία και διατυπώστε τις Verilog εξισώσεις λογικής των Out1 και Out2.
-
17. Παρατηρήστε το Σχήμα 11.17. Με δεδομένο το διάγραμμα χρονισμού, σχεδιάστε το αντίστοιχο CMOS κύκλωμα εισόδων a, b, και εξόδων out1, out2.
-



Σχήμα 11.17 Διάγραμμα χρονισμού.

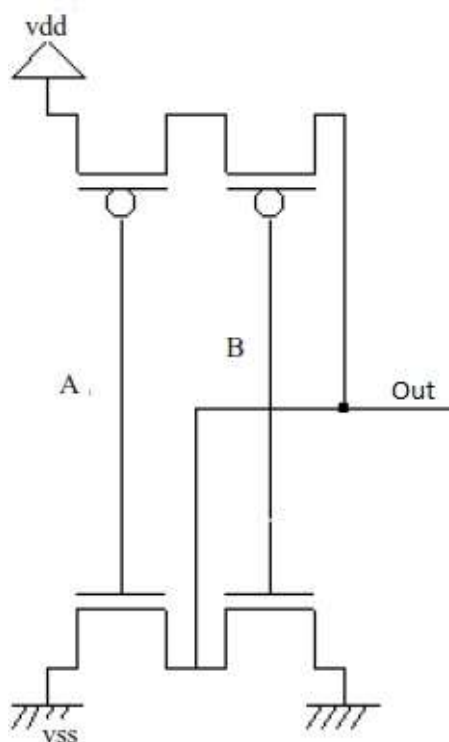


Σχήμα 11.18 Πύλη NOR (NOR Gate).

18. Σχήμα 11.18 Πύλη NOR (NOR Gate).

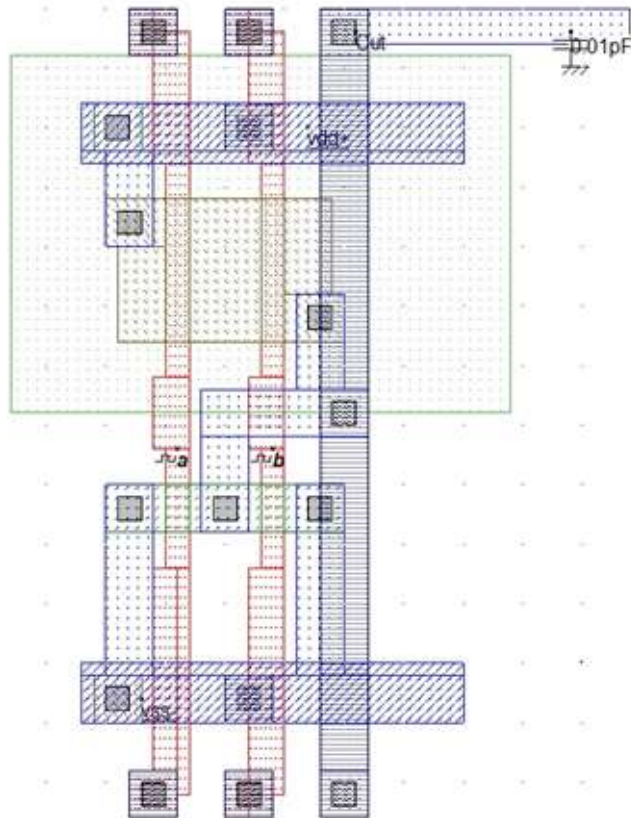
- A. T F Στη CMOS σχεδίαση, η πύλη NOR αποτελείται από δύο nMOS παράλληλα, συνδεδεμένα με δύο pMOS σε σειρά.
- B. T F Τα παράλληλα nMOS δένουν την έξοδο με τη γείωση, όταν A ή B είναι στο 1.
- C. T F Τα παράλληλα nMOS δένουν την έξοδο με τη γείωση, όταν A ή B είναι στο 0.
- D. T F Όταν και το A και το B είναι στο 0, η διαδρομή των nMOS προς τη γείωση αποκόπτεται, αλλά τα δύο pMOS σειρές δένουν την έξοδο με την τροφοδοσία V_{DD} .
- E. T F Στη CMOS σχεδίαση, η πύλη NOR αποτελείται από δύο nMOS σε σειρά, συνδεδεμένα με δύο pMOS παράλληλα.

- F. T F Ο χρόνος ανόδου αναμένουμε να είναι σημαντικά μεγαλύτερος από τον χρόνο καθόδου εξαιτίας των δύο pMOS σειράς.
- G. T F $Nor2 = \sim(a|b)$.
- H. T F Το σύμβολο '&' παριστάνει τον τελεστή OR στη Verilog.
- I. T F Ο τελεστής '~' είναι ο NOT στη Verilog.
- J. T F $Nor2 = \sim(a \& b)$.
- K. T F Όταν και το A και το B είναι στο 1, η διαδρομή των nMOS προς τη γείωση αποκόπτεται, αλλά τα δύο pMOS σειράς δένουν την έξοδο με την τροφοδοσία V_{DD} .
- L. T F Το σύμβολο '|' παριστάνει τον τελεστή OR στη Verilog.

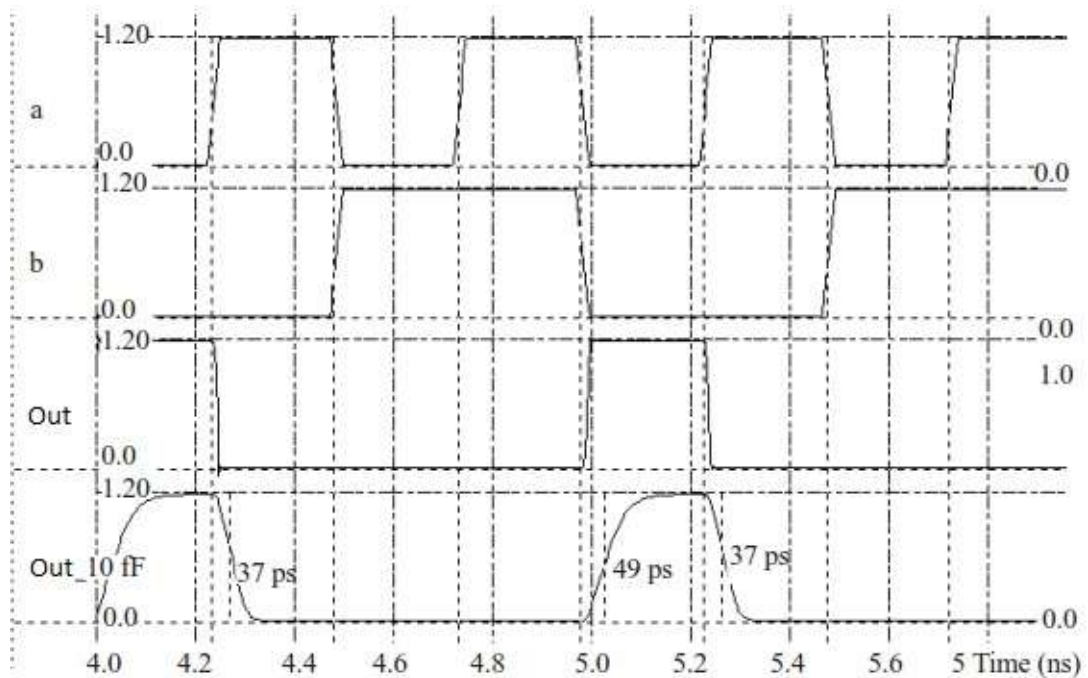


Σχήμα 11.19 Πύλη τύπου CMOS.

19. Παρατηρήστε το Σχήμα 11.19. Διατυπώστε τον πίνακα αληθείας και την εξίσωση λογικής της εξόδου για το κύκλωμα.
-
20. Παρατηρήστε το Σχήμα 11.20. Σχεδιάστε το CMOS κύκλωμα που αντιστοιχεί στη χωροθεσία και διατυπώστε τον πίνακα αληθείας και την εξίσωση λογικής της εξόδου.
-

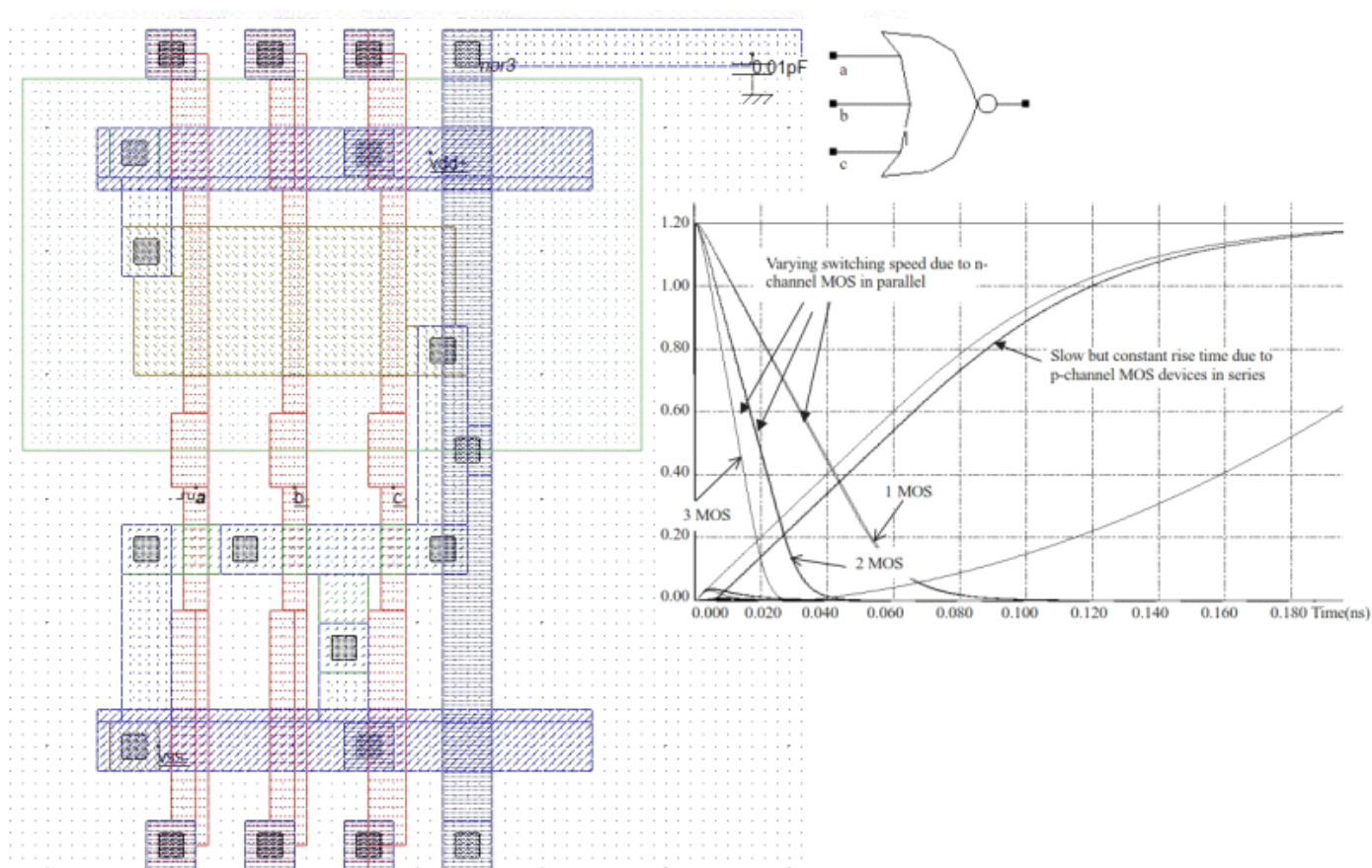


Σχήμα 11.20 Χωροθεσία τύπου CMOS.



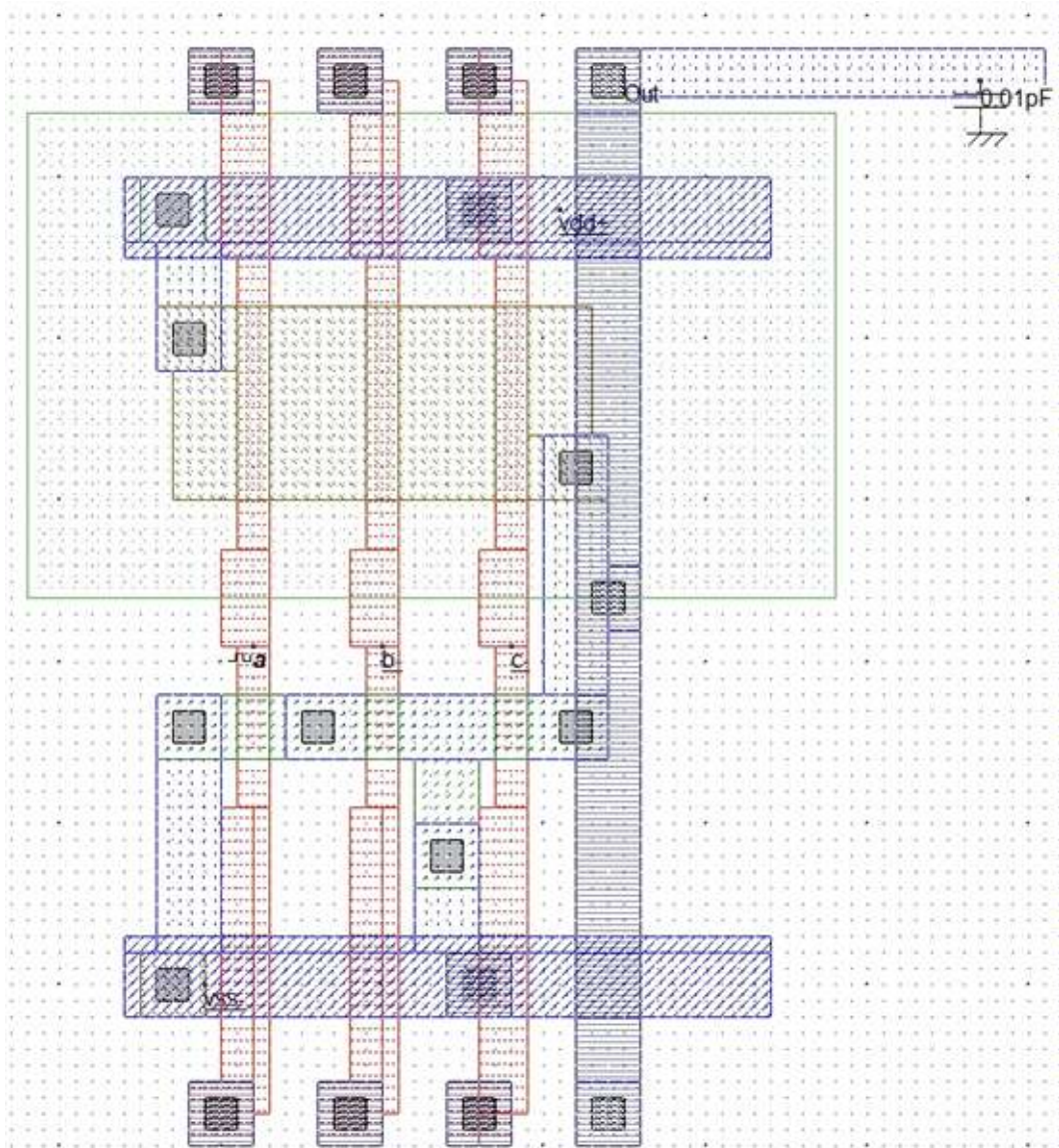
Σχήμα 11.21 Διάγραμμα χρονισμού πύλης CMOS.

21. Παρατηρήστε το Σχήμα 11.21. Σχεδιάστε το CMOS κύκλωμα που αντιστοιχεί στο διάγραμμα χρονισμού και διατυπώστε τον πίνακα αληθείας και την εξίσωση λογικής της εξόδου.



22. Σχήμα 11.22 CMOS πύλη NOR τριών εισόδων.

- A. T F Οι πύλες τύπου NAND και αντίστοιχα σχέδια κυκλωμάτων είναι προτιμότερα, γιατί έχουν τα pMOS παράλληλα ώστε να ισοσταθμίζεται η μικρή αγωγιμότητα οπών και να έχουμε συμμετρικές χαρακτηριστικές εναλλαγής.
- B. T F Τα παράλληλα nMOS δημιουργούν δύσκολη διαδρομή για τα φορτία από την έξοδο προς τη γείωση, οπότε περιμένουμε το κύκλωμα να έχει μεγάλο χρόνο καθόδου.
- C. T F Τα παράλληλα nMOS δημιουργούν πολύ εύκολη διαδρομή για τα φορτία από την έξοδο προς τη γείωση, οπότε περιμένουμε το κύκλωμα να έχει μικρό χρόνο καθόδου.
- D. T F Πύλες NOR με 3, 4 ή περισσότερες εισόδους, σπάνια χρησιμοποιούνται.
- E. T F Πύλες NOR με 3, 4 ή περισσότερες εισόδους, χρησιμοποιούνται συχνά.
- F. T F Τα pMOS σειρές δυσκολεύουν τη φόρτιση του κόμβου εξόδου στην V_{DD} , οπότε περιμένουμε το κύκλωμα να έχει μεγάλο χρόνο ανόδου.
- G. T F Τα pMOS σειρές διευκολύνουν τη φόρτιση του κόμβου εξόδου στην V_{DD} , οπότε περιμένουμε το κύκλωμα να έχει μικρό χρόνο ανόδου.
- H. T F Οι πύλες τύπου NAND και αντίστοιχα σχέδια κυκλωμάτων δεν προτιμούνται, γιατί έχουν τα pMOS παράλληλα, οπότε προκύπτουν ασύμμετρες χαρακτηριστικές εναλλαγής.



Σχήμα 11.23 Χωροθεσία τύπου CMOS.

23. Παρατηρήστε το Σχήμα 11.23. Σχεδιάστε το αντίστοιχο κύκλωμα CMOS και διατυπώστε τον πίνακα αληθείας του και την εξίσωση λογικής της εξόδου του.

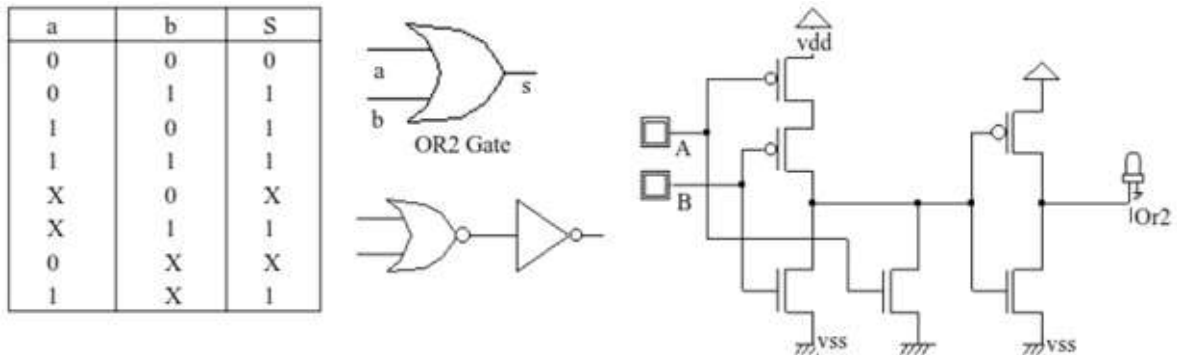
24. Σχήμα 11.24 Πύλη OR (OR Gate).

- A. T F Η πύλη OR είναι το άθροισμα της NOR και ενός αντιστροφέα.
- B. T F Η υλοποίηση της OR2 με τεχνολογία CMOS απαιτεί 6 τρανζίστορ MOS.
- C. T F $or2 = a | b$.
- D. T F Η χωροθεσία της OR2 μπορεί να γίνει έτσι ώστε να δημιουργείται συνεχής κοινή περιοχή διάχυσης για τα nMOS και τα pMOS.
- E. T F Η χωροθεσία της OR2 μπορεί να γίνει έτσι ώστε να δημιουργείται συνεχής περιοχή διάχυσης για τα nMOS και αντίστοιχα συνεχής περιοχή διάχυσης για τα pMOS.

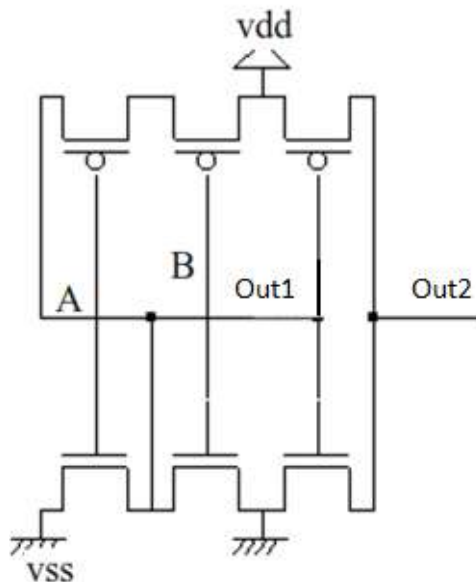
F. T F Η πύλη OR είναι το άθροισμα της NOR και της AND.

G. T F Η υλοποίηση της OR2 με τεχνολογία CMOS απαιτεί 8 τρανζίστορ MOS.

H. T F $or2 = a \& b$.



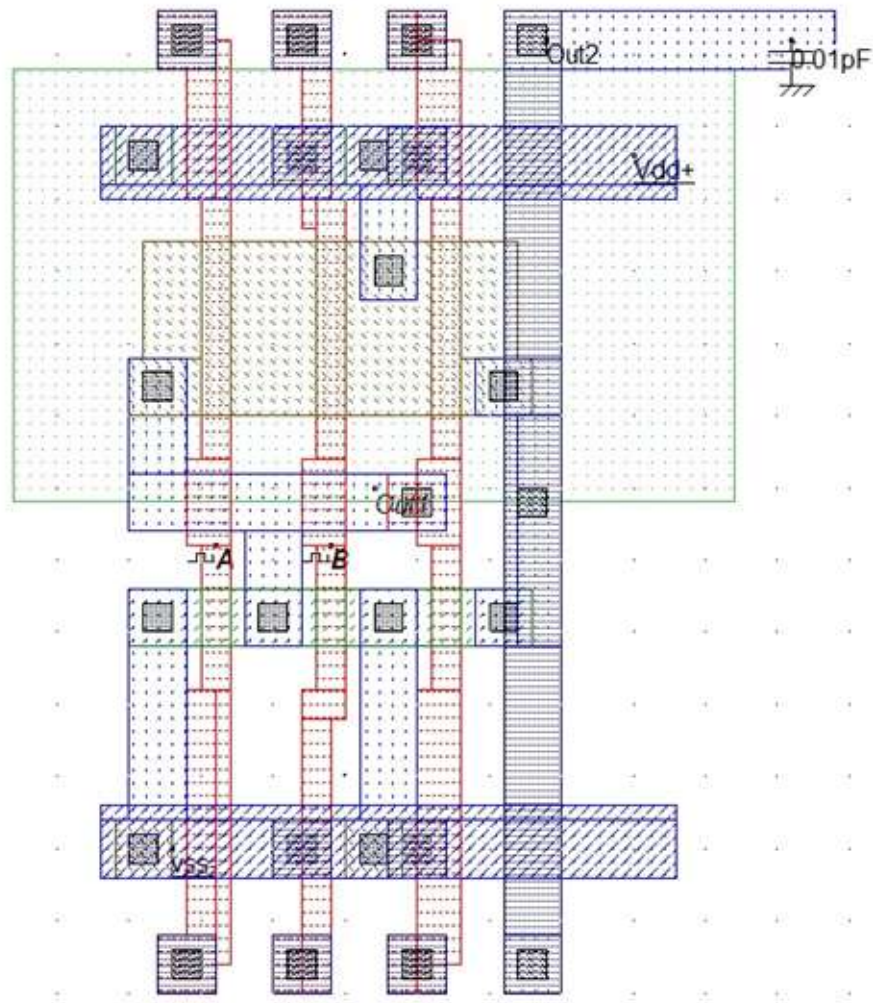
Σχήμα 11.24 Πύλη OR (OR Gate).



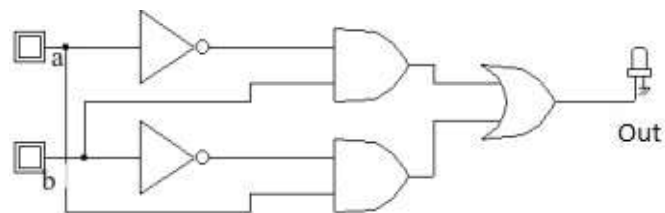
Σχήμα 11.25 Κύκλωμα τύπου CMOS.

25. Παρατηρήστε το Σχήμα 11.25. Διατυπώστε τον πίνακα αληθείας και την εξίσωση λογικής για τις εξόδους.

26. Παρατηρήστε το Σχήμα 11.26. Σχεδιάστε το αντίστοιχο CMOS κύκλωμα και διατυπώστε τον πίνακα αληθείας και τις εξισώσεις λογικής των εξόδων Out1 και Out2.



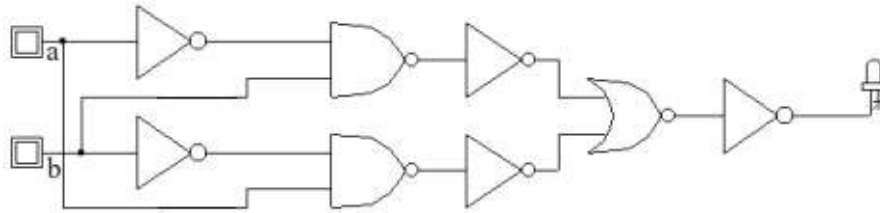
Σχήμα 11.26 Χωροθεσία τύπου CMOS.



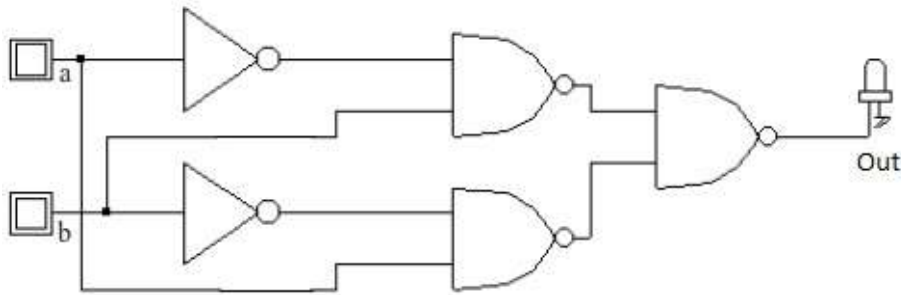
Σχήμα 11.27 Σύνθετη πύλη.

27. Παρατηρήστε το Σχήμα 11.27. Διατυπώστε τον πίνακα αληθείας και την εξίσωση λογικής της εξόδου.

28. Παρατηρήστε το Σχήμα 11.28. Διατυπώστε τον πίνακα αληθείας και την εξίσωση λογικής της εξόδου. Πόσα τρανζίστορ χρειάζονται για την υλοποίηση του κυκλώματος με CMOS τεχνολογία;

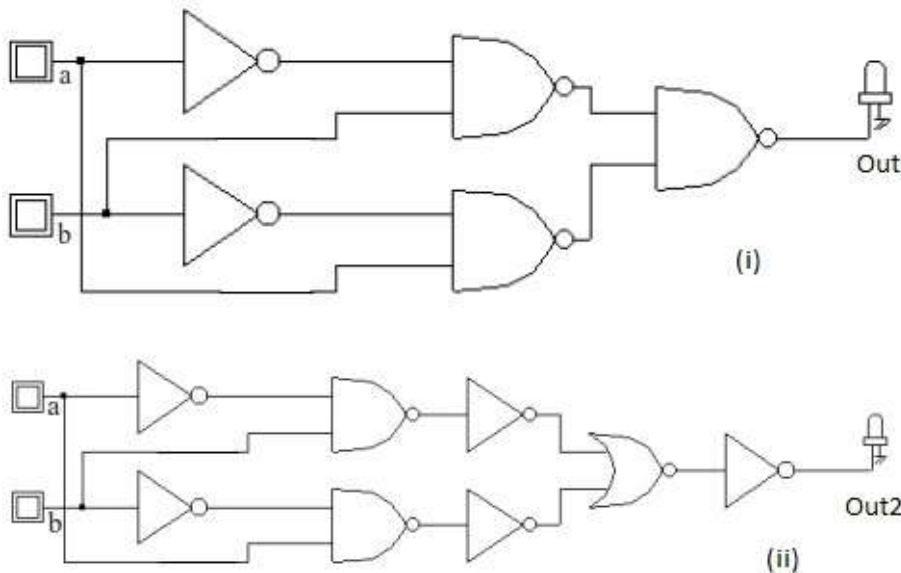


Σχήμα 11.28 Σύνθετη πύλη.



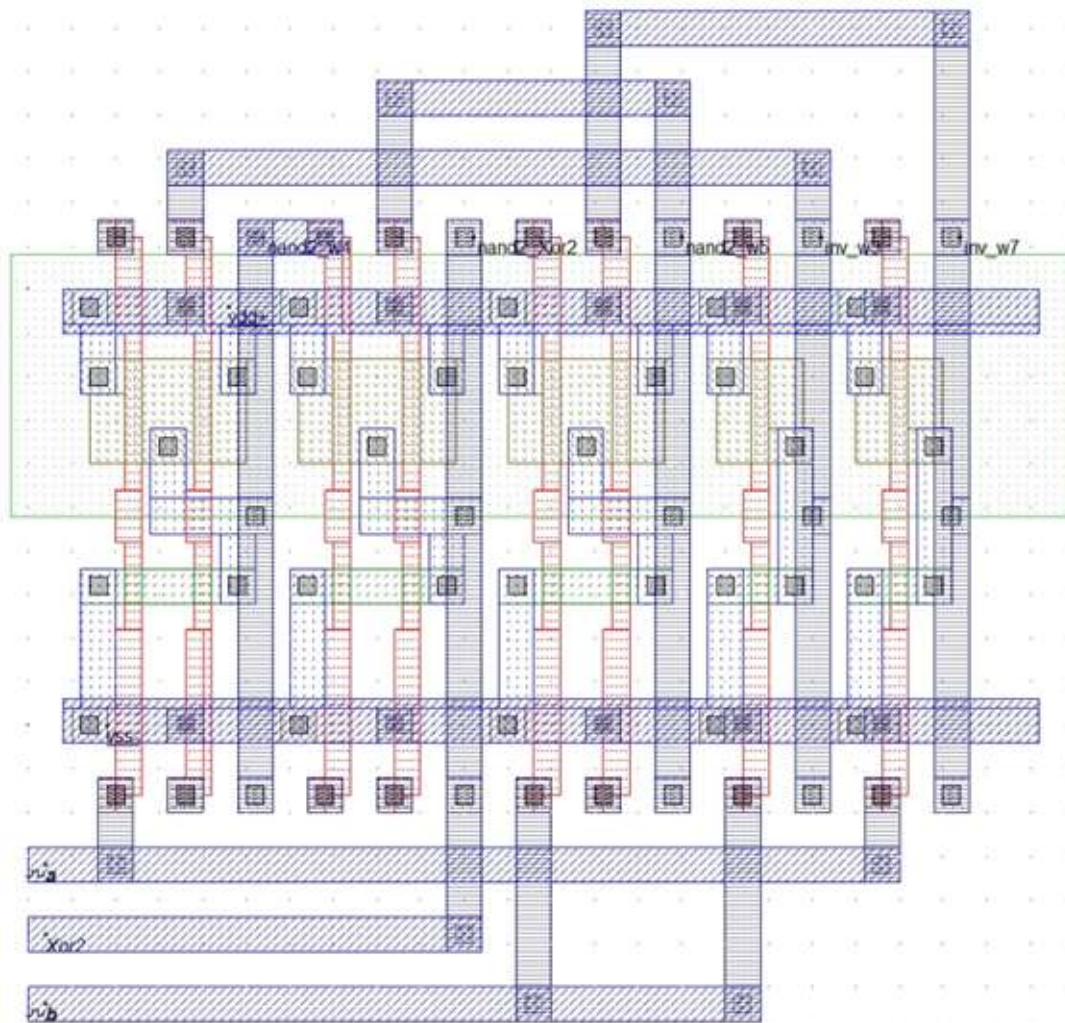
Σχήμα 11.29 Σύνθετη πύλη.

29. Παρατηρήστε το Σχήμα 11.29. Διατυπώστε τον πίνακα αληθείας και την εξίσωση λογικής της εξόδου. Πόσα τρανζίστορ χρειάζονται για την υλοποίηση του κυκλώματος με CMOS τεχνολογία;



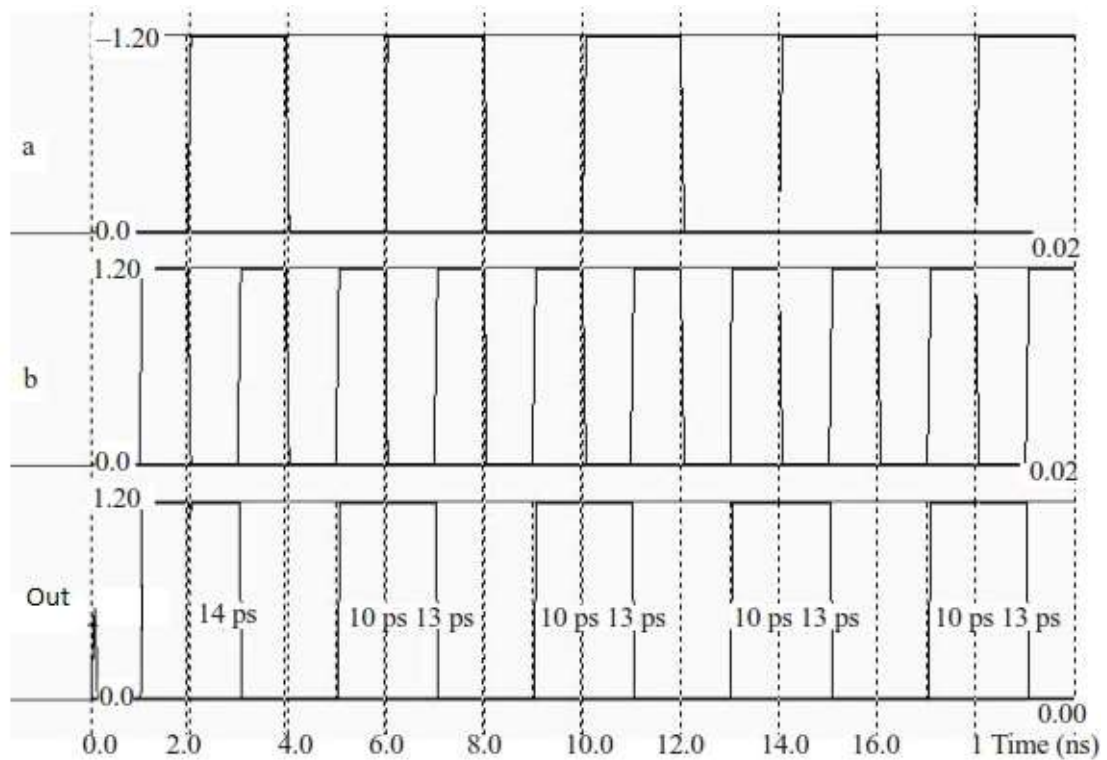
Σχήμα 11.30. Σύγκριση σύνθετων κυκλωμάτων CMOS.

30. Παρατηρήστε το Σχήμα 11.30. Εξετάστε αν τα δύο κυκλώματα είναι ισοδύναμα. Ποιο θα προτιμούσατε να υλοποιήσετε σε CMOS σχεδίαση και γιατί;

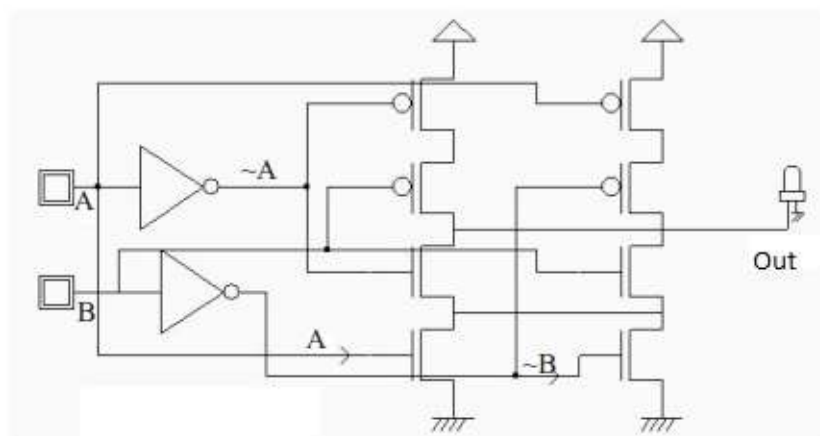


Σχήμα 11.31 Χωροθεσία τύπου CMOS.

31. Παρατηρήστε το Σχήμα 11.31. Πόσα τρανζίστορ μετράτε στη χωροθεσία; Σχεδιάστε το αντίστοιχο CMOS κύκλωμα. Τι είδους πράξη λογικής επιτελεί;
32. Παρατηρήστε το Σχήμα 11.32. Εξηγήστε σε ποια πύλη ψηφιακής λογικής αντιστοιχεί το διάγραμμα χρονισμού.



Σχήμα 11.32 Διάγραμμα χρονισμού.



Σχήμα 11.33 Σύνθετο CMOS κύκλωμα.

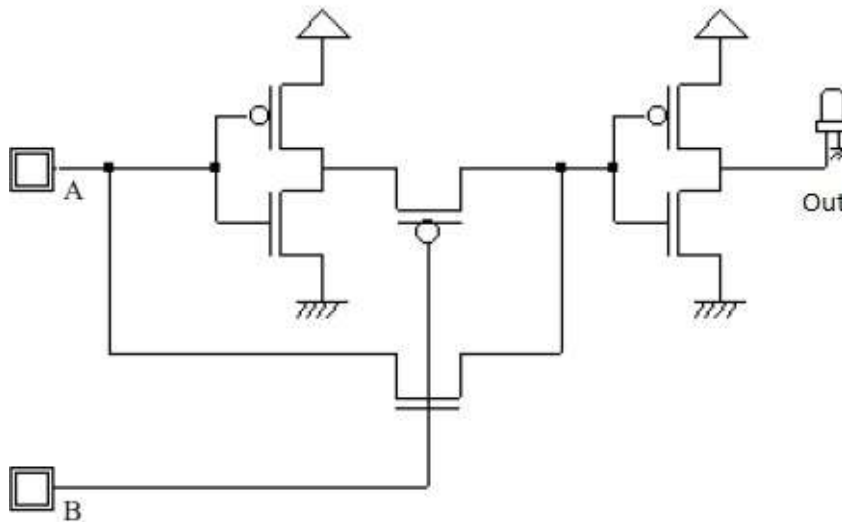
33. Παρατηρήστε το Σχήμα 11.33 και απαντήστε στο επόμενο:

- Ποια είναι η εξίσωση λογικής της εξόδου Out;
- Πόσα MOS τρανζίστορ αποτελούν το κύκλωμα;
- Τι είδους λογική πράξη υλοποιεί;

34. Παρατηρήστε το Σχήμα 11.34 και απαντήστε στο επόμενο:

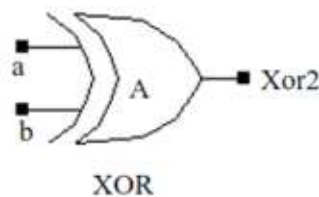
- Ποια είναι η εξίσωση λογικής της εξόδου;
- Πόσα MOS τρανζίστορ χρειάζονται για την υλοποίηση του κυκλώματος;

- c) Είναι το κύκλωμα αμιγώς CMOS σχεδίασης;
d) Για $B=0 \Rightarrow \text{Out} = ?$; Για $B=1 \Rightarrow \text{Out} = ?$;
e) Ποια MOS θεωρούνται πύλες μεταφοράς (pass transistors);



Σχήμα 11.34 Σύνθετο MOS κύκλωμα.

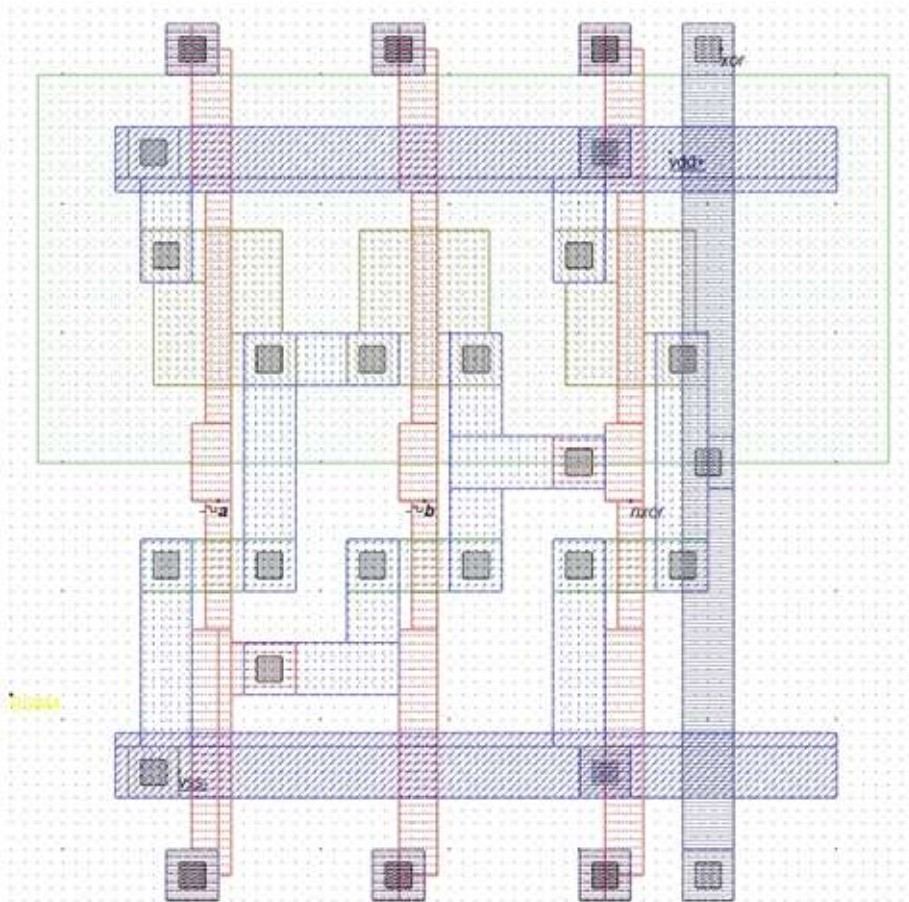
a	b	Xor2
0	0	0
0	1	1
1	0	1
1	1	0
X	0	X
X	1	X
0	X	X
1	X	X



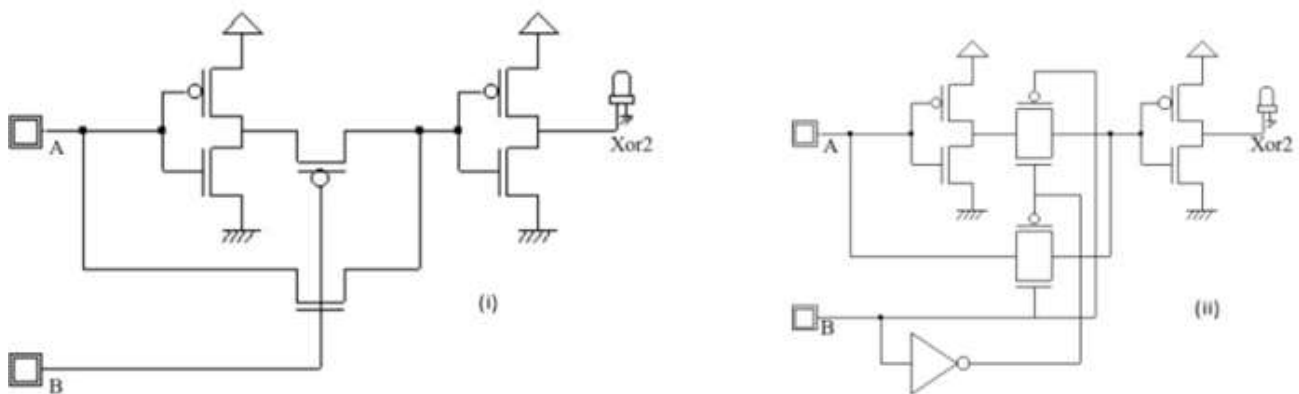
Σχήμα 11.35 Πύλη XOR.

35. Παρατηρήστε το Σχήμα 11.35. Ποια είναι η Verilog έκφραση της πύλης XOR2(a,b) ;

36. Παρατηρήστε το Σχήμα 11.36. Μπορεί αυτή η χωροθεσία να θεωρηθεί ως υλοποίηση ακριβείας για τις πύλες xor2 και xnor2 ; Υποθέστε $V_{DD} = 1.2V$ και τάσεις κατωφλίου $V_{tn} = |V_{tp}| = 0.7V$.



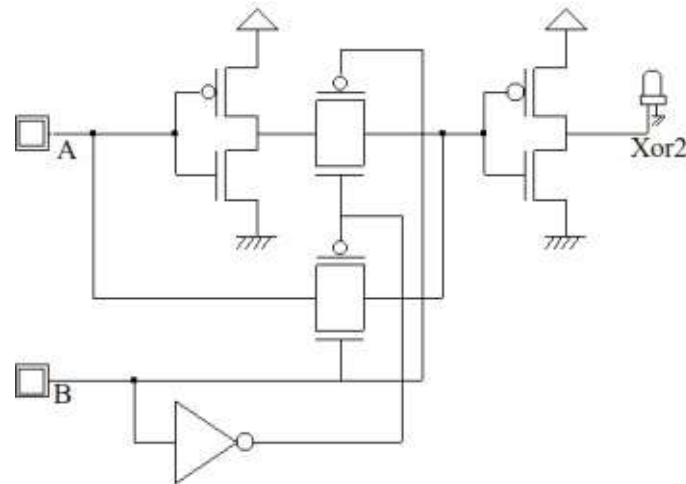
Σχήμα 11.36 Χωροθεσία πύλης XOR / XNOR 2 εισόδων.



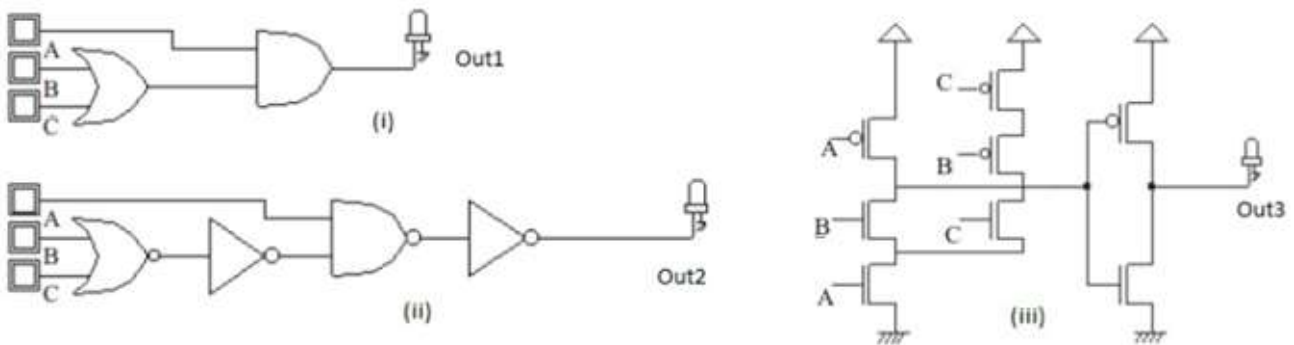
Σχήμα 11.37 Υλοποιήσεις της xor2.

37. Παρατηρήστε το Σχήμα 11.37. Ποια από τις δύο υλοποιήσεις θεωρείτε ότι θα δώσει ακριβέστερα αποτελέσματα και γιατί;

38. Παρατηρήστε το Σχήμα 11.38. Πώς μπορούμε να έχουμε μια πύλη xor2 χρησιμοποιώντας το κύκλωμα της xor2 ;



Σχήμα 11.38 Μια υλοποίηση της xor2.

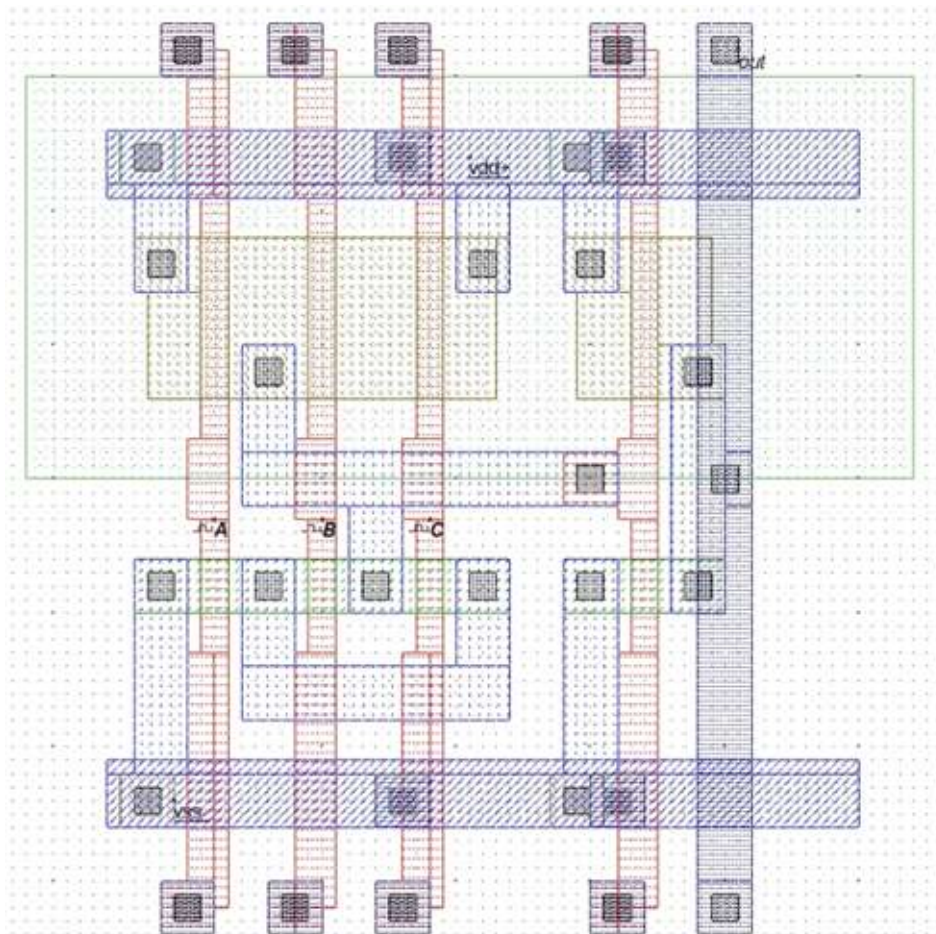


Σχήμα 11.29 Περίπλοκες πύλες (Complex Gates).

39. Σχήμα 11.39 Περίπλοκες πύλες (Complex Gates).

- A. T F $A | (B \& C)$: Δίκτυο nMOS: $F_n = A$ series (B parallel C).
- B. T F $A | (B \& C)$: Δίκτυο nMOS: $F_n = A$ parallel (B series C).
- C. T F Και τα δύο κυκλώματα υλοποιούν την πράξη $A | (B \& C)$.
- D. T F Για τη σχεδίαση του pMOS δικτύου από μια εξίσωση λογικής, μεταφράζουμε την πράξη AND του τελεστή '&' σε pMOS παράλληλα και την πράξη OR του τελεστή '|' σε pMOS σε σειρά.
- E. T F $A | (B \& C)$: Δίκτυο pMOS: $F_p = A$ parallel (B series C).
- F. T F Για τη σχεδίαση του nMOS δικτύου από μια εξίσωση λογικής, μεταφράζουμε την πράξη AND του τελεστή '&' σε nMOS παράλληλα και την πράξη OR του τελεστή '|' σε nMOS σε σειρά.
- G. T F $A | (B \& C)$: Δίκτυο pMOS: $F_p = A$ series (B parallel C).
- H. T F Αν η συνάρτηση που υλοποιούμε με σχεδίαση CMOS δεν έχει τελική αντιστροφή, τότε είναι απαραίτητο πριν την έξοδο να παρεμβάλλεται αντιστροφέας.

- I. T F Για τη σχεδίαση του nMOS δικτύου από μια εξίσωση λογικής, μεταφράζουμε την πράξη AND του τελεστή '&' σε nMOS στη σειρά και την πράξη OR του τελεστή '|' σε nMOS παράλληλα.
- J. T F Η τέλεστη του AND σε μια εξίσωση λογικής παριστάνεται με τον τελεστή "&".
- K. T F Η πράξη OR παριστάνεται με το "|".
- L. T F Για τη σχεδίαση του pMOS δικτύου από μια εξίσωση λογικής, μεταφράζουμε την πράξη AND του τελεστή '&' σε pMOS στη σειρά και την πράξη OR του τελεστή '|' σε pMOS παράλληλα.
- M. T F Το κύκλωμα (i) υλοποιείται με 2-input OR και a 2-input AND, δηλαδή χρησιμοποιεί 12 transistor και 4 στάδια καθυστέρησης (delay stages) (αντιστροφείς).
- N. T F Οποιοσδήποτε συνδυασμός πυλών τελεστών AND και OR μιας λογικής έκφρασης μπορεί να εκφραστεί με μια περίπλοκη πύλη με MOS τρανζίστορ.
- O. T F Και τα δύο κυκλώματα υλοποιούν την πράξη $A \& (B | C)$.

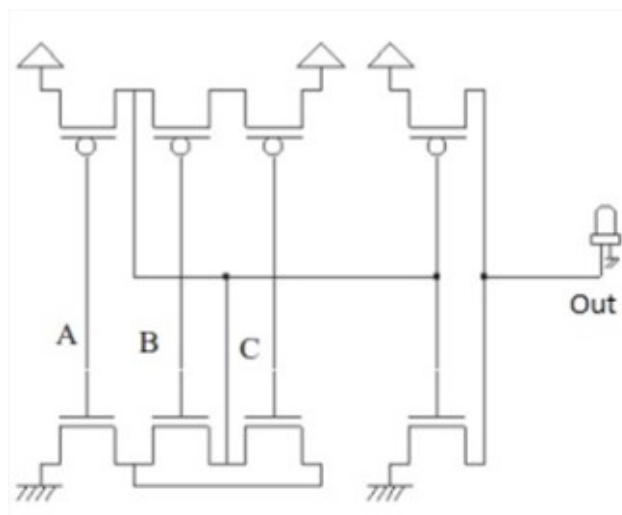


Σχήμα 11.40 Χωροθεσία τύπου CMOS.

40. Παρατηρήστε το Σχήμα 11.40 και απαντήστε στο επόμενο:.

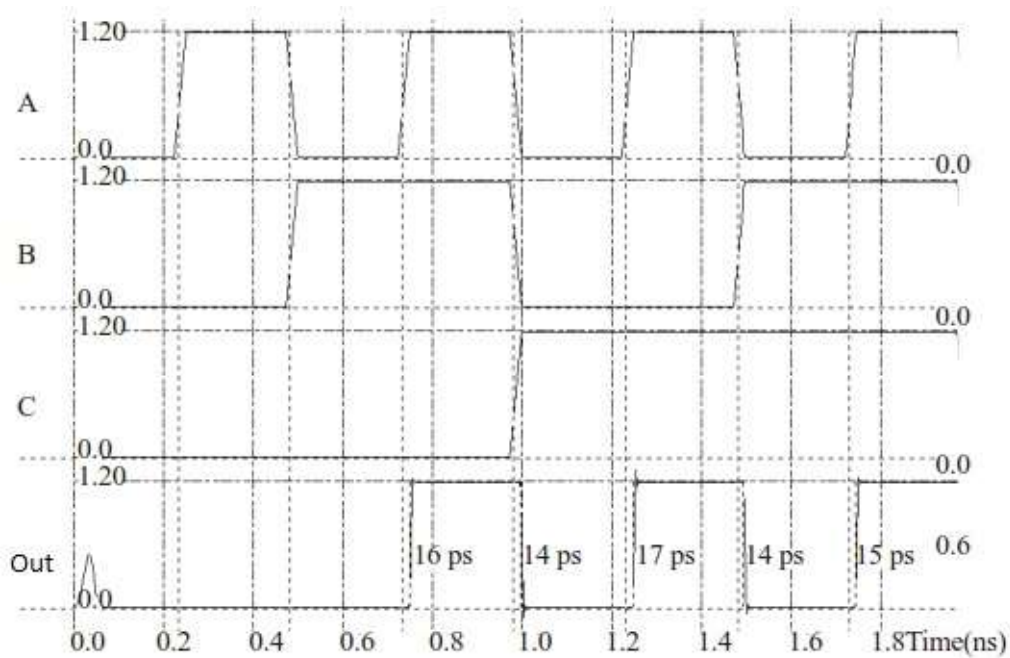
- Σχεδιάστε το CMOS κύκλωμα που αντιστοιχεί στη χωροθεσία και διατυπώστε σε Verilog την εξίσωση λογικής της εξόδου Out.
- Μπορεί να γίνει κάποιου είδους αναδιάταξη της χωροθεσίας ώστε να αποφύγουμε τα κενά στις

περιοχές διάχυσης μέσω της διαμοίρασης των επαφών V_{DD} και V_{SS} .



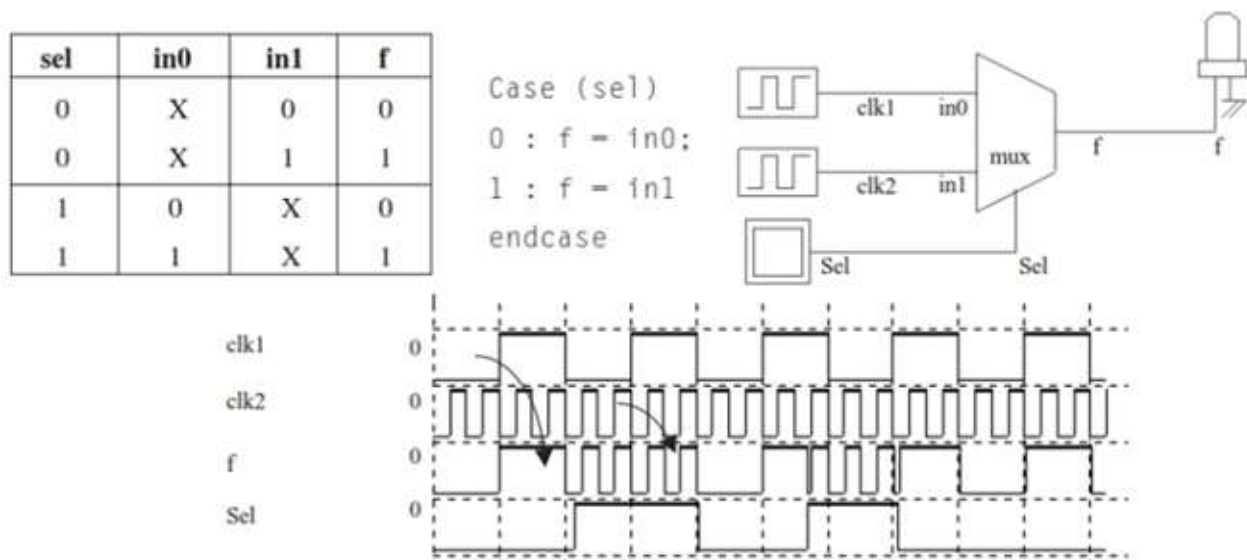
Σχήμα 11.41 Κύκλωμα τύπου CMOS.

41. Παρατηρήστε το Σχήμα 11.41. Ποια είναι η έκφραση σε Verilog της εξίσωσης λογικής της εξόδου;

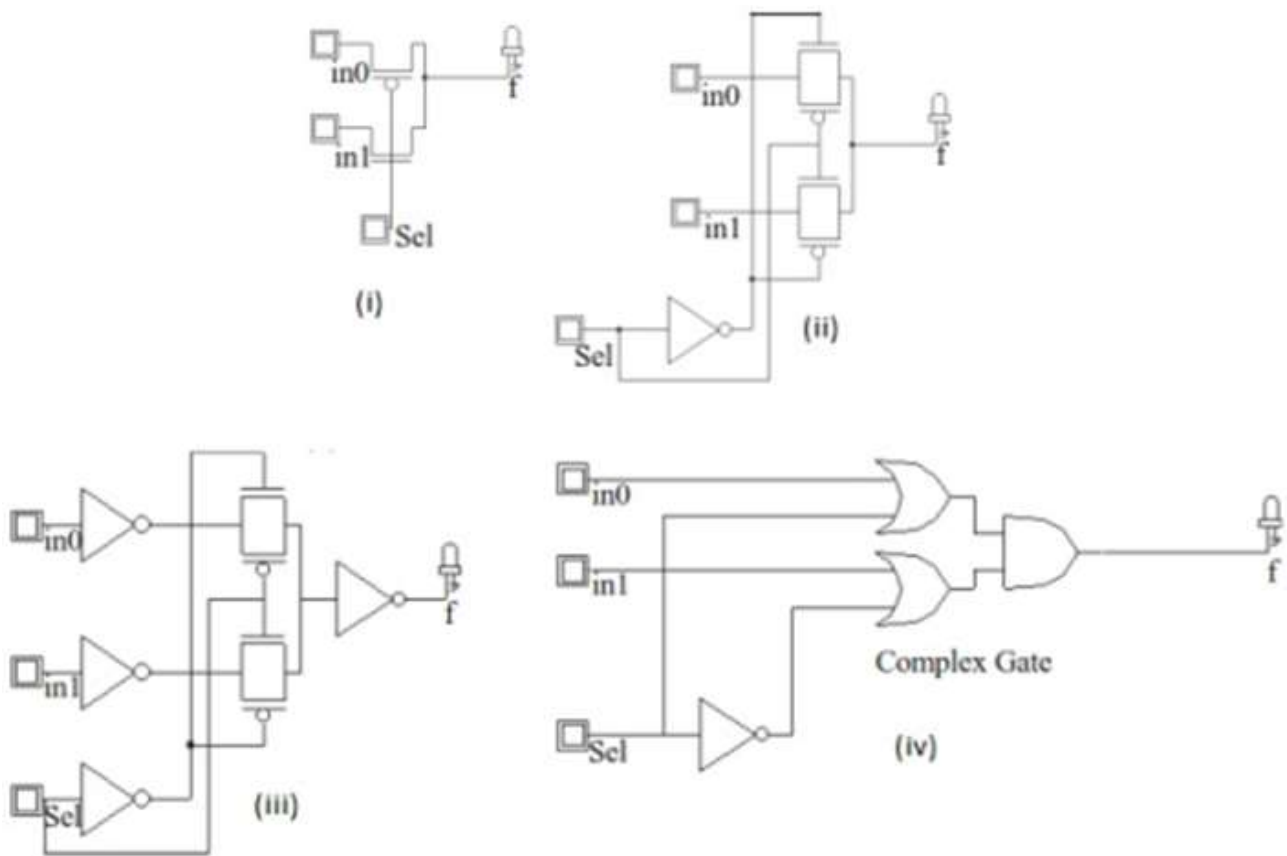


Σχήμα 11.42 Διάγραμμα χρονισμού.

42. Παρατηρήστε το Σχήμα 11.42. Σχεδιάστε ένα CMOS κύκλωμα που να έχει ποιοτικά την ίδια συμπεριφορά χρονικών μεταβάσεων.



Σχήμα 11.43 Πολυπλέκτης (Multiplexor).



Σχήμα 11.44 Σχεδίαση πολυπλέκτη.

43. Σχήμα 11.43 Πολυπλέκτης (Multiplexor).

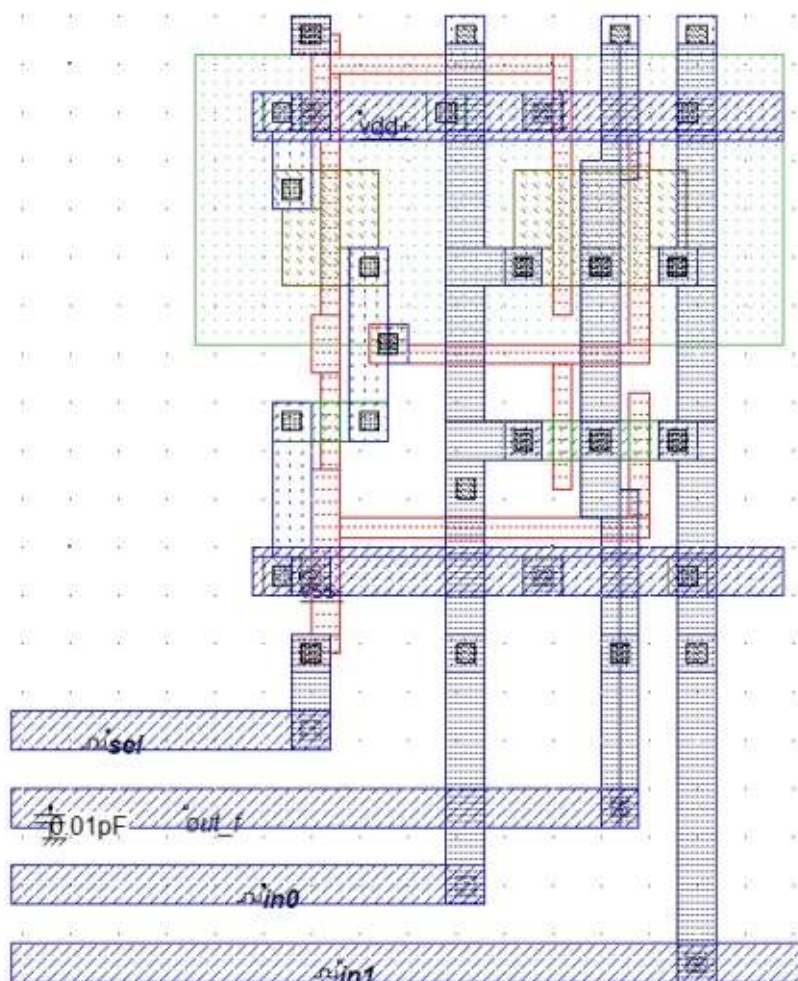
- A. T F Ο πολυπλέκτης (multiplexor) χρησιμοποιείται για τη μετάδοση μεγάλου πλήθους δεδομένων μέσω ενός μικρού αριθμού συνδέσεων.
- B. T F Όταν sel=0, η f αντιγράφει το clk2.

- C. T F Όταν $sel=1$, η f αντιγράφει το $clk2$.
- D. T F Όταν $sel=0$, η f αντιγράφει το $clk1$.
- E. T F Όταν $sel=1$, η f αντιγράφει το $clk1$.
- F. T F Ένα ψηφιακός πολυπλέκτης είναι ένα κύκλωμα που επιλέγει τη δυαδική πληροφορία ενός από πολλά κανάλια λογικής και την κατευθύνει σε μια μόνο γραμμή σύνδεσης.
- G. T F Ο πολυπλέκτης (multiplexor) χρησιμοποιείται για τη μετάδοση μικρού πλήθους δεδομένων μέσω ενός μεγάλου αριθμού συνδέσεων.
- H. T F Ένα ψηφιακός πολυπλέκτης είναι ένα κύκλωμα που επιλέγει τη δυαδική πληροφορία ταυτόχρονα από πολλά κανάλια και την κατευθύνει σε μια μόνο γραμμή σύνδεσης.

44. Σχήμα 11.44 Σχεδίαση πολυπλέκτη.

- A. T F Η χρήση ενός m ος για τη μετάδοση (pass) σημάτων έχει το πρόβλημα της αλλοίωσης των δυναμικών που μεταφέρονται.
- B. T F Στο σχέδιο (i), οι είσοδοι $in0$ και $in1$ είναι συνδεδεμένες στις διαχύσεις των n mos και p mos. Ανάλογα με την τιμή του sel , το φορτίο μπορεί να αλλάζει, οπότε η καθυστέρηση όλης της πύλης δεν θα είναι σταθερή.
- C. T F Στο σχήμα (ii), οι είσοδοι $in0$ και $in1$ είναι συνδεδεμένες με τις διαχύσεις των n mos και p mos τρανζίστορ μετάβασης (pass), οπότε αναμένουμε να υπάρχουν διαφοροποιήσεις στις καθυστερήσεις εναλλαγών (varying switching delays).
- D. T F Το σχέδιο (iv) υλοποιεί τον πολυπλέκτη χρησιμοποιώντας συνδυασμό πυλών OR/AND αντί για πύλες μεταφοράς.
- E. T F Στο σχέδιο (i), σε 0.12 μ m τεχνολογία, οι στάνταρ MOS διατάξεις ("low leakage") έχουν υψηλό δυναμικό κατωφλίου, οπότε η έξοδος f δεν φτάνει σε καθαρό λογικό 1 ή 0.
- F. T F Το σχέδιο (ii) χρησιμοποιείται συχνά σε εφαρμογές χαμηλής ισχύος (low power operations).
- G. T F Στο σχέδιο (ii), το σήμα f ενισχύεται.
- H. T F Το σχέδιο (iii) καταναλώνει περισσότερη ενέργεια.
- I. T F Η απλούστερη υλοποίηση ενός πολυπλέκτη 2-σε-1 χρησιμοποιεί δύο διατάξεις m ος.
- J. T F Στο σχέδιο (ii), το σήμα f δεν ενισχύεται.
- K. T F Το σχέδιο (iv) δεν υλοποιεί τον πολυπλέκτη.
- L. T F Όταν χρειαζόμαστε έναν πολυπλέκτη με μεγάλη "δύναμη", τότε ο αντιστροφέας εξόδου στο σχέδιο (iii) μπορεί να τροποποιηθεί κατάλληλα αν αυξήσουμε το πλάτος του.
- M. T F Στο σχέδιο (i), η έξοδος δεν έχει υποβοήθηση (buffer), οπότε δεν μπορεί να οδηγήσει σημαντικά φορτία.
- N. T F Όταν χρειαζόμαστε έναν πολυπλέκτη με μεγάλη "δύναμη", τότε ο αντιστροφέας εξόδου στο σχέδιο (iii) μπορεί να τροποποιηθεί κατάλληλα αν μειώσουμε το πλάτος του.
- O. T F Το σχέδιο (i) δεν χρησιμοποιείται συχνά στη CMOS σχεδίαση, γιατί το τελικό σήμα f είναι ασθενές και ευαίσθητο στον θόρυβο.

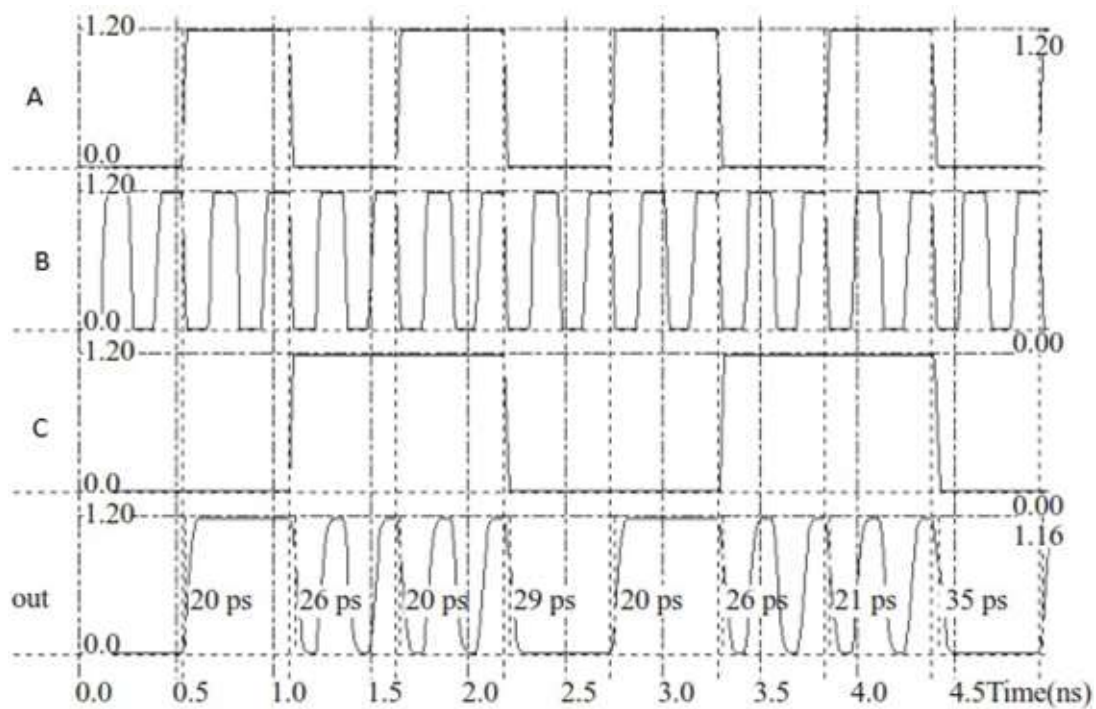
- P. T F Στο σχέδιο (ii), οι αλλοιώσεις λόγω τάσης κατωφλίου στο δυναμικό της εξόδου, εξαλείφονται, επειδή χρησιμοποιούνται πύλες μετάδοσης (transmission gates) για τα σήματα εισόδου.
- Q. T F Στο σχέδιο (i), η έξοδος μπορεί να οδηγήσει σημαντικά φορτία.
- R. T F Το σχέδιο (iii) καταναλώνει λιγότερη ενέργεια από τα προηγούμενα.
- S. T F Η απλούστερη υλοποίηση ενός πολυπλέκτη 2-σε-1 χρησιμοποιεί 4 διατάξεις mos.
- T. T F Το σχέδιο (ii) είναι καλύτερων επιδόσεων από το σχέδιο (i).
- U. T F Στο σχέδιο (iii), η προσθήκη του αντιστροφέα εξόδου (δρα και ως buffer) και η απομόνωση των σημάτων εισόδου στις πηγές/απαγωγούς, δίνουν έναν αξιόπιστο πολυπλέκτη αλλά απαιτούν πολλά τρανζίστορ.



Σχήμα 11.45 Χωροθεσία τύπου CMOS.

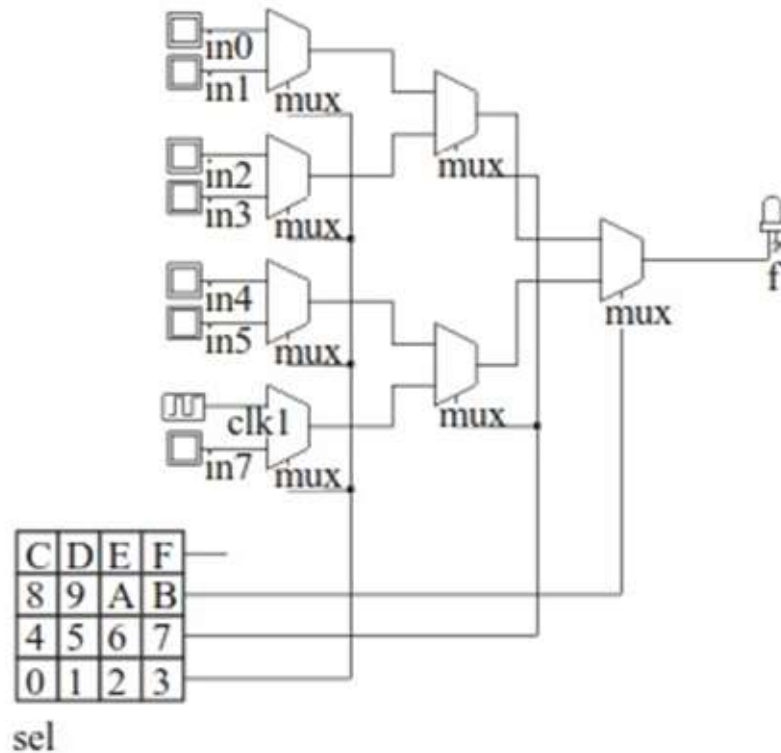
45. Σχήμα 11.45 Χωροθεσία τύπου CMOS.

Σχεδιάστε το αντίστοιχο CMOS κύκλωμα και εξακριβώστε τη λειτουργία που εκτελεί η συγκεκριμένη πύλη.

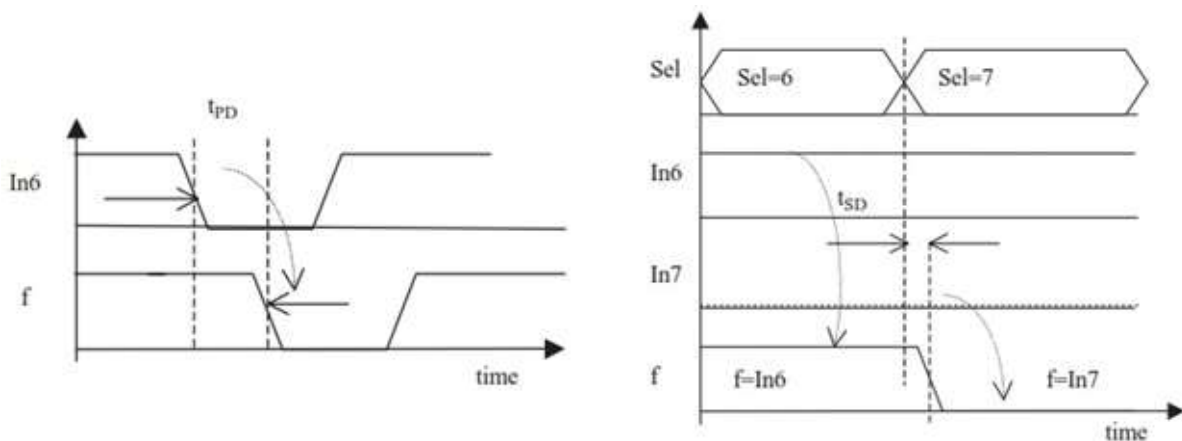


Σχήμα 11.46 Διάγραμμα χρονισμού.

46. Παρατηρήστε το Σχήμα 11.46. Ποια είναι η λειτουργία που επιτελεί το αντίστοιχο κύκλωμα που παράγει αυτό το διάγραμμα χρονισμού;
-
47. Παρατηρήστε το Σχήμα 11.47. Πώς μπορούμε να περιγράψουμε συνοπτικά με τη χρήση της case...endcase (Verilog) τη συμπεριφορά του κυκλώματος;
-
48. Παρατηρήστε το Σχήμα 11.48. t_{PD} είναι η καθυστέρηση __ (i) __ του πολυπλέκτη. Είναι ο χρόνος που μεσολαβεί μεταξύ της αλλαγής της __ (ii) __ και της αντίστοιχης αλλαγής __ (iii) __ του πολυπλέκτη. t_{SD} είναι καθυστέρηση __ (iv) __ του πολυπλέκτη. Είναι ο χρόνος μεταξύ της αλλαγής της εισόδου __ (v) __ και της σταθεροποίησης της εξόδου στην τιμή του αντίστοιχου καναλιού.
-



Σχήμα 11.47 8-σε-1 πολυπλέκτης.

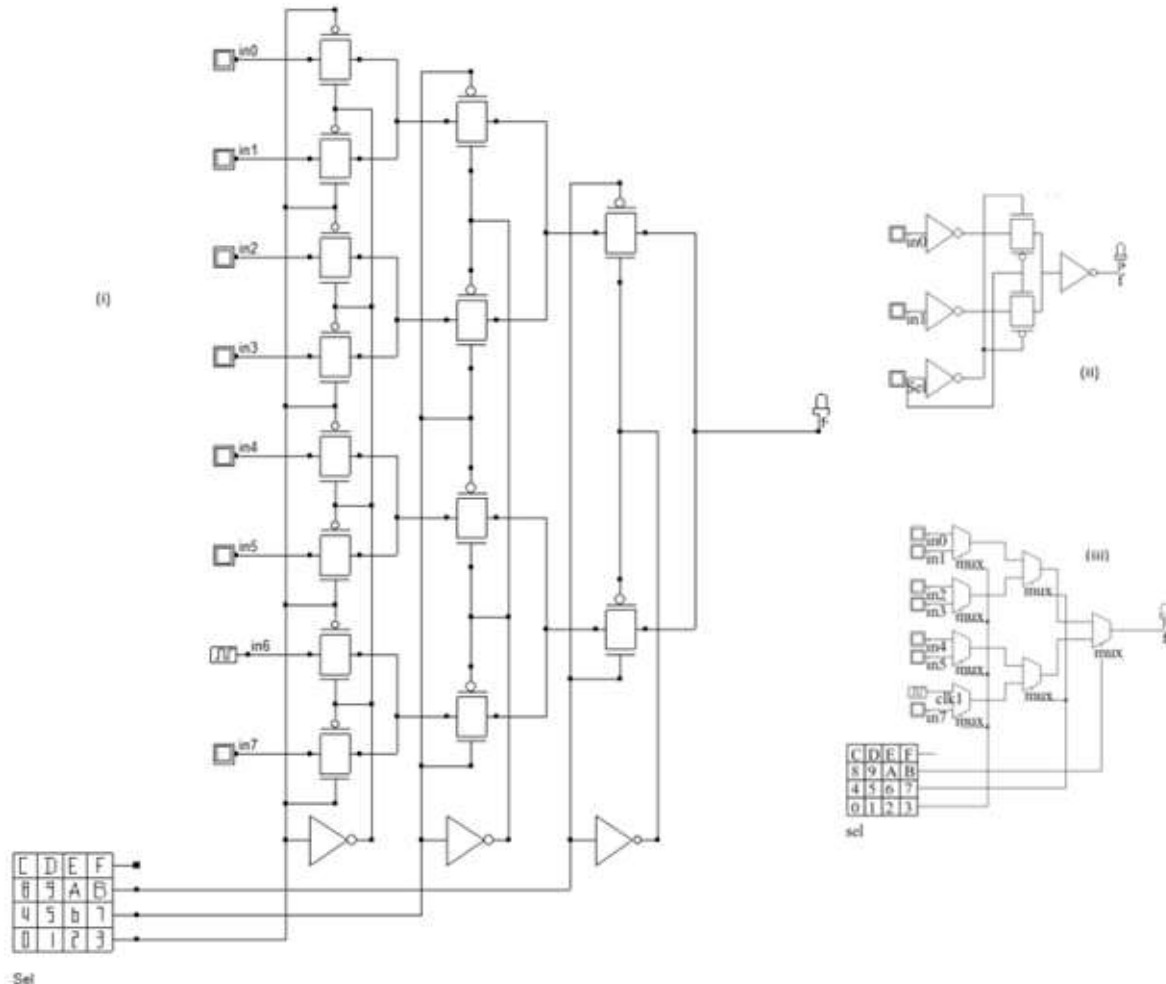


Σχήμα 11.48 Ορισμοί για την καθυστέρηση όδευσης (propagation delay) και καθυστέρηση στησίματος (set-up delay) σε έναν πολυπλέκτη.

49. Σχήμα 11.49 Πολυπλέκτης 8-σε-1 υλοποιημένος με πύλες μετάδοσης.

- A. T F Το κύριο μειονέκτημα του πολυπλέκτη (iii) που χρησιμοποιεί τη βασική κυψελίδα (ii) είναι η χρήση των τοπικών αντιστροφών σε κάθε στοιχειώδη πύλη πολυπλεξίας, με συνέπεια την αύξηση στην κατανάλωση ισχύος και στην καθυστέρηση στησίματος.
- B. T F Το σχέδιο (iii) είναι η άμεση υλοποίηση του 8-σε-1 πολυπλέκτη με χρήση πυλών μετάδοσης.
- C. T F Το σχέδιο (i) είναι πολυπλοκότερο από το σχέδιο (iii), καθώς απαιτεί περισσότερες διατάξεις για την υλοποίησή του.

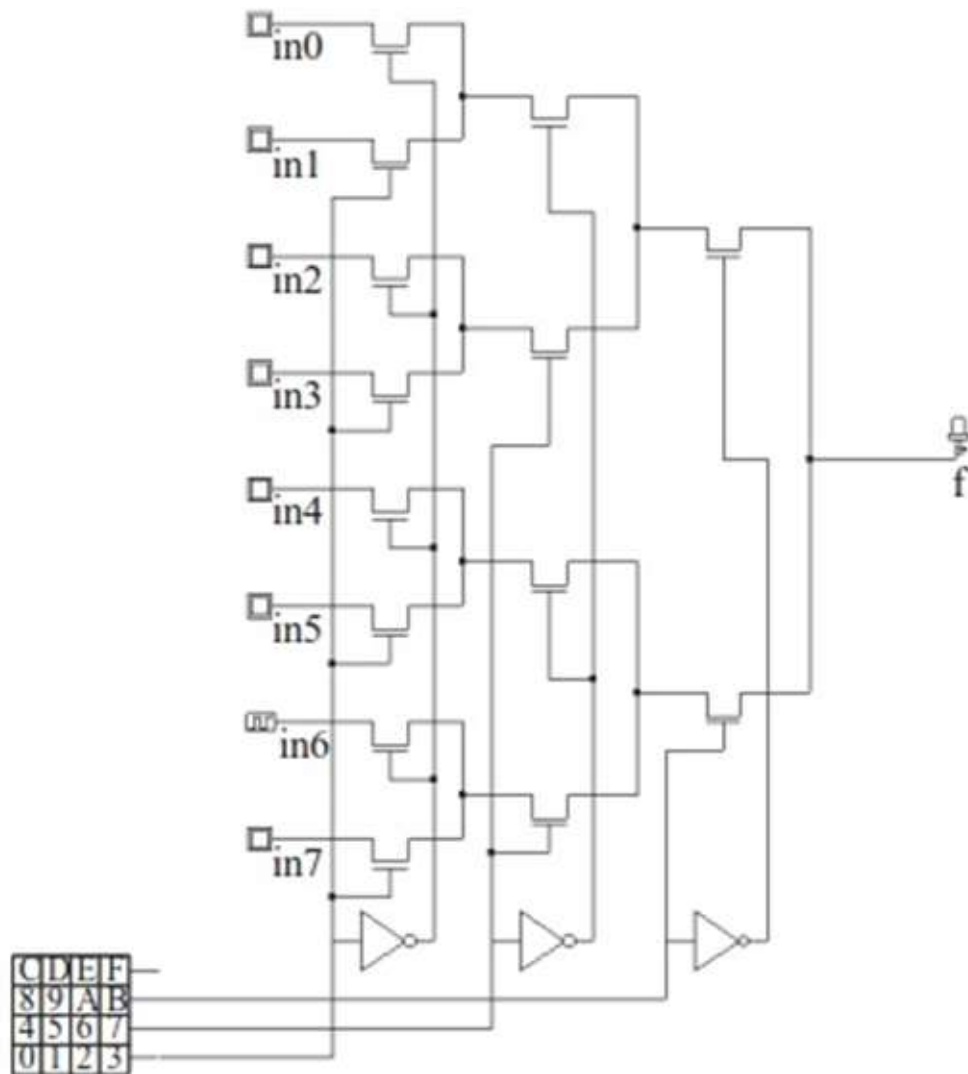
- D. T F Το σχέδιο (i) είναι απλούστερο από το σχέδιο (iii), ταχύτερο και απαιτεί λιγότερες διατάξεις για την υλοποίησή του.
- E. T F Το σχέδιο (i) είναι η άμεση υλοποίηση του 8-σε-1 πολυπλέκτη με χρήση πυλών μετάδοσης.



Σχήμα 11.49 Πολυπλέκτης 8-σε-1 υλοποιημένος με πύλες μετάδοσης.

50. Σχήμα 11.50 8-σε-1 πολυπλέκτης υλοποιημένος με nMOS.

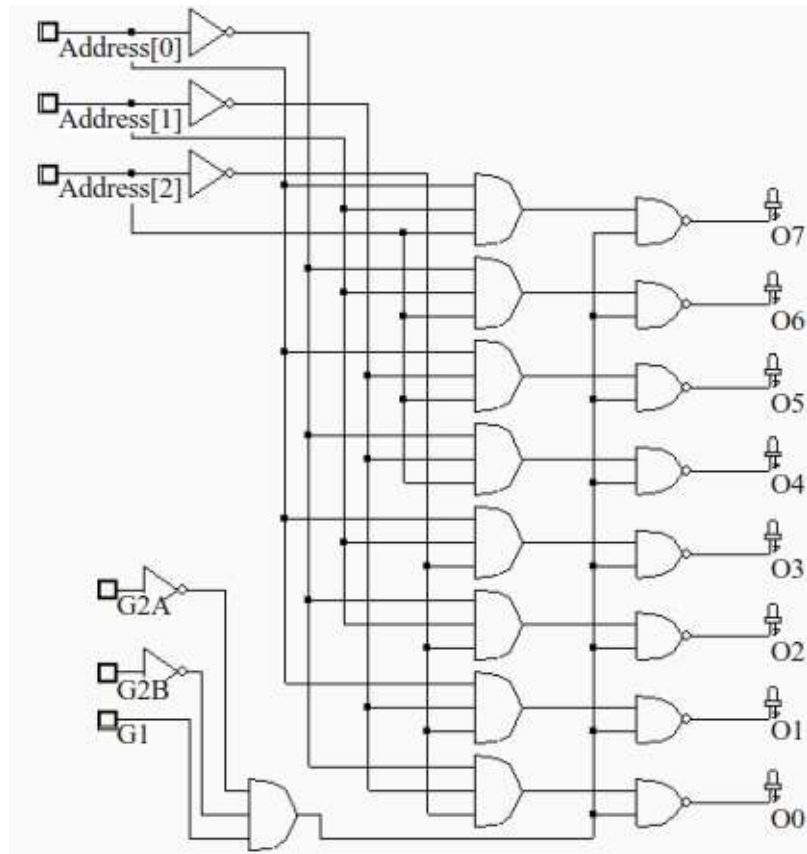
- A. T F Η αρχιτεκτονική αυτή είναι εύκολο να υλοποιηθεί, αλλά οι κυματομορφές εξόδου θα είναι αλλοιωμένες εξαιτίας των παρασιτικών φαινομένων κατωφλίου των nmos όταν μέσα από αυτά περνά το λογικό 1.
- B. T F Η έξοδος αυτού του πολυπλέκτη πρέπει να έχει και έναν buffer (not gate) για υποβοήθηση του σήματος.
- C. T F Με την αρχιτεκτονική αυτή έχουμε κέρδος σε επιφάνεια πυριτίου, αλλά απώλειες σε ταχύτητα εναλλαγής, γιατί τα διαδοχικά nmos λόγω των απωλειών κατωφλίου, οδηγούν σε αργούς χρόνους ανόδου από 0 σε 1.
- D. T F Η αρχιτεκτονική αυτή είναι η βέλτιστη για τον πολυπλέκτη 8-σε-1.



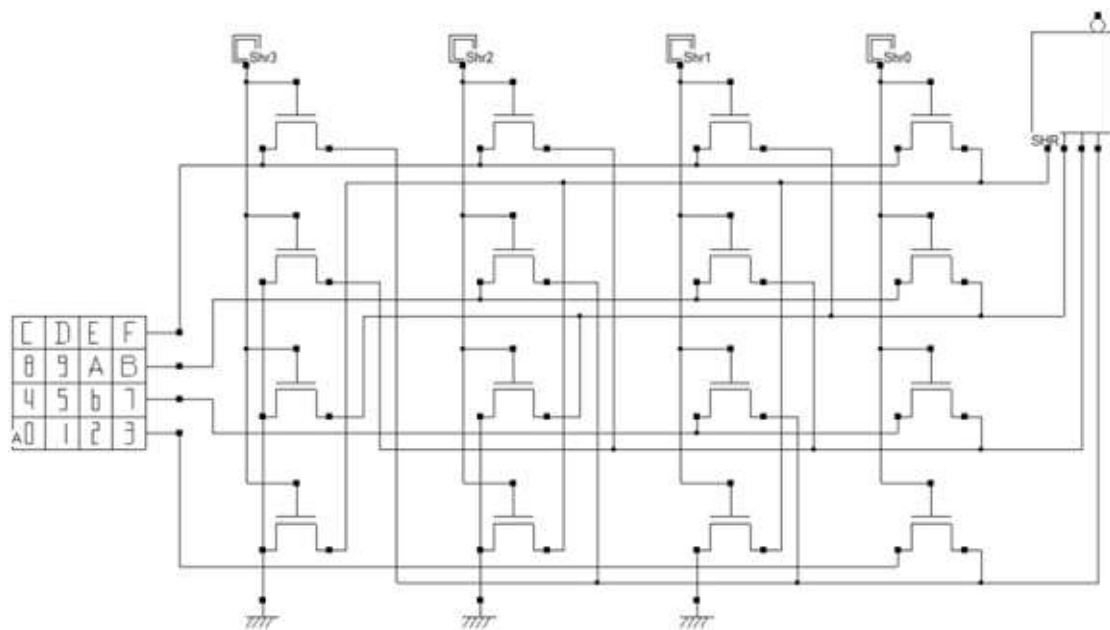
Σχήμα 11.50 8-σε-1 πολυπλέκτης υλοποιημένος με nMOS.

51. Παρατηρήστε το Σχήμα 11.51. Το κύκλωμα αυτό είναι ένας πολύ γνωστός αποπλέκτης (demultiplexor) or 74LS138. Αν το κύκλωμα είναι ενεργοποιημένο (τό G1 πρέπει να είναι σε λογικό 1), όλες οι έξοδοι 00..07 είναι σε λογικό 1 εκτός από αυτή που αντιστοιχεί στη δυαδική κωδικοποίηση των εισόδων A,B and C. Υλοποιήστε το κύκλωμα αυτό σε CMOS τεχνολογία 0.12 μm , τόσο σε επίπεδο κυκλώματος (χρήση του DSCH), όσο και σε επίπεδο χωροθεσίας (χρήση του MICROWIND) και παρουσιάστε τις προσομοιώσεις σας που θα επαληθεύουν την ορθή λειτουργία του.

52. Παρατηρήστε το Σχήμα 11.52. Υποθέστε ότι στις εισόδους είναι το 6 (0110) και στις εισόδους shr το 2 (0011). Τότε τι θα δούμε στην έξοδο;



Σχήμα 11.51 Αποπλέκτης 741s138 (demultiplexor).



Σχήμα 11.52 Κύκλωμα ολίσθησης προς τα δεξιά.

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Baker, R.J., Li, H.W., & Boyce, D.E. (1998). *CMOS circuit design, layout and simulation*. IEEE Press. ISBN 0-7803-3416-7.

2. Sicard, E., & Bendhia, S.D. (2007). *Basics of CMOS Cell Design*. McGraw- Hill.
 3. Uyemura, J.P. (2002). *Introduction to VLSI Circuits and Systems*. Wiley. ISBN 0-471-12704-3.
 4. Weste, N., & Eshraghian, K. (1993). *Principles of CMOS VLSI design*. Addison Wesley. ISBN 0-201-53376-6.
-

ΚΕΦΑΛΑΙΟ 12. ΚΥΨΕΛΙΔΕΣ ΑΝΑΛΟΓΙΚΗΣ ΣΧΕΔΙΑΣΗΣ (ANALOG CELLS) **(ΕΡΩΤΗΣΕΙΣ - ΑΣΚΗΣΕΙΣ)**

ΣΥΝΟΨΗ

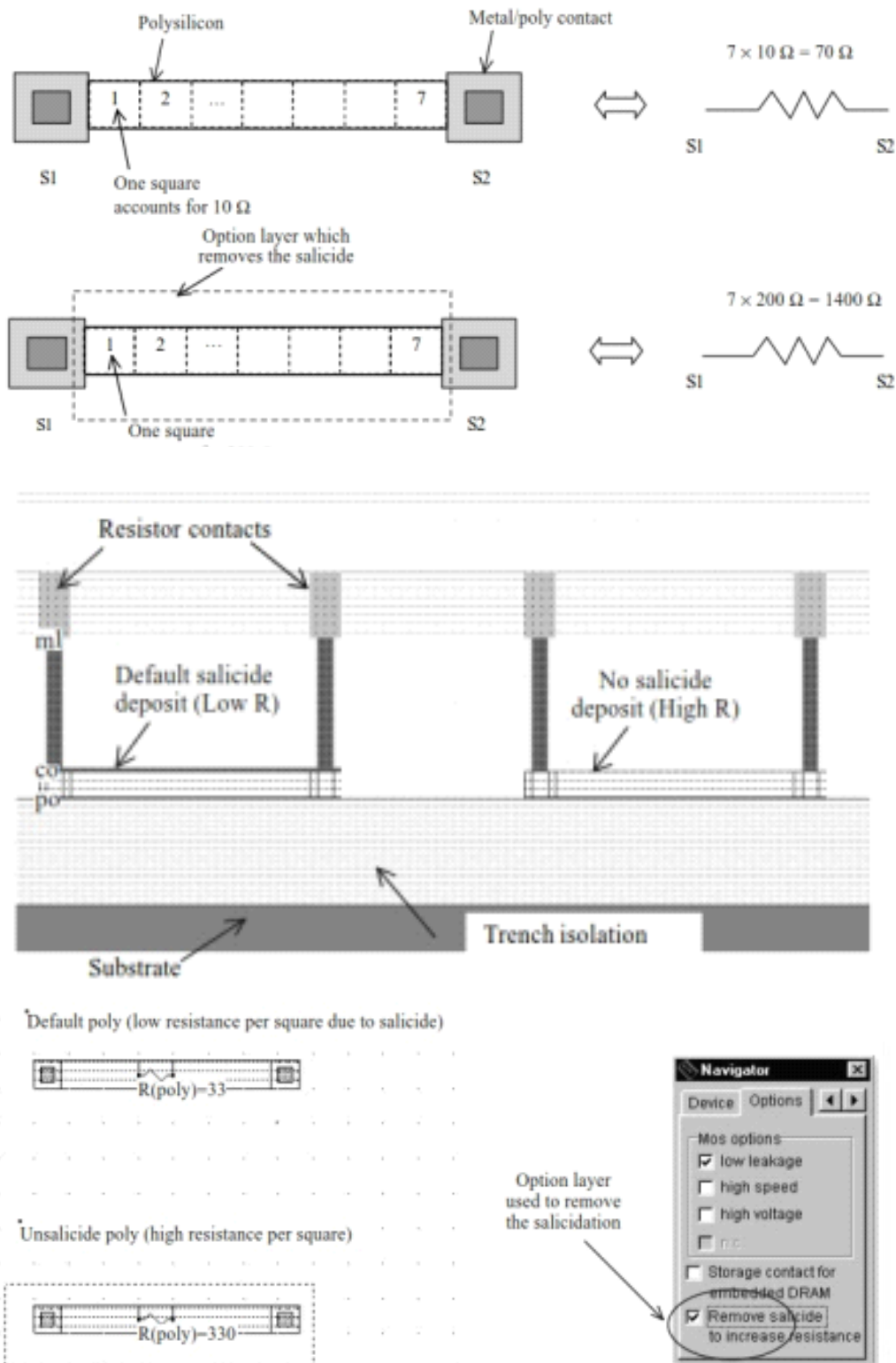
Περιλαμβάνεται πληθώρα ερωτήσεων/ασκήσεων σχετικών με τη σχεδίαση βασικών αναλογικών δομικών κυκλωματικών μονάδων σε μορφή κυκλώματος και χωροθεσίας.

ΣΤΟΧΟΣ

* Εξοικείωση με τη σχεδίαση βασικών αναλογικών δομικών κυκλωματικών μονάδων σε μορφή κυκλώματος και χωροθεσίας.

ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ

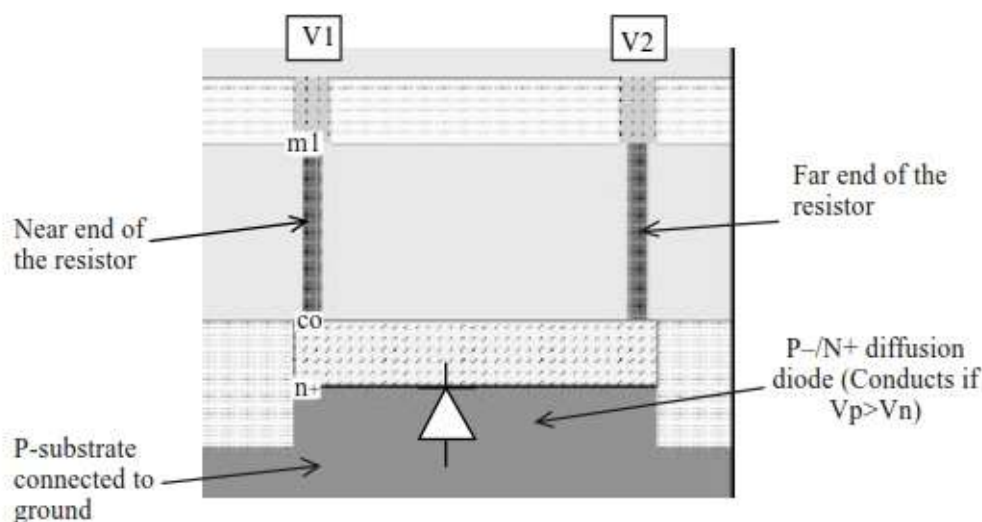
- * Βασικές γνώσεις χειρισμού λογισμικού Microwind και Dsch.
- * Θεωρητική λειτουργία του mosfet τύπου n και τύπου p.
- * Βασικές γνώσεις ψηφιακών ηλεκτρονικών και ηλεκτρονικών γενικότερα.
- * Στοιχεία χωροθεσίας cmos.
- * Διατομή cmos - υλικά κατασκευής.
- * Διαγράμματα χρονισμού.
- * Κεφάλαια 1-6.



Σχήμα 12.1 Σχεδίαση αντίστασης από polysilicon (Poly-Resistor).

1. Σχήμα 12.1 Σχεδίαση αντίστασης από polysilicon (Poly-Resistor).

- A. _____ Στη CMOS διαδικασία μπορούμε να σχηματίσουμε έναν αντιστάτη με αρκετή αντίσταση σε σχέση με τον χώρο που θα χρησιμοποιήσουμε,
- B. _____ Η αντίσταση μεταξύ των σημείων s1 και s2 μετρίεται συνήθως με μια συμβατική μονάδα μέτρησης, τα
- C. _____ Η εξ ορισμού τιμή της αντίστασης του polysilicon ανά τετράγωνο είναι
- D. _____ Αν αφαιρέσουμε το στρώμα salicide που βρίσκεται κάτω από το υμένιο του polysilicon, η αντίσταση του polysilicon ανά τετράγωνο, γίνεται
- E. _____ Το υλικό του salicide εναποτίθεται στη διεπιφάνεια μεταξύ πυθμένα οξειδίου του πυριτίου και επιφάνειας polysilicon και
- F. _____ Το στρώμα του salicide αποτελεί τμήμα της στάνταρ διαδικασίας κατασκευής και εναποτίθεται εξ ορισμού σε όλες τις επιφάνειες του polysilicon μέσα στο κύκλωμα. Ωστόσο,
- a. 10 Ω, που αποτελεί μια μικρή τιμή αντίστασης.
- b. μπορεί να απομακρυνθεί αν κατά τη σχεδίαση σχεδιάσουμε το polysilicon εντός ενός στρώματος επιλογής (option layer) για το οποίο επιλέγουμε την ιδιότητα να μην έχει salicide ("Remove Salicide").
- c. κάνοντας χρήση μιας διαδρομής από polysilicon.
- d. δημιουργεί ένα μεταλλικό υμένιο μέσω του οποίου το ηλεκτρικό ρεύμα μπορεί να κινηθεί ευκολότερα με συνέπεια να ελαττώνεται δραματικά η αντίσταση του polysilicon.
- e. "ohm ανά τετράγωνο", συμβολικά Ω/□.
- f. 200 Ω.



Σχήμα 12.2. Υλοποίηση αντίστασης με τα υμένια διάχυσης (Diffusion type resistor).

2. Σχήμα 12.2. Υλοποίηση αντίστασης με τα υμένια διάχυσης (Diffusion type resistor).

- A. ____ Μπορούμε να υλοποιήσουμε αντιστάσεις μέσω των υμενίων των N+ ή P+ διαχύσεων. Ένα σημαντικό χαρακτηριστικό των αντιστάσεων διάχυσης είναι η ικανότητά τους
- a. η αναφορά κοινής γείωσης.
- B. ____ Όταν το δυναμικό V_1 πέσει κάτω του 0 V, τότε η διόδος μεταξύ P-substrate/N+
- b. να συνδυάζουν σημαντική αντίσταση αλλά και τη δημιουργία διόδου (diode effect).
- C. ____ Το P-substrate (υπόστρωμα) θεωρείται συνήθως ως
- c. ενεργοποιείται (turned on) και δημιουργείται διαδρομή προς τη γείωση.
- D. ____ Η αντίσταση διάχυσης χρησιμοποιείται και για την
- d. προστασία εισόδου/εξόδου των διατάξεων.

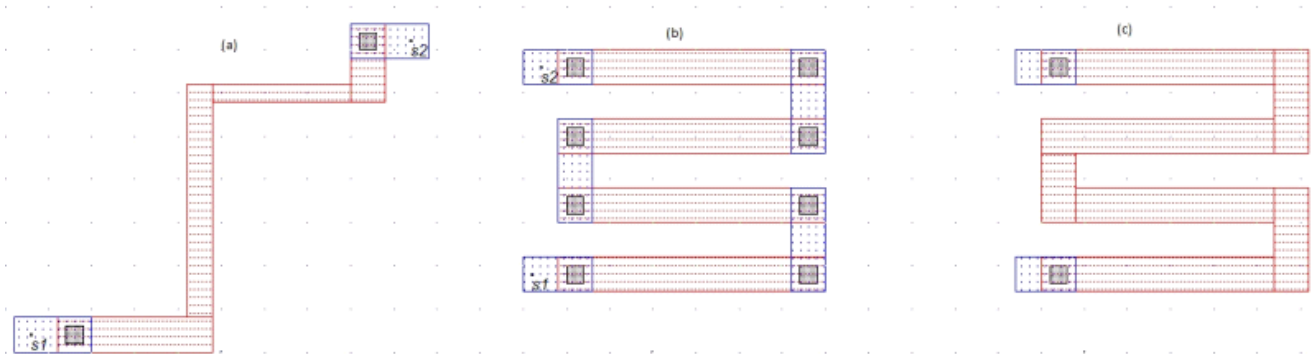
Design rules and electrical parameters											
Layer	Width	Spacing	Surface	Surf capa	Lin capa	Ctk capa	Res	Unsalicid	Thickn	Height	Permitt
	lambda	lambda	lambda2	af/μm2	af/μm	af/μm	ohm	ohm	μm	μm	
nitride	0	0	0								
siOxNy	1330	1330	0								
metal6	8	8	144	100.00		40.00	0.03/sq	1.00/sq	0.80	6.00	3.10
via5	5	5	0	1.00	1.00	1.00	1.00/via		0.50	5.60	4.00
metal5	8	8	64	120.00		40.00	0.03/sq	1.00/sq	0.80	4.80	3.10
via4	2	4	0	1.00	1.00	1.00	1.00/via		0.50	4.20	4.00
metal4	3	4	16	140.00		30.00	0.05/sq	1.00/sq	0.40	3.80	3.10
via3	2	4	0	1.00	1.00	1.00	2.00/via		0.50	3.30	4.00
metal3	3	4	16	160.00		30.00	0.05/sq	1.00/sq	0.40	2.90	3.10
via2	2	4	0	1.00	1.00	1.00	2.00/via		0.50	2.40	4.00
metal2	3	4	16	180.00		30.00	0.05/sq	1.00/sq	0.40	2.00	3.10
via	2	4	0	1.00	1.00	1.00	2.00/via		0.50	1.50	4.00
metal	3	4	16	200.00		30.00	0.05/sq	1.00/sq	0.40	1.10	3.10
poly	2	3	16	400.00	1.00	1.00	4.00/sq	40.00/sq	0.20	0.01	4.00
poly2	2	2	8	400.00	1.00	1.00	4.00/sq	40.00/sq	0.20	0.22	4.00
contact	2	4	0	1.00	1.00	1.00	20.00/via		1.10	0.00	4.00
diffn	4	4	16	350.00	100.00	1.00	25.00/sq	250.00/sq	0.40	0.00	4.00
diffp	4	4	16	300.00	100.00	1.00	30.00/sq	300.00/sq	0.40	0.00	4.00
nwell	10	11	100	250.00	1.00	1.00	120.00/sq		1.00	0.00	4.00
oxide				15000.00					2.00nm	(5.00nm)	4.00

Techno: CMOS 0.12μm - 6 Metal loaded from file "C:\Program Files (x86)\Microwind 3.5 with DSCH 3.5\microwind35 full\rules\cmos012.rul"

Σχήμα 12.3 Παράμετροι αντίστασης για την τεχνολογία CMOS 0.12 μm.

3. Σχήμα 12.3 Παράμετροι αντίστασης για την τεχνολογία CMOS 0.12 μm.

- | | |
|----------------------|-------------------|
| A. ____ Res(metal) = | a. 30.00 Ohm/sq. |
| B. ____ Res(poly) = | b. 4.00 Ohm/sq. |
| C. ____ Res(nwell) = | c. 25.00 Ohm/sq. |
| D. ____ Res(diffn) = | d. 120.00 Ohm/sq. |
| E. ____ Res(diffp) = | e. 0.05 Ohm/sq. |



Σχήμα 12.4 Σχεδίαση αντίστασης.

4. Σχήμα 12.4 Σχεδίαση αντίστασης.

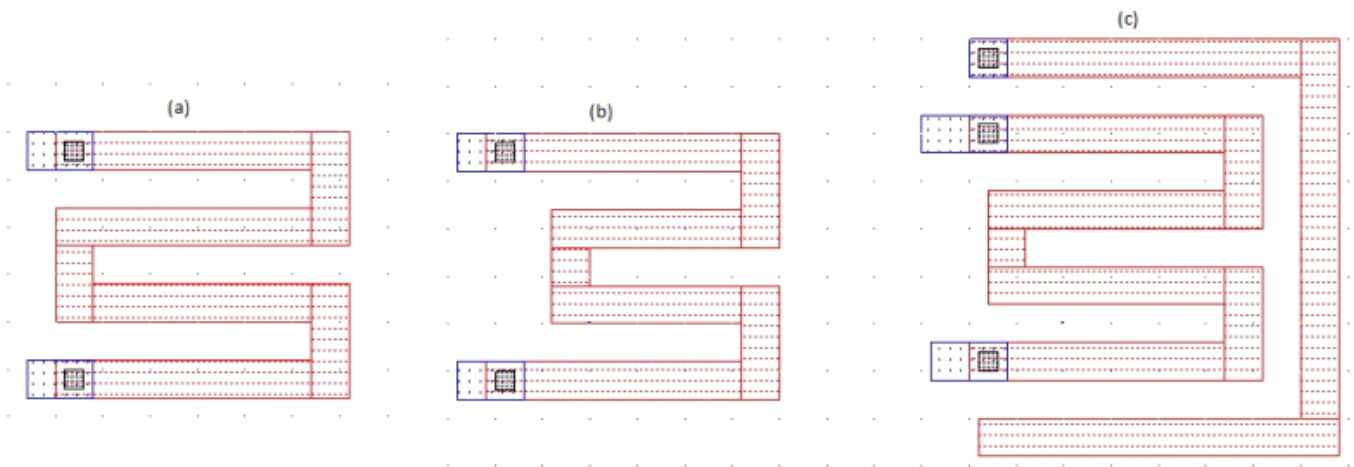
- | | |
|---|--|
| A. ____ Το σχέδιο (a) θεωρείται | a. είναι λιγότερο ευαίσθητοι στις διακυμάνσεις λόγω των διαδικασιών κατασκευής. |
| B. ____ Το σχέδιο (b) ονομάζεται | b. διπλάσιες τιμές διαστάσεων σε σχέση με αυτές των ελάχιστων σχεδιαστικών κανόνων. |
| C. ____ Το σχέδιο (c) ονομάζεται | c. οι διακυμάνσεις λόγω των διαδικασιών κατασκευής θα οδηγήσουν σε μεγάλες διακυμάνσεις στις τιμές της αντίστασης. |
| D. ____ Δε θεωρείται καλή πρακτική να σχεδιάζουμε αντιστάσεις | d. σχεδίαση αντίστασης τύπου Dog-bone ("κόκκαλο σκύλου"). |
| E. ____ Σε σχεδίαση τύπου poor design, οι σχεδιαστικοί κανόνες (design rules) μπορεί να μην παραβιάζονται ωστόσο, | e. ελλιπής σχεδίαση (Poor design). |
| F. ____ Για να ελαχιστοποιήσουμε την επίδραση των διακυμάνσεων λόγω κατασκευής, στις τιμές της αντίστασης θα πρέπει | f. να σχεδιάζουμε τις αντιστάσεις πάντα με το ίδιο πλάτος, |

G. ____ Για να ελαχιστοποιήσουμε την επίδραση των διακυμάνσεων λόγω κατασκευής, οι αντιστάτες θα πρέπει να σχεδιάζονται χρησιμοποιώντας τουλάχιστον

g. σχεδίασης τύπου serpentine (σερπατίνας).

H. ____ Οι αντιστάτες τύπου dog-bone δεν είναι εύκολο να σχεδιαστούν με μεγάλη πυκνότητα, όπως αυτή των τύπου serpentine, επειδή χρησιμοποιούν δύο επίπεδα μετάλλου και επιπρόσθετους σχεδιαστικούς κανόνες, αλλά

h. χρησιμοποιώντας διάφορα πλάτη polysilicon ή πολύ στενούς αγωγούς.



Σχήμα 12.5 Σχεδίαση αντίστασης.

5. Σχήμα 12.5 Σχεδίαση αντίστασης (Resistor Design).

A. ____ Όλα τα σχέδια αντιστάσεων του σχήματος

a. εκείνα τα σχέδια στο polysilicon που δεν έχουν ενεργό ρόλο στην αντίσταση (δηλαδή δεν προσμετρούνται στον υπολογισμό της αντίστασης και δεν συνδέονται στο κύκλωμα).

B. ____ Από τα σχέδια του σχήματος, θεωρούμε καλύτερο το

b. είναι τύπου σερπατίνας (serpentine type).

C. ____ Για να ελαχιστοποιήσουμε τις επιδράσεις των διαδικασιών στις μεταβολές των διαστάσεων των σχεδίων, όλες οι αντιστάσεις θα πρέπει να σχεδιάζονται

c. (c)

D. ____ Οι βοηθητικοί ή βουβοί αντιστάτες (Dummy resistors) είναι

d. να εξομαλύνουν τις μεταβολές που υφίσταται το ενεργό μέρος του αντιστάτη λόγω των διαδικασιών κατασκευής.

E. ____ Ο ρόλος των βουβών αντιστατών είναι

e. (b)

F. ____

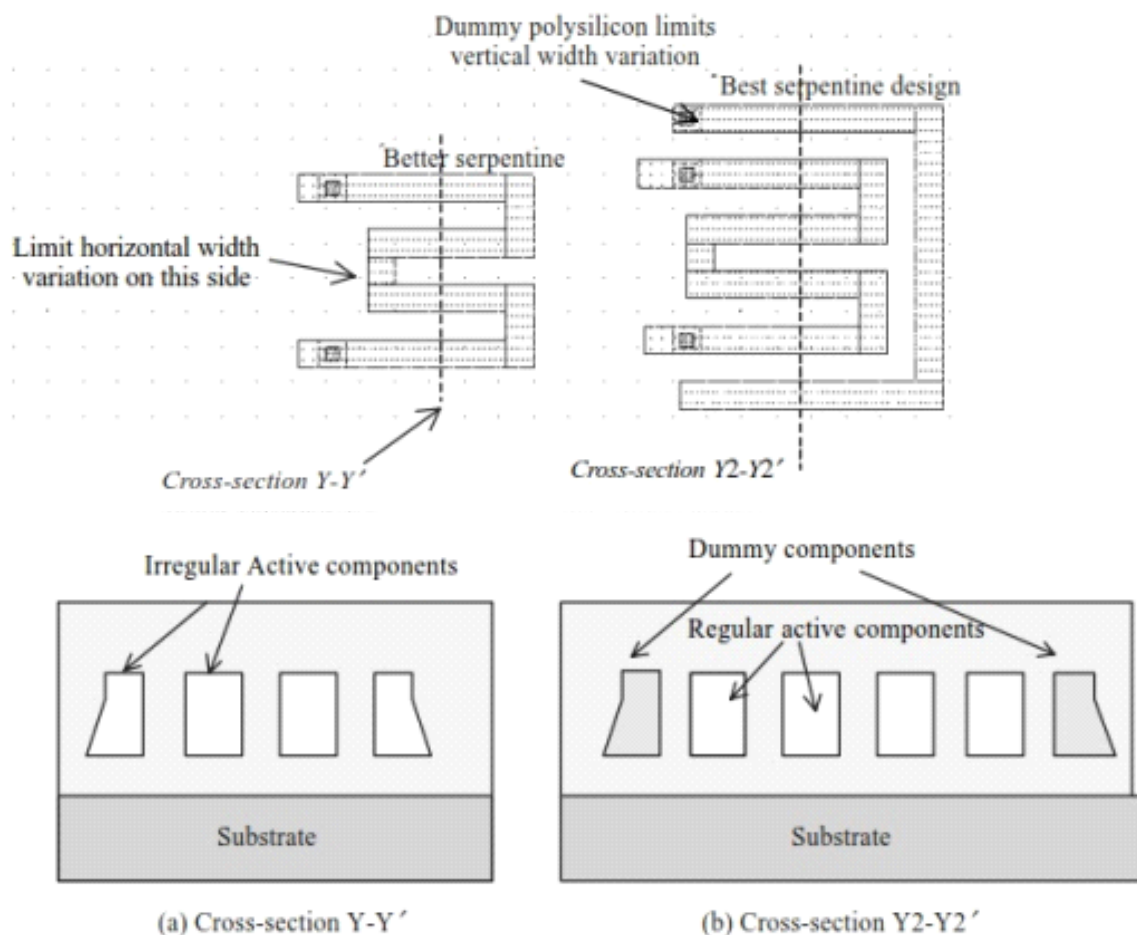
G. ____

H. ____

f. χρησιμοποιώντας τον ίδιο προσανατολισμό (orientation).

g. είναι τύπου dog-bone.

h. (a)



Σχήμα 12.6 Σχεδίαση αντίστασης και βουβών διατάξεων.

6. Σχήμα 12.6 Σχεδίαση αντίστασης και βουβών διατάξεων.

A. ____ Η χρήση των βουβών διατάξεων (dummy devices) γίνεται για

a. μικρότερη του 1%,

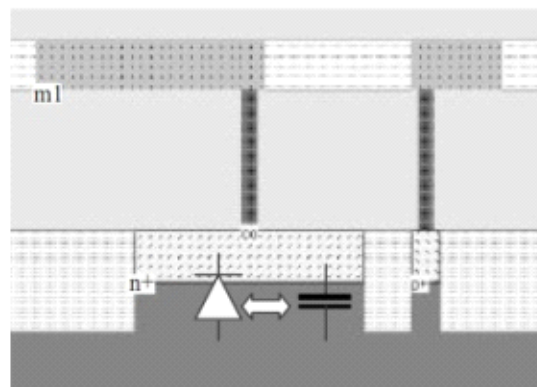
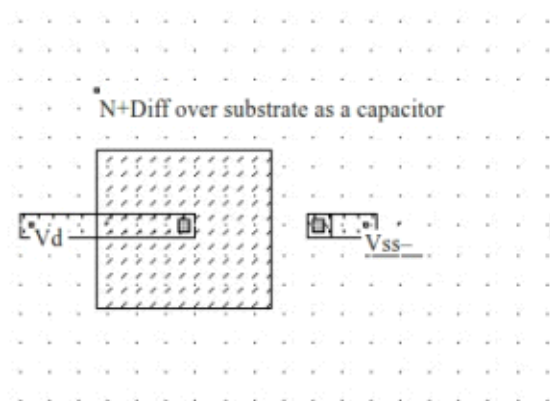
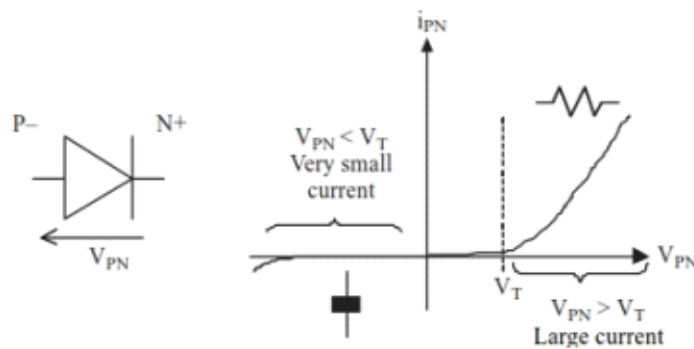
B. ____ Στην περίπτωση υμενίου polysilicon με σχήμα σερπατίνας και χωρίς βουβές διατάξεις, τότε στη διατομή κατά μήκος του Y-Y'

b. θα εμφανίσει λιγότερες ανομοιομορφίες λόγω των διαδικασιών κατασκευής.

C. ____ Το σχέδιο της διατομής κατά μήκος του Y-Y' (περίπτωση (a)),

c. να αποφύγουμε κατά το δυνατό, τις διακυμάνσεις διαστάσεων λόγω των διαδικασιών κατασκευής, των τελικά κατασκευασμένων αντιστατών.

- D. ____ Αν σχεδιάσουμε βουβές διατάξεις κάτω και πάνω από το σχέδιο της αντίστασης (διατομή κατά μήκος του Y2-Y2'),
- E. ____ Το σχέδιο της περίπτωσης (b)
- F. ____ Τυπικά, η μεταβολή στην τιμή της αντίστασης μεταξύ δύο ίδιων σχεδίων στο ίδιο κύκλωμα, χωρίς τη χρήση βουβών διατάξεων είναι
- G. ____ Τυπικά, η μεταβολή στην τιμή της αντίστασης μεταξύ δύο ίδιων σχεδίων στο ίδιο κύκλωμα, αλλά με χρήση βουβών διατάξεων είναι
- d. θα έχουμε ανομοιομορφίες στις περιοχές των βουβών διατάξεων, αλλά όχι στο ενεργό μέρος της αντίστασης.
- e. δείχνει τις σημαντικές διακυμάνσεις διαστάσεων στα ενεργά μέρη της αντίστασης, εξαιτίας των διεργασιών κατασκευής.
- f. γύρω στο 5%,
- g. αναμένουμε σημαντικές ανομοιομορφίες στις διαστάσεις μεταξύ των σχεδιασμένων οριζόντιων περιοχών (κουτιών polysilicon).



Σχήμα 12.7 Χωρητικότητα διόδου (Diode Capacitor).

7. Σχήμα 12.7 Χωρητικότητα διόδου (Diode Capacitor).

- A. ____ Η διόδος σε ανάστροφη πόλωση
- B. ____ Η χωρητικότητα πυκνωτή-διόδου εξαρτάται
- a. με έναν πυκνωτή.
- b. η N+ περιοχή πολωθεί σε δυναμικό μεγαλύτερο από αυτή της P-περιοχής, η οποία συνήθως είναι πολωμένη στη γείωση (0 V).

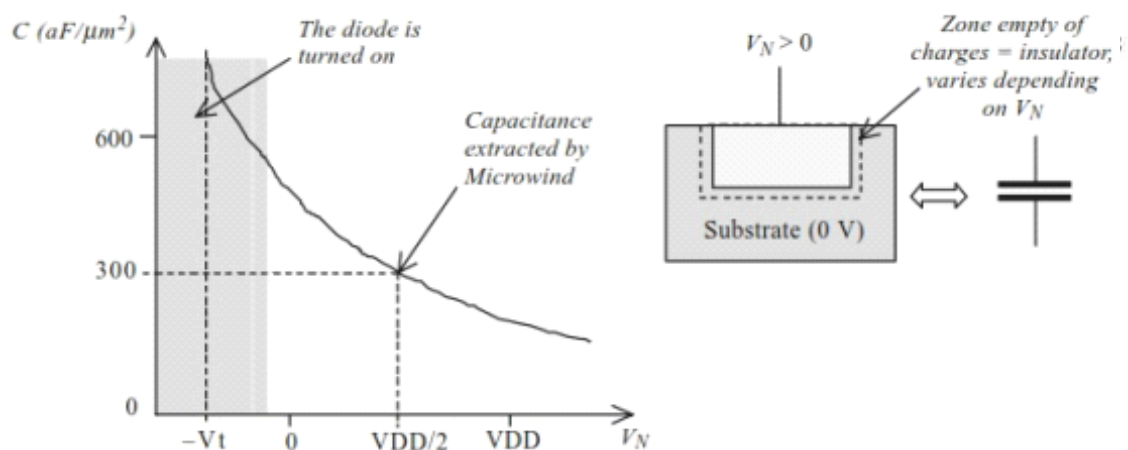
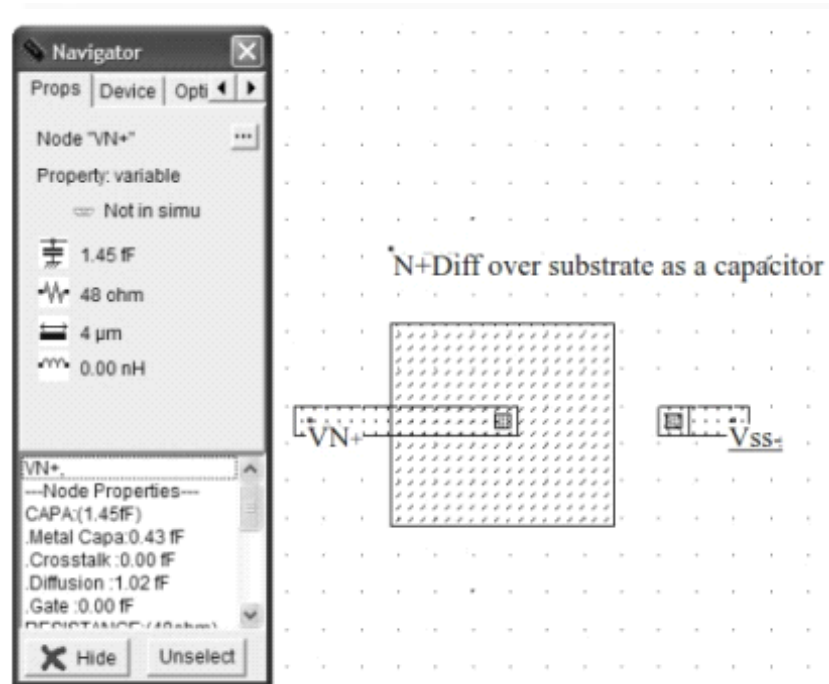
- | | |
|--|---|
| C. ____ Μια απλή διάχυση N+ πάνω σε P-υπόστρωμα, δημιουργεί NP δίοδο και μπορεί να θεωρηθεί ως πυκνωτής αν | c. η οποία είναι της τάξης των 100 ohm ως 1000 ohm, ανάλογα με την επιφάνεια της διόδου. |
| D. ____ Στην τεχνολογία 0.12 μm, η χωρητικότητα διόδου είναι περίπου | d. από την τιμή της πόλωσης. |
| E. ____ Έχουμε σημαντική ροή ρεύματος από την περιοχή τύπου P στην περιοχή τύπου N όταν η διαφορά δυναμικού αυτών των δύο περιοχών είναι | e. σημαντικά μεγαλύτερη από την τάση κατωφλίου (threshold voltage) V_T . |
| F. ____ Έχουμε σημαντική ροή ρεύματος από την περιοχή τύπου P στην περιοχή τύπου N όταν το δυναμικό | f. $300 \text{ aF}/\mu\text{m}^2$ ($1 \text{ atto-Farad} = 1\text{E-}18 \text{ Farad}$). |
| G. ____ Το ρεύμα διόδου περιορίζεται από τη σειριακή αντίσταση της διόδου, | g. V_P είναι σημαντικά μεγαλύτερο του δυναμικού $V_N + V_T$, όπου V_T είναι περίπου 0.3 V στην τεχνολογία των 0.12 μm. |
| H. ____ Ένα πολύ μικρό ρεύμα ρέει μεταξύ των περιοχών P και N region όταν | h. συμπεριφέρεται ως πυκνωτής. |
| I. ____ Όταν $V_P < V_N + V_T$, | i. $V_P < V_N + V_T$. |
| J. ____ Όταν $V_P < V_N + V_T$, η τάξη μεγέθους του παρασιτικού ρεύματος διαρροής της διόδου είναι | j. μπορούμε να θεωρούμε ότι η δίοδος συμπεριφέρεται ως πυκνωτής. |
| K. ____ Επειδή το υπόστρωμα είναι γειωμένο, το δυναμικό V_N είναι πάντα μεγαλύτερο του V_P που σημαίνει ότι η επαφή N+/P- | k. στην περιοχή μεταξύ των nano-ampere και pico-ampere ($1\text{E-}9$ με $1\text{E-}12 \text{ A}$). |

8. Σχήμα 12.8 Χωρητικότητα διόδου (Diode Capacitor).

Στο περιβάλλον του Microwind, η χωρητικότητα της διόδου εμφανίζεται σε πλαίσιο διαλόγου, όταν κάνουμε διπλό κλικ πάνω στην περιοχή N+ ή μέσω του εικονιδίου View Electrical Node από το μενού επιλογών.

- | | |
|--|---|
| A. ____ Η τιμή της χωρητικότητας διόδου που υπολογίζει το Microwind είναι μια μέση τιμή που αντιστοιχεί σε | a. την επιφάνεια που καταλαμβάνει η δίοδος στο υπόστρωμα. |
| B. ____ Η τιμή της χωρητικότητας διόδου θεωρείται γενικά μικρή σε σχέση με | b. $V_N = V_{DD}/2$. |
| C. ____ Η τιμή της εκτιμώμενης χωρητικότητας διόδου από το Microwind εξαρτάται σημαντικά | c. η δίοδος θα πολωθεί ορθά και θα αρχίζει να άγει ηλεκτρικό ρεύμα. |

- D. ____ Μια μεγάλη διαφορά δυναμικού μεταξύ της περιοχής N και του υποστρώματος, που μπορεί να θεωρηθεί ως μονωτική περιοχή
- E. ____ Όταν η V_N μειώνεται, η περιοχή απογύμνωσης της διόδου μειώνεται σε πλάτος, οπότε
- F. ____ Αν η V_N γίνεται μικρότερη από το δυναμικό του υποστρώματος, τότε
- d. και με μη-γραμμικό τρόπο από την τιμή της V_N .
- e. με συνέπεια τη μείωση της χωρητικότητας διόδου.
- f. η αντίστοιχη χωρητικότητα διόδου αυξάνεται.

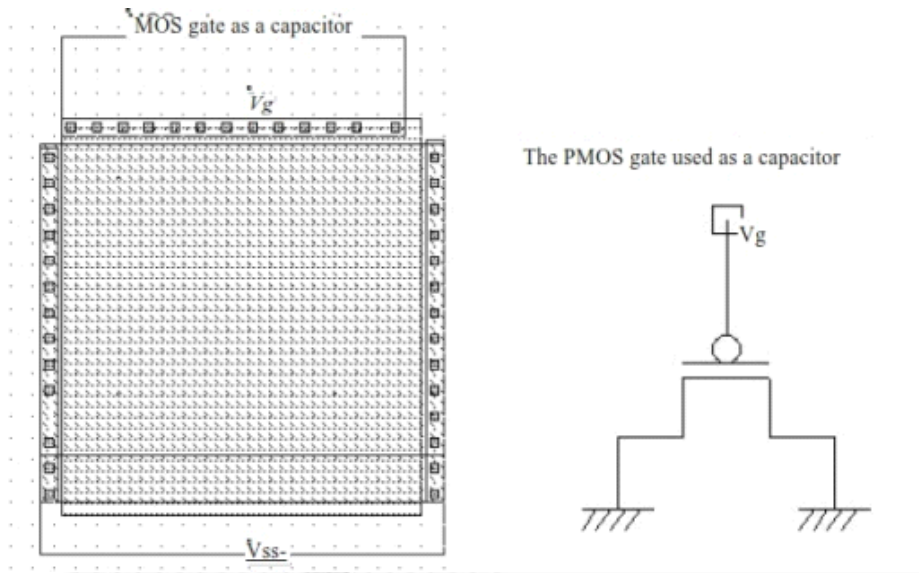


Σχήμα 12.8 Χωρητικότητα διόδου (Diode Capacitor).

9. Σχήμα 12.9 Πυκνωτής τύπου MOS.

- A. ____ Το τρανζίστορ MOS συχνά αποτελεί a. πάνω από το οποίο καταστρέφεται το αντίστοιχο διοξείδιο του πυριτίου.
- B. ____ Στην τεχνολογία των 0.12 μm , το οξείδιο πυριτίου της πύλης, έχει πάχος 2 nm (20 angstrom = 20 $\text{\AA}$) και η αντίστοιχη χωρητικότητα της MOS δομής είναι b. με την ονομασία διπλό-οξείδιο (dual-oxide) (5 nm = 50 $\text{\AA}$ πάχος στην τεχνολογία CMOS 0.12 μm).
- C. ____ Στις διατάξεις MOS για εφαρμογές σε υψηλά δυναμικά, χρησιμοποιείται στην πύλη ένα πιο παχύ στρώμα διοξειδίου του πυριτίου c. 4 ως 10 MV/cm, ανάλογα με την τεχνολογία κατασκευής.
- D. ____ Η χωρητικότητα της δομής MOS του διπλού-οξειδίου (The dual-oxide) στην τεχνολογία των 0.12 μm είναι d. να έχει πάχος τουλάχιστον 10 nm.
- E. ____ Στις εφαρμογές αναλογικής σχεδίασης, ο πυκνωτής πύλης συχνά περιβάλλεται από ένα e. υπάρχει κίνδυνος να καταστραφεί το οξείδιο αν σε αυτό ασκηθεί υψηλότερο δυναμικό από το όριο που μπορεί να αντέξει (oxide damage due to over-stress).
- F. ____ It is usually very difficult to integrate capacitors of more than f. 17 fF/ μm^2 .
- G. ____ Αν η εφαρμογή απαιτεί πυκνωτές της τάξης των nano-farad, αυτοί g. CPOOxide.
- H. ____ Η χρήση πολύ λεπτού οξειδίου στην πύλη αυξάνει την αντίστοιχη χωρητικότητα, αλλά h. είναι πολύ μεγάλης επιφάνειας για να μπορούν να ολοκληρωθούν στην ίδια ψηφίδα (τσιπ), οπότε τοποθετούνται εκτός ψηφίδας ως διακριτά εξαρτήματα.
- I. ____ Η διηλεκτρική αντοχή (dielectric strength) του SiO_2 ορίζεται ως i. καταστροφή του διοξειδίου του πυριτίου της πύλης.
- J. ____ Η διηλεκτρική αντοχή E_{crit} έχει τιμές στην περιοχή μεταξύ j. δακτύλιο προστασίας (guard ring).
- K. ____ Ως κρίσιμο δυναμικό πύλης V_{crit} ορίζουμε το δυναμικό πύλης k. μικρότερες της μισής τιμής από την τιμή του κρίσιμου δυναμικού.
- L. ____ A SiO_2 gate dielectric of 2 nm leads to a critical voltage ranging between l. 0.8 V (dry oxide growth) and 2 V (high quality gate oxide deposit).
- M. ____ Για εφαρμογές που απαιτούν υψηλή λειτουργικότητα του κυκλώματος για μεγάλες χρονικές περιόδους, θα πρέπει το δυναμικό παροχής να διατηρείται σε τιμές m. a few hundred pico-farads.

- N. ____ Όταν η V_{DD} είναι περίπου 1 V, τότε για τιμές δυναμικού πύλης, σημαντικά υψηλότερες του V_{DD} μπορεί να συμβεί
- ο. την απλούστερη επιλογή για την υλοποίηση ενός πυκνωτή σε ένα ολοκληρωμένο κύκλωμα.
- O. ____ Σε εφαρμογές υψηλών δυναμικών, το οξειδίο πύλης του MOS τρανζίστορ για να διαχειριστεί δυναμικά πύλης των 3.3 V, θα πρέπει
- ρ. η τιμή του ηλεκτρικού πεδίου, πάνω από την οποία καταστρέφεται το διηλεκτρικό.
- P. ____ Σε εφαρμογές υψηλών δυναμικών, το οξειδίο πύλης του MOS τρανζίστορ για να διαχειριστεί δυναμικά πύλης των 5 V, θα πρέπει
- Q. ____ Στους σχεδιαστικούς κανόνες, η παράμετρος που θέτει τον πυκνωτή οξειδίου πύλης είναι η
- q. να έχει πάχος γύρω στα 7 nm.



$$C_{thin_{ox}} = \frac{\epsilon_0 \epsilon_r}{e} = \frac{8,85e^{-12} \times 3.9}{2.0 \times 10^{-9}} = 17e^{-3} \text{ F/m}^2 =$$

$$17e^{-15} \text{ F}/\mu\text{m}^2 = 17 \text{ fF}/\mu\text{m}^2$$

e = gate oxide thickness (m)

ϵ_0 = vacuum permittivity (F/m)

ϵ_r = relative permittivity (no unit) (it)

$$C_{dual_{ox}} = \frac{\epsilon_0 \epsilon_r}{e_2} = \frac{8,85e^{-12} \times 3.9}{5.0 \times 10^{-9}} = 6,8 \text{ fF}/\mu\text{m}^2$$

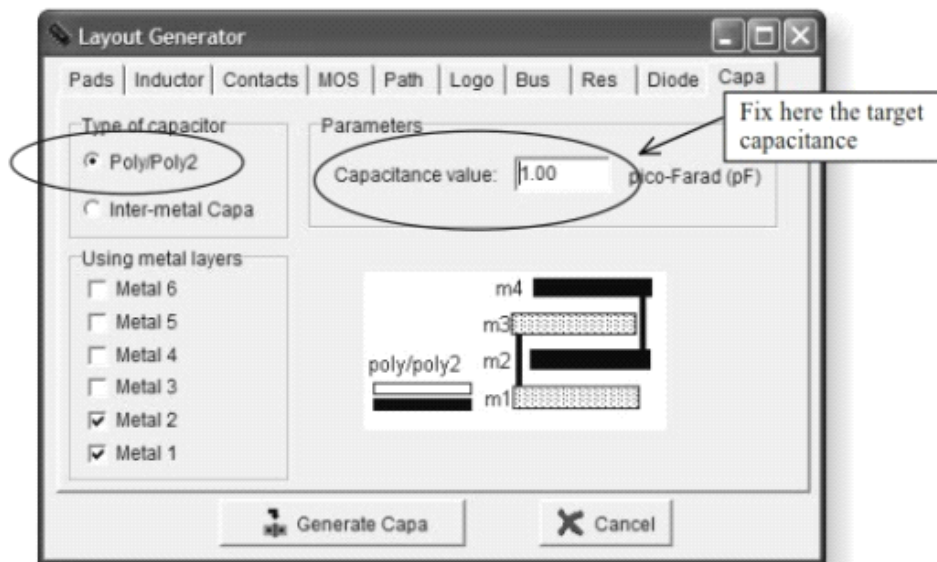
e_2 = dual-oxide thickness (m)

$$V_{crit} = 0,1 \cdot e \cdot E_{crit}$$

e = equivalent thickness (nm)

E_{crit} = dielectric strength (MV/cm)

Σχήμα 12.9 Πυκνωτής τύπου MOS.



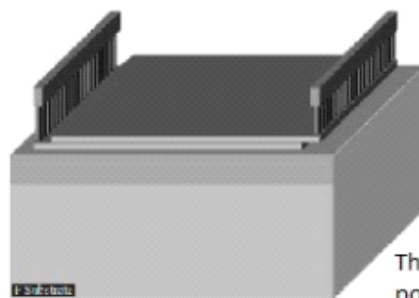
The generator menu handles the design of poly/poly2 capacitor and inter-metal capacitors.

$$C_{PolyPoly2} = \frac{\epsilon_0 \epsilon_r}{e_{pp}} = \frac{8,85e^{-12} \times 3.9}{20 \times 10^{-9}} = 1700 \text{ aF}/\mu\text{m}^2$$

e_{pp} = distance between poly1 and poly2 (m)

ϵ_0 = vacuum permittivity (F/m)

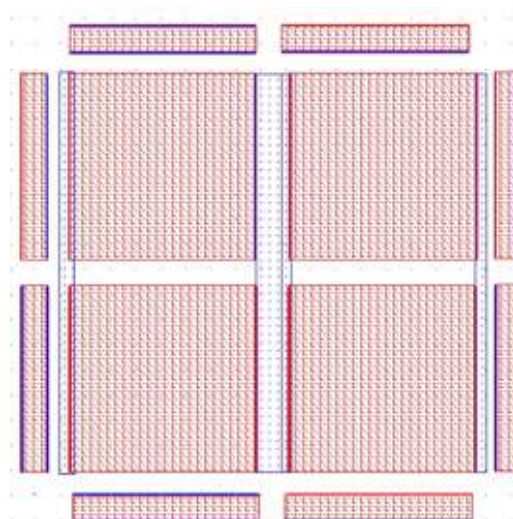
ϵ_r = relative permittivity (no unit)



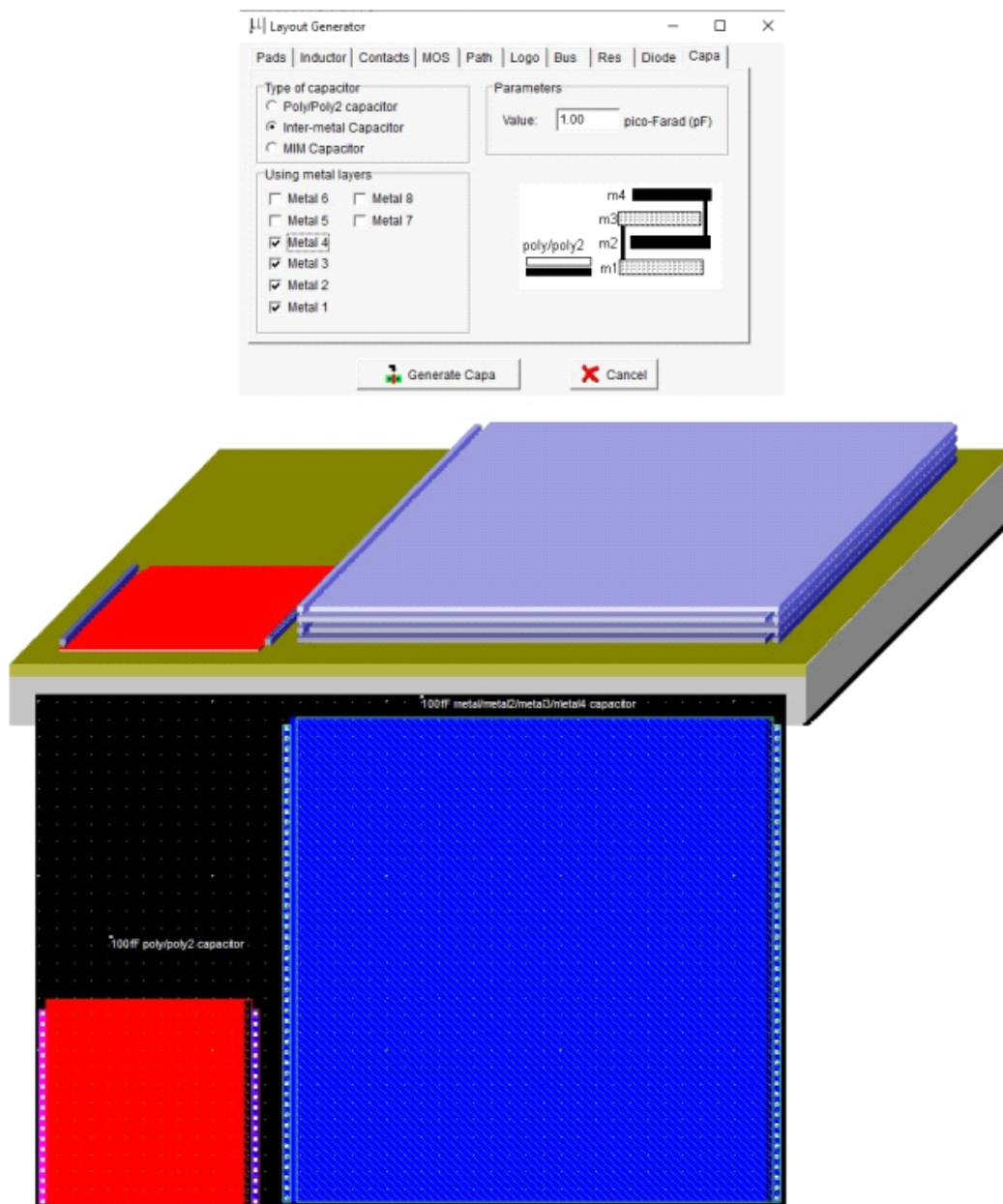
The 3D aspect of the poly-poly2 capacitor.

tors.

Σχήμα 12.10 Πυκνωτής Poly-Poly2.



Σχήμα 12.11 Poly-Poly2 πυκνωτής υψηλής ακριβείας. Στη χωροθεσία απεικονίζεται ένας 16 pF πυκνωτής τύπου poly-poly2 κατασκευασμένος σε 4 κομμάτια και με χρήση βουβών τμημάτων.



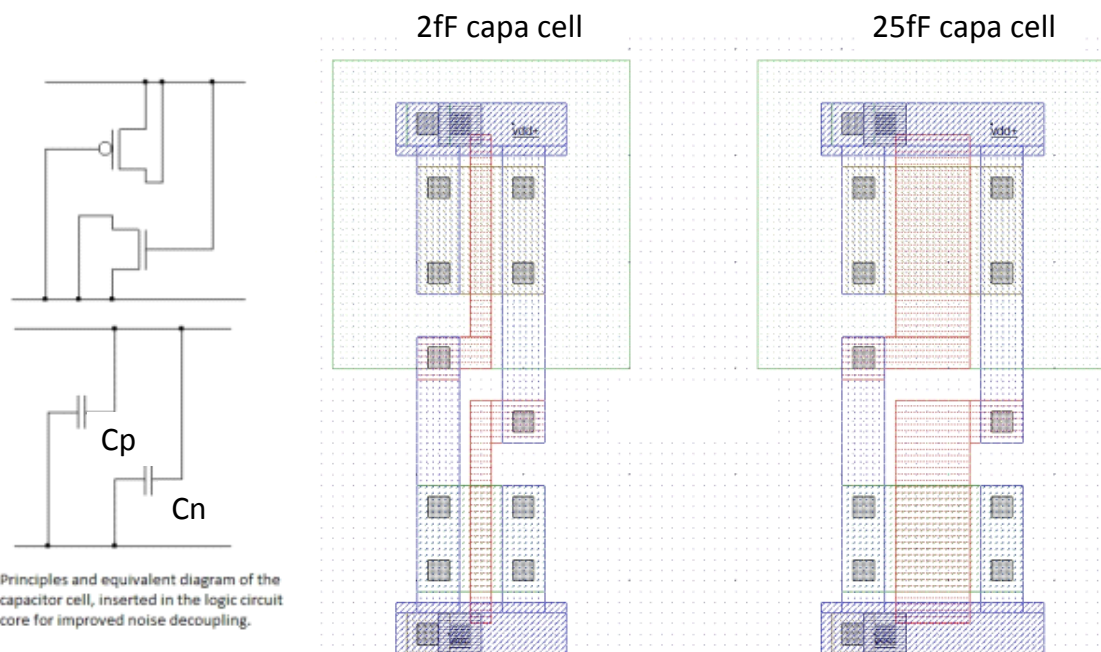
Σχήμα 12.12 Διαμεταλλικός πυκνωτής (Inter-metal Capacitor).

10. Σχήμα 12.10 Πυκνωτής Poly-Poly2.

A. _____ Στις περισσότερες CMOS διαδικασίες κατασκευής διατάξεων deep-submicronm διατίθεται και ένα δεύτερο στρώμα polysilicon με την κωδική ονομασία poly2, το οποίο χρησιμοποιείται κυρίως για

a. χαμηλού δυναμικού κατάρρευσης που το χαρακτηρίζει.

- B. ____ Μεταξύ του στρώματος poly και poly2, παρεμβάλλεται ένα στρώμα διοξειδίου του πυριτίου με πάχος γύρω στα 20 nm, οπότε έτσι σχηματίζεται ένας πυκνωτής χωρητικότητας περίπου
- C. ____ Η παράμετρος των σχεδιαστικών κανόνων που ρυθμίζει τη χωρητικότητα του πυκνωτή τύπου poly-poly2 είναι η
- D. ____ Ο poly/poly2 πυκνωτής σχηματίζεται από ένα στρώμα poly και ένα δεύτερο στρώμα poly2 μεταξύ των οποίων παρεμβάλλεται
- E. ____ Οι επαφές στον πυκνωτή poly/poly2 τοποθετούνται στις δύο πλευρές του μεταξύ poly και metal στα αριστερά και
- F. ____ Το κλασικό οξείδιο πύλης δε χρησιμοποιείται στον πυκνωτή poly/poly2 λόγω του
- G. ____ Το διπλού τύπου οξείδιο πύλης (dual-oxide (5 nm)) δεν είναι κατάλληλο για τον πυκνωτή poly/poly2, γιατί
- H. ____ A thick oxide suffers from less process variations, which ensures
- b. στην περίπτωση πολλών αναλογικών κυκλωμάτων αναπτύσσονται μεγάλα δυναμικά στρεσαρίσματος στο οξείδιο, όπως στην περίπτωση ενισχυτών ισχύος σε κυκλώματα ραδιοσυχνότητων.
- c. a better control of the final capacitance.
- d. διηλεκτρικό στρώμα διοξειδίου του πυριτίου πάχους 20 nm στην περίπτωση της τεχνολογίας CMOS 0.12 μm .
- e. μεταξύ poly2 και metal στα δεξιά.
- f. την κατασκευή επιφανειακών πυλών (floating gates) για EEPROMs.
- g. $1.7 \text{ fF}/\mu\text{m}^2$.
- h. CP2PO.



Σχήμα 12.13 Κυψελίδα πυκνωτή (Capacitor Cell).

11. Σχήμα 12.11 Poly-Poly2 πυκνωτής υψηλής ακριβείας. Στη χωροθεσία απεικονίζεται ένας 16 pF

πυκνωτής τύπου poly-poly2 κατασκευασμένος σε 4 κομμάτια και με χρήση βουβών τμημάτων.

- A. ____ Επειδή οι μεταβολές λόγω διεργασιών κατασκευής στις τελικές δομές των διατάξεων, επηρεάζουν κυρίως τα περιφερειακά τμήματα των στρωμάτων, προτιμούμε τις τετράγωνες δομές έναντι
- a. δίπλα σε πυκνωτές.
- B. ____ Γενικά θεωρούμε βέλτιστες διαστάσεις για τετραγωνικές δομές πυκνωτή, μεταξύ
- b. με στόχο της επίτευξη υψηλής προσαρμογής (high precision matching).
- C. ____ Αν χρησιμοποιήσουμε μεγαλύτερες διαστάσεις από τις θεωρούμενες βέλτιστες, για την κατασκευή των πλακών του πυκνωτή, τότε προκύπτουν έντονες διακυμάνσεις στις διαστάσεις που επηρεάζουν
- c. την ομοιογένεια του διοξειδίου του πυριτίου που παρεμβάλλεται μεταξύ των πλακών του πυκνωτή.
- D. ____ Για τη διατήρηση βέλτιστων διαστάσεων, ένας μεγάλος πυκνωτής, πρέπει να διαρείται σε τμήματα των
- d. 10 x 10 μm και 50 x 50 μm .
- E. ____ Δεν πρέπει να σχεδιάζουμε διατάξεις ή περιοχές διάχυσης
- e. οπότε έτσι εξοικονομούμε επιφάνεια πυριτίου.
- F. ____ Είναι καλή σχεδιαστική πρακτική να θωρακίζουμε (shield) έναν πυκνωτή
- f. με ένα προστατευτικό δακτυλίδι από επαφές (guard ring of contacts), ώστε να περιορίζεται ο ηλεκτρονικός θόρυβος από το υπόστρωμα που μπορεί να συζευχθεί με την κάτω πλάκα του πυκνωτή.
- G. ____ Οι κόμβοι υψηλής εμπέδησης πρέπει να συνδέονται στο μέταλλο της πάνω πλάκας του πυκνωτή
- g. που είναι περισσότερο απομονωμένη από τον ηλεκτρονικό θόρυβο του υποβάθρου αλλά και τον αντίστοιχο οριζόντιο θόρυβο (lateral noise).
- H. ____ Βουβοί πυκνωτές μπορούν να τοποθετηθούν στη χωροθεσία
- h. των παραλληλόγραμμων δομών.
- I. ____ Οι βουβοί πυκνωτές δεν είναι απαραίτητο να έχουν το ίδιο μέγεθος με αυτό των ενεργών τμημάτων του πυκνωτή,
- i. πρέπει να διατηρείται σταθερή.
- J. ____ Η απόσταση μεταξύ των βουβών και ενεργών τμημάτων σε έναν πυκνωτή
- j. 50 x 50 μm το πολύ.
- K. ____ Οι βουβές διατάξεις σε έναν πυκνωτή, λειτουργούν και ως
- k. ηλεκτροστατική θωράκιση.

12. Σχήμα 12.12 Διαμεταλλικός πυκνωτής (Inter-metal Capacitor).

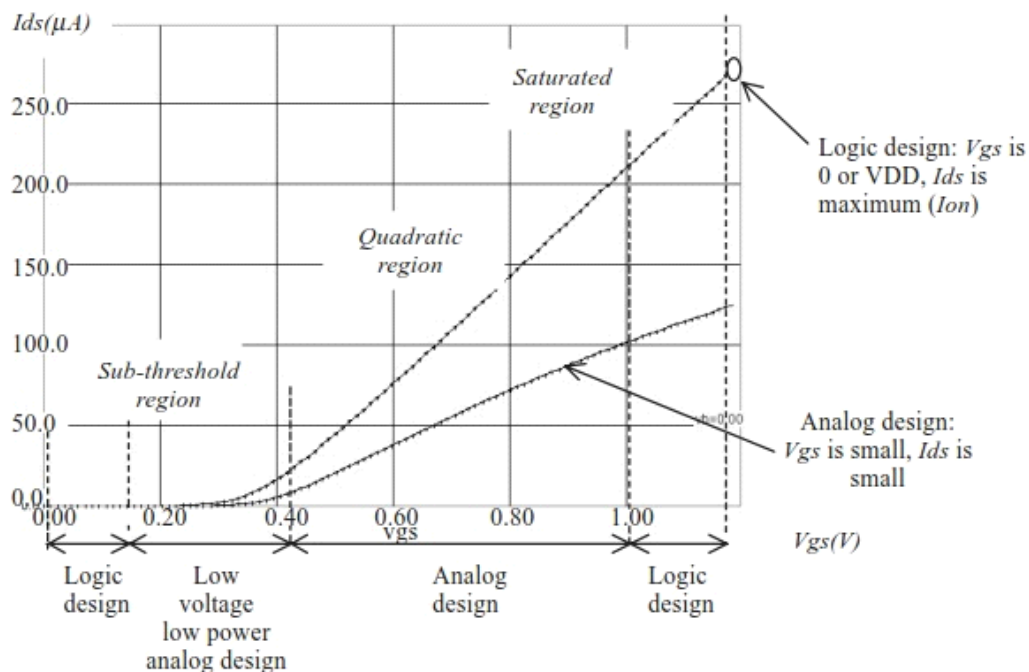
- | | |
|--|--|
| A. ____ Η παρουσία πολλών επιπέδων μετάλλου δημιουργεί | a. με έναν αντίστοιχης επιφάνειας πυκνωτή τύπου poly/poly2. |
| B. ____ Το διηλεκτρικό οξείδιο του πυριτίου μεταξύ των επιπέδων μετάλλου είναι 10 ως 50 φορές παχύτερο από το αντίστοιχο οξείδιο της πύλης με συνέπεια | b. στα υψηλότερα στρώματα μετάλλου να μπορούμε να δημιουργήσουμε πυκνωτές μικρής μόνο χωρητικότητας. |
| C. ____ Οι διαμεταλλικού τύπου πυκνωτές είναι κατάλληλοι για | c. χωρητικότητες τόσο οριζόντια όσο και εγκάρσια μέσα στο κύκλωμα. |
| D. ____ Ένας διαμεταλλικός πυκνωτής εξαιτίας του παχέος στρώματος διηλεκτρικού είναι υποδεέστερος (μικρότερης τιμής) συγκριτικά | d. ανταπόδοση (compensation) ή τοπική αποσύζευξη (local decoupling). |

13. Σχήμα 12.13 Κυψελίδα πυκνωτή (Capacitor Cell).

- | | |
|--|---|
| A. ____ Στις περισσότερες βιβλιοθήκες εξαρτημάτων λογικής σχεδίασης, υπάρχει η κυψελίδα πυκνωτή. Αυτό το κύκλωμα εισάγεται συχνά | a. η αντίστοιχη ισοδύναμη χωρητικότητα αποσύζευξης θα αυξηθεί σημαντικά και γρήγορα. |
| B. ____ Αυτός ο πυκνωτής λειτουργεί | b. επειδή χαρακτηρίζεται από μικρό δυναμικό κατάρρευσης (low breakdown voltage), υπάρχει πιθανότητα να καταστραφεί και να προκαλέσει βραχυκύκλωμα μεταξύ των γραμμών τροφοδοσίας. |
| C. ____ Αυτός ο πυκνωτής έχει μειονέκτημα το ότι το οξείδιο πύλης του | c. ως αποσύζευξη θορύβου (noise decoupling) και μειώνει των εξωτερικό παρασιτικό θόρυβο που προκαλείται από τις εναλλαγές (switching) κατά τη λειτουργία των κυκλωμάτων λογικής. |
| D. ____ Η υλοποίηση του πυκνωτή αυτού στο πυρίτιο είναι όμοια | d. μεταξύ των γραμμών τροφοδοσίας (power rails) V_{DD} και V_{SS} . |
| E. ____ Αν χρησιμοποιήσουμε μεγαλύτερη επιφάνεια για αυτήν την κυψελίδα, μπορούμε να μεγαλώσουμε τις διαστάσεις της πύλης, οπότε | e. με τη δομή του βασικού αντιστροφέα. |

14. Σχήμα 12.14 Καμπύλες $I_{ds}(V_{gs})$ για διάταξη MOS.

- A. ____ Η διάταξης MOS στη λογική σχεδίαση χρησιμοποιείται κυρίως
- B. ____ Στην αναλογική σχεδίαση η διάταξη MOS
- C. ____ Στην τετραγωνική περιοχή λειτουργίας του MOS
- D. ____ Το μοντέλο MOS "level 3"
- E. ____ Το μοντέλο BSIM4 πρέπει να χρησιμοποιείται όταν
- a. τρέχουμε προσομοιώσεις σε μικρές τιμές δυναμικών και ρευμάτων σε εφαρμογές αναλογικής σχεδίασης.
- b. ως διακόπτης (switch).
- c. λειτουργεί επίσης και στην τετραγωνική περιοχή (quadratic zone).
- d. έχει ικανοποιητική ακρίβεια για την περίπτωση προσομοίωσης κυκλωμάτων λογικής.
- e. η V_{ds} όπως και η V_{gs} , σπάνια έχουν μεγάλες τιμές.

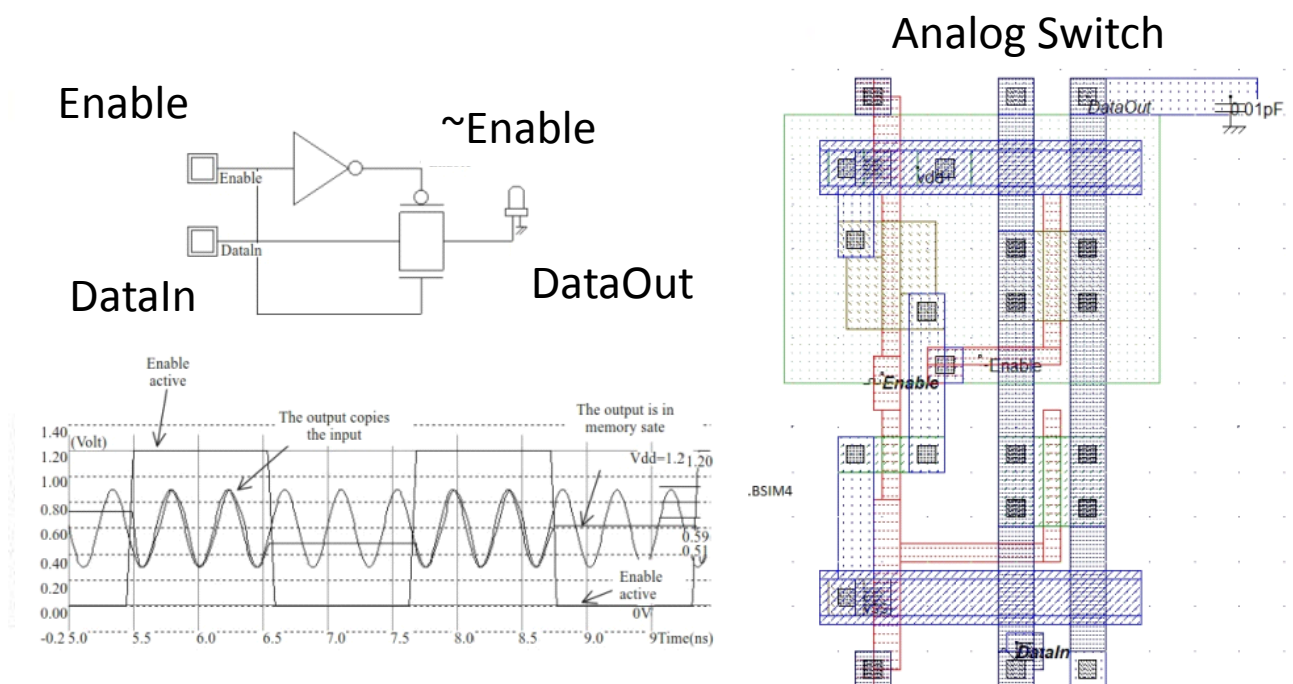


Σχήμα 12.14 Καμπύλες $I_{ds}(V_{gs})$ για διάταξη MOS.

15. Σχήμα 12.15 Αναλογικός διακόπτης (Analog Switch).

- A. ____ Ο αναλογικός διακόπτης (analog switch) μπορεί να
- B. ____ Ο αναλογικός διακόπτης υλοποιείται με μια πύλη μετάδοσης (pass gate) η οποία χρησιμοποιεί
- a. για ενδιάμεσες τιμές δυναμικού, γιατί τότε το nMOS και το pMOS εμφανίζουν μικρότερη ικανότητα οδήγησης ρεύματος παρόλο που και τα δύο άγουν ταυτόχρονα.
- b. στη μη γραμμική μεταβολή της αντίστασης της πύλης μετάδοσης ως προς το δυναμικό εισόδου.

- C. ____ Η πύλη μετάδοσης επιτρέπει το πέρασμα ενός αναλογικού σήματος όταν
- D. ____ Αν Enable = 1 και $\sim$ Enable = 0, τότε
- E. ____ Με μηδέν στην είσοδο Enable (και 1 στην $\sim$ Enable),
- F. ____ Από το σχήμα βλέπουμε ότι όταν το Enable είναι 1,
- G. ____ Επειδή η έξοδος οδηγεί έναν πυκνωτή 10 fF,
- H. ____ Στη γραφική παράσταση βλέπουμε ότι η έξοδος είναι ελαφρώς διαφορετική από την είσοδο. Αυτό οφείλεται
- I. ____ Η πύλη μετάδοσης ανταποκρίνεται ταχύτερα
- J. ____ Η πύλη μετάδοσης ανταποκρίνεται αργότερα
- c. μεταδώσει (transfer) ή να διακόψει (interrupt) ένα αναλογικό σήμα.
- d. ο διακόπτης είναι απενεργοποιημένος και δεν έχουμε μετάδοση σήματος.
- e. ένα nMOS και ένα pMOS σε παράλληλη σύνδεση.
- f. παρατηρούμε ότι η αντίστοιχη κυματομορφή εξόδου είναι ελαφρώς τροποποιημένη.
- g. Enable = 1 και $\sim$ Enable = 0.
- h. σε ένα μικρό ή σε ένα μεγάλο δυναμικό εισόδου.
- i. το nMOS και το pMOS είναι ενεργοποιημένα.
- j. το ημιτονοειδές σήμα εισόδου εμφανίζεται σχεδόν ίδιο στην έξοδο του διακόπτη.



Σχήμα 12.15 Αναλογικός διακόπτης (Analog Switch).

16. Σχήμα 12.16 Σύνδεση MOS διάταξης που ισοδυναμεί με δίοδο (Diode-Connected MOS).

- A. ____ Αυτό το κύκλωμα εμφανίζει μεγάλη αντίσταση a. μόνιμη σύνδεση μεταξύ απαγωγού και πύλης.
- B. ____ Η βασική ιδέα στη συνδεσμολογία MOS ως δίοδος είναι η b. συνδέεται στη γείωση (ground).
- C. ____ Στις περισσότερες εφαρμογές η πηγή του nMOS c. χρησιμοποιώντας μικρή επιφάνεια πυριτίου.
- D. ____ Στις περισσότερες εφαρμογές η πηγή του pMOS d. είναι η απαίτηση πολύ μικρότερης επιφάνειας πυριτίου.
- E. ____ Το MOS συνδεδεμένο ως δίοδος, συμπεριφέρεται ως πυκνωτής όταν e. 100 KΩ χρησιμοποιώντας μια πολύ μικρή επιφάνεια πυριτίου.
- F. ____ Το MOS συνδεδεμένο ως δίοδος, συμπεριφέρεται ως υψηλής τιμής αντίσταση όταν f. θα χρειαστεί πολύ μεγάλη επιφάνεια πυριτίου.
- G. ____ Η αντίσταση του MOS-σύνδεσης-διόδου μπορεί εύκολα να φτάσει τιμές στα g. συνδέεται στη V_{DD} .
- H. ____ Μια αντίσταση της τάξης των 100kΩ υλοποιημένη με poly h. $V_{gs} < V_t$.
- I. ____ Το πλεονέκτημα της υλοποίησης μιας αντίστασης με το MOS-σύνδεσης-διόδου αντί με poly i. $V_{gs} > V_t$.



Σχήμα 12.16 Σύνδεση MOS διάταξης που ισοδυναμεί με δίοδο (Diode-Connected MOS).

17. Σχήμα 12.17 Αναφορά δυναμικού (Voltage Reference).

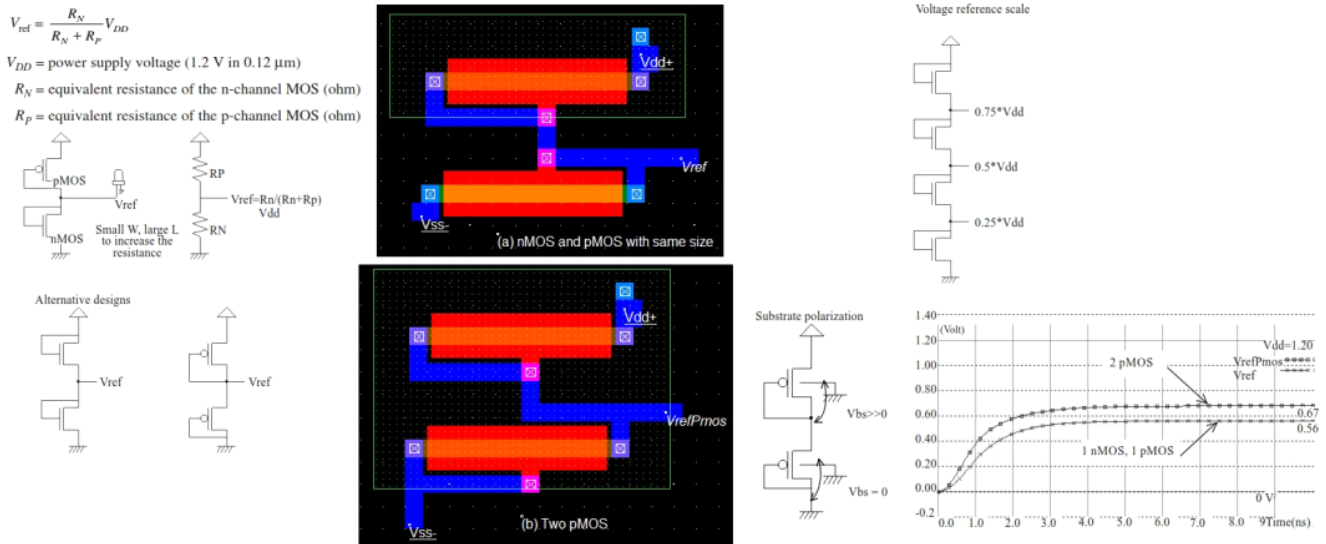
- | | |
|---|--|
| A. ____ Το κύκλωμα αναφοράς δυναμικού συνήθως παράγεται από | a. πολύ προσεκτική προσαρμογή των διαστάσεων των τρανζίστορς καθώς και αξιόπιστο μοντέλο λειτουργίας των διατάξεων κατά την προσομοίωση. |
| B. ____ Η τιμή της αντίστασης θα πρέπει να είναι αρκετά μεγάλη ώστε | b. έναν διαιρέτη τάσης κατασκευασμένο από αντιστάσεις. |
| C. ____ Η χρήση διατάξεων MOS για τη δημιουργία αντιστάσεων αντί για χρήση poly ή περιοχών διάχυσης | c. γίνεται για να χρησιμοποιούμε όσο το δυνατόν λιγότερη επιφάνεια πυριτίου. |
| D. ____ Οι διατάξεις pMOS δίνουν μεγαλύτερη αντίσταση, επειδή έχουν μικρότερη ευκινησία σε αυτές οι φορείς πλειονότητας | d. σε σχέση με τις nMOS διατάξεις. |
| E. ____ Το βασικό σχέδιο κυκλώματος για παραγωγή αναφοράς δυναμικού χρησιμοποιεί ένα pMOS και ένα nMOS | e. είναι μικρότερο από $V_{DD}/2$. |
| F. ____ Στη χωροθεσία που το nMOS και το pMOS έχουν τις ίδιες διαστάσεις, επειδή το pMOS έχει μικρότερη ευκινησία φορέων, τελικά το V_{ref} | f. το ρεύμα βραχυκύκλωσης να είναι μικρό για να μην σπαταλάμε ενέργεια. |
| G. ____ Η V_{ref} που προκύπτει όταν χρησιμοποιούμε δύο ίδια pMOS, δεν είναι $V_{DD}/2$ | g. επειδή τα δύο τρανζίστορ δεν έχουν την ίδια πόλωση στο υπόστρωμά τους, V_{bs} , γεγονός που οδηγεί σε διαφοροποιήσεις στη ροή ρεύματος. |
| H. ____ Μια καλή αναφορά δυναμικού $V_{DD}/2$, απαιτεί | h. σε συνδεσμολογία που ισοδυναμεί με δίοδο. |

18. Σχήμα 12.18 Κύκλωμα πολλαπλών αναφορών δυναμικού (Multiple Voltage Reference).

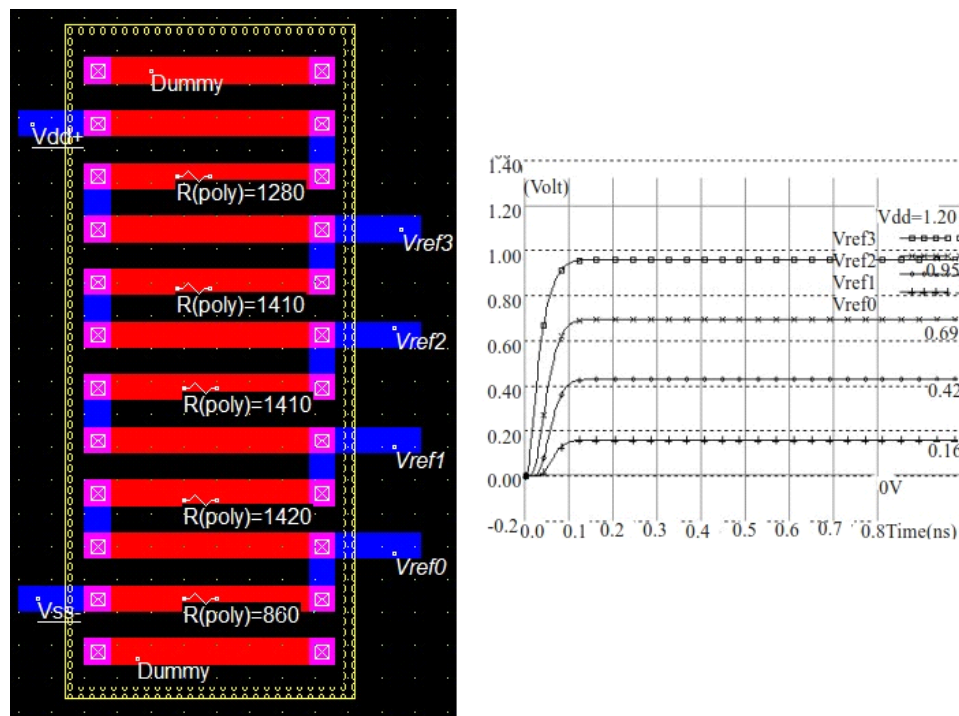
- | | |
|--|---|
| A. ____ Το πολύ τρία MOS τρανζίστορ μπορούν να συνδεθούν | a. το κύκλωμα υλοποιείται με αντιστάσεις. |
| B. ____ Ο περιοριστικός παράγοντας στην ένωση MOS στη σειρά στο κύκλωμα δυναμικού αναφοράς είναι | b. σε σειρά για την παραγωγή διαφόρων αναφορών δυναμικού. |
| C. ____ Κατά την προσομοίωση σειριακής σύνδεσης περισσότερων από 3 τρανζίστορ συνδεδεμένα ως δίοδος, η περιοχή λειτουργίας μένει | c. η τάση κατωφλίου. |

D. ____ Όταν χρειάζομαστε περισσότερες των τριών αναφορών δυναμικού,

d. στον υπο-κατωφλιακό τρόπο, γεγονός που την καθιστά κατάλληλη για εφαρμογές πολύ μικρής κατανάλωσης, αλλά εισάγει σημαντικές καθυστερήσεις set-up και τελικά δημιουργεί πολύ ασθενικές αναφορές δυναμικού.



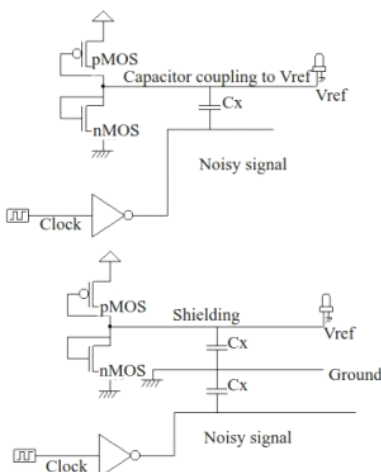
Σχήμα 12.17 Αναφορά δυναμικού (Voltage Reference).



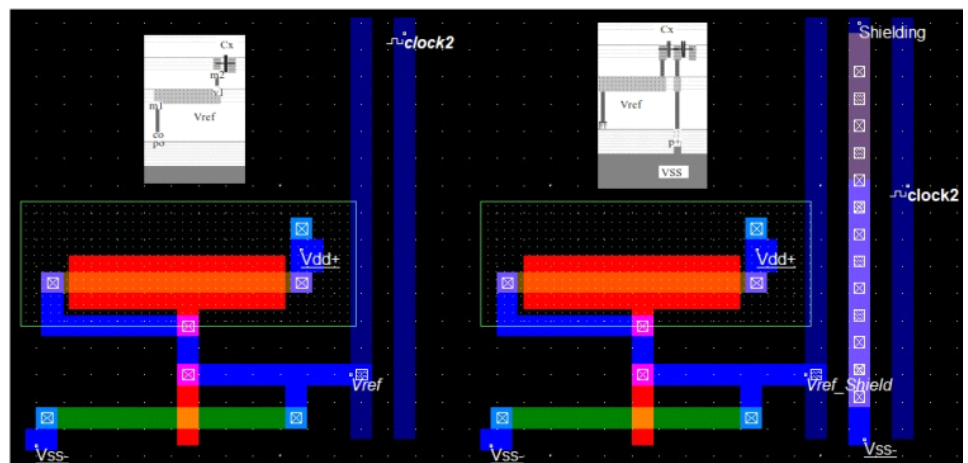
Σχήμα 12.18 Κύκλωμα πολλαπλών αναφορών δυναμικού (Multiple Voltage Reference).

19. Σχήμα 12.19 Θωράκιση (Shielding).

- A. ____ Ποιο είναι το πρόβλημα με τη V_{ref} που παράγεται από το MOS σε σύνδεση διόδου;
- B. ____ Τι εννοούμε όταν λέμε ότι το σήμα της V_{ref} είναι υψηλής εμπέδησης;
- C. ____ Πώς σχετίζεται η υψηλή εμπέδηση της V_{ref} με τον ηλεκτρονικό θόρυβο;
- D. ____ Η προσθήκη μεταλλικής θωράκισης λειτουργεί ως
- E. ____ Γιατί η προσθήκη μεταλλικής θωράκισης βελτιώνει την ποιότητα της V_{ref} ;
- F. ____ Με τη θωράκιση, παρόλο που η χωρητικότητα σύζευξης εξακολουθεί να υπάρχει,
- a. Ένα παρασιτικό σήμα σε σύζευξη με την V_{ref} μπορεί να επάγει θόρυβο, π.χ., στην περίπτωση εγγύτητας και σύζευξης μέσω χωρητικότητας C_x .
- b. η θωράκιση συνδέεται στη γείωση και αποτρέπει το ρολόι να αλληλεπιδρά με το σήμα V_{ref_shield} , το οποίο μένει οριζόντιο.
- c. Η διατομή 2D δείχνει δύο δομές: στα αριστερά, το σήμα εξόδου V_{ref} έχει παρασιτική χωρητικότητα ζεύξης, C_x συνδεδεμένη με το σήμα θορύβου. Όταν το σήμα θορύβου εναλλάσσεται, αλλάζει και η τάση αναφοράς. Στα δεξιά, υπάρχει ένα φράγμα από p-τύπου διάχυση, metal και metal-2 που δημιουργεί ηλεκτροστατική θωράκιση. Η ζεύξη υπάρχει και πάλι, αλλά η C_x είναι τώρα συνδεδεμένη με "κρύο" σήμα, όπου η χωρητικότητα γείωσης έχει αυξηθεί και ο θόρυβος έχει απομακρυνθεί.
- d. Η V_{ref} που παράγεται είναι πολύ ασθενής, επειδή το ρεύμα που ρέει στον κλάδο του MOS είναι μικρό.
- e. φράγμα στον θόρυβο και προστατεύει την V_{ref} από τη σύζευξη με το ρολόι.
- f. Έχει μεγάλη αντίσταση.



Without shielding, the V_{ref} voltage may be altered by noisy signals routed close to its interconnect.

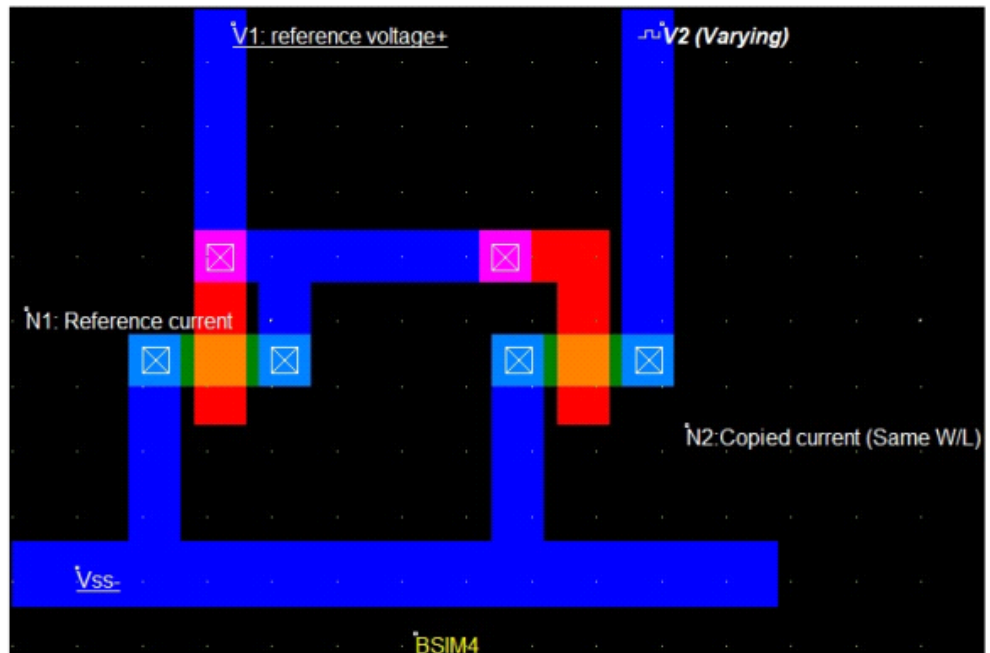
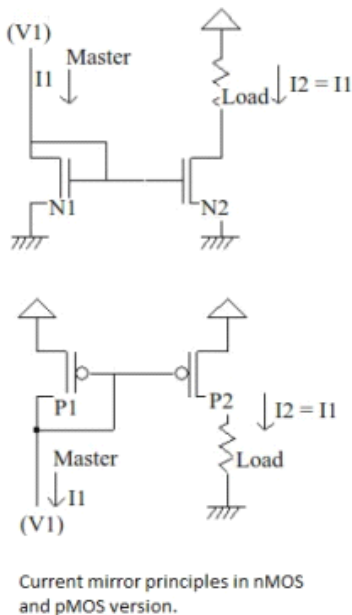


Unshielded voltage reference (left) and shielded voltage reference (right).

Σχήμα 12.19 Θωράκιση (Shielding).

20. Σχήμα 12.20 Καθρέπτης ρεύματος (Current Mirror).

- | | |
|--|---|
| A. ____ Ποια είναι η κύρια χρήση του καθρέπτη ρεύματος; | a. τότε ένα σχεδόν ίσο ρεύμα ρέει μέσω του N2, όταν τα N1 και N2 συνδεθούν στη συνδεσμολογία του καθρέπτη ρεύματος. |
| B. ____ Όταν ένα ρεύμα ρέει μέσω του MOS N1, | b. το MOS μακριού καναλιού είναι προτιμότερο όταν θέλουμε να αντιγράψουμε ρεύματα. |
| C. ____ Ένα ρεύμα I_1 που ρέει μέσω της Master διάταξης στον καθρέπτη ρεύματος, | c. αντιγράφεται στη MOS διάταξη του Slave. |
| D. ____ Αν οι διαστάσεις του Master και του Slave είναι όμοιες, τότε στις περισσότερες συνθήκες λειτουργίας, | d. είναι σχεδόν ανεξάρτητο από το φορτίο που οδηγεί το κύκλωμα. |
| E. ____ Στον καθρέπτη ρεύματα είναι αξιοσημείωτο το γεγονός ότι το ρεύμα | e. το ρεύμα I_2 και το I_1 είναι ίσα. |
| F. ____ Η βασική αρχή λειτουργίας του καθρέπτη ρεύματος είναι ότι το ρεύμα I_d είναι ανεξάρτητο της V_{ds} , οπότε | f. το MOS μακριού καναλιού είναι προτιμότερο από το MOS κοντού καναλιού. |
| G. ____ Παρόλο που το MOS κοντού καναλιού ανταποκρίνεται ταχύτερα, | g. Χρησιμοποιείται για την αντιγραφή ρευμάτων. |

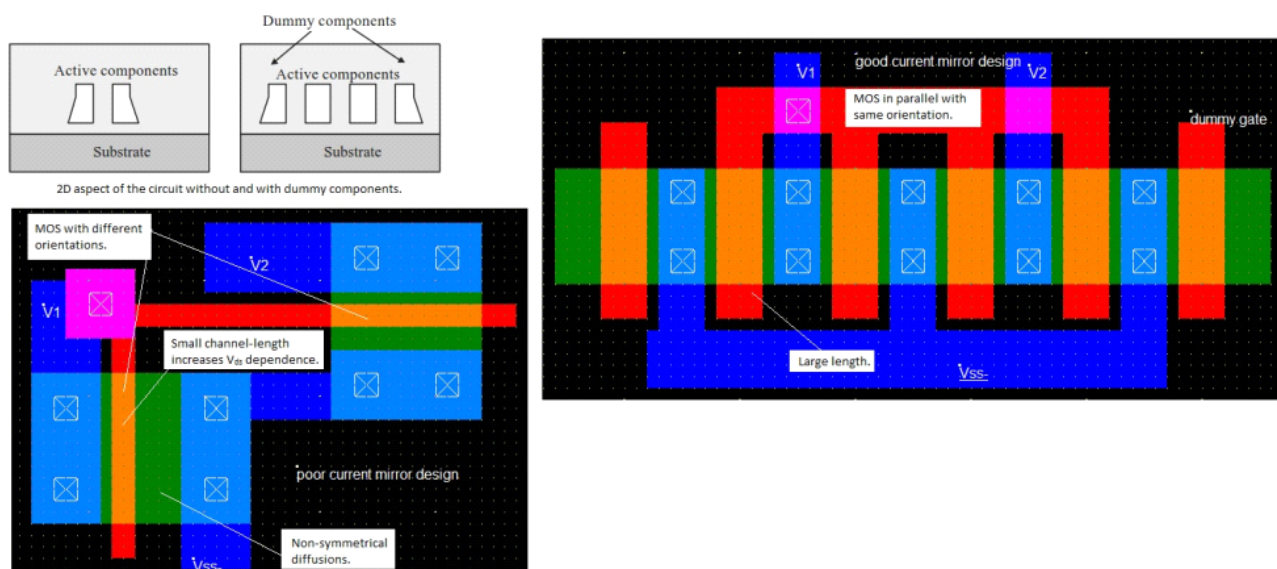


Σχήμα 12.20 Καθρέπτης ρεύματος (Current Mirror).

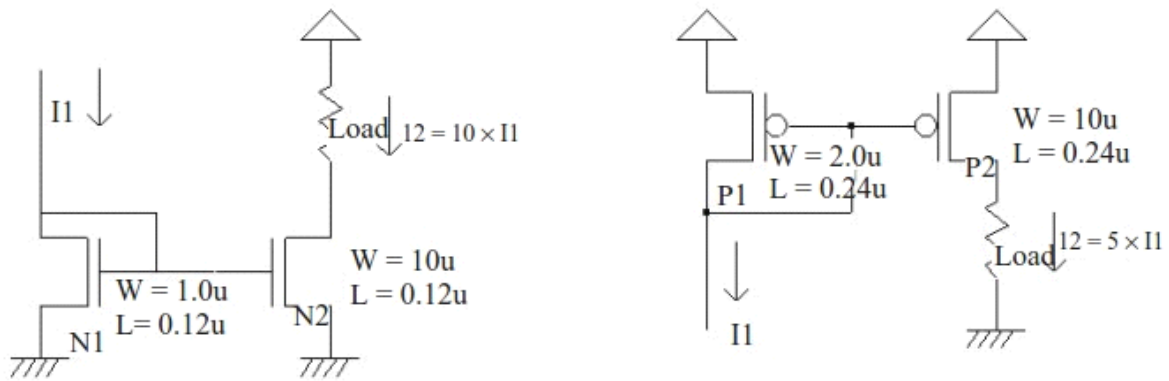
21. Σχήμα 12.21 Προσαρμογή των MOS για βελτίωση λειτουργίας του καθρέπτη ρεύματος.

- | | |
|--|------------------------|
| A. ____ Όλες οι διατάξεις MOS θα πρέπει να έχουν | a. και το άλλο κάθετα. |
|--|------------------------|

- B. ____ Κατά την κατασκευή των δομών στο πυρίτιο, οι διάφορες χημικές διεργασίες έχουν διαφορετική απόδοση ανάλογα
- C. ____ Στον καθρέπτη ρεύματος, έχουμε διαφοροποιήσεις στην πιστή αντιγραφή του ρεύματος όταν το ένα MOS είναι κατασκευασμένο οριζόντια
- D. ____ Τα MOS με μακρύ κανάλι
- E. ____ Στα μακριά κανάλια MOS, η διαμόρφωση του μήκους καναλιού (channel length modulation) είναι μικρή
- F. ____ Βουβές πύλες (dummy gates) θα πρέπει
- G. ____ Παρόλο που η προσθήκη βουβών στοιχείων στη χωροθεσία καταναλώνει επιφάνεια πυριτίου,
- H. ____ Οι δομές MOS θα πρέπει να σχεδιάζονται
- I. ____ Όπου είναι δυνατό, τμήματα των δύο δομών MOS του καθρέπτη ρεύματος θα πρέπει να εναλλάσσονται (interleaved) στη χωροθεσία,
- b. με τον προσανατολισμό των διατάξεων, οπότε προκαλούνται διαφοροποιήσεις στις διαστάσεις των τελικά αποτυπωμένων δομών.
- c. με τον τρόπο αυτό προκύπτουν δομές με πολύ καλή προσαρμογή διαστάσεων.
- d. τον ίδιο προσανατολισμό.
- e. παράλληλα.
- f. να προστεθούν και στις δύο πλευρές στη χωροθεσία του καθρέπτη ρεύματος.
- g. είναι προτιμότερα για την υλοποίηση καθρέπτη ρεύματος.
- h. έτσι ώστε να μειώνεται η επίδραση πιθανών βαθμίδων αντίστασης ή χωρητικότητας σε σχέση με τη θέση μέσα στη χωροθεσία του κυκλώματος.
- i. οπότε το I_{ds} είναι σχεδόν ανεξάρτητο της V_{ds} .



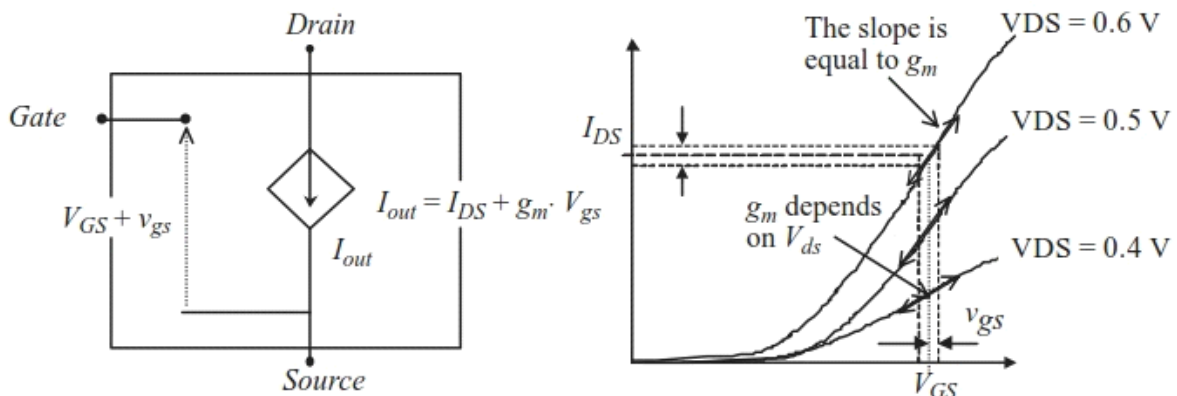
Σχήμα 12.21 Προσαρμογή των MOS για βελτίωση λειτουργίας του καθρέπτη ρεύματος.



Σχήμα 12.22 Πολλαπλασιαστής ρεύματος (Current Multiplier).

22. Σχήμα 12.22 Πολλαπλασιαστής ρεύματος (Current Multiplier).

- A. T F Αν το κλάσμα W/L του Slave (Transistor N2) είναι 10 φορές το αντίστοιχο του Master, τότε το ρεύμα I_2 στον δεξιό κλάδο είναι 5 φορές το ρεύμα I_1 του αριστερού κλάδου.
- B. T F Στην περίπτωση του καθρέπτη ρεύματος με pMOS, αν το κλάσμα W/L του Slave (P2) είναι 5 φορές μεγαλύτερο του αντίστοιχου κλάσματος του Master, τότε το ρεύμα I_2 είναι 5 φορές μεγαλύτερο του ρεύματος I_1 .
- C. T F Αν το κλάσμα W/L του Slave (Transistor N2) είναι 10 φορές το αντίστοιχο του Master, τότε το ρεύμα I_2 στον δεξιό κλάδο είναι 10 φορές το ρεύμα I_1 του αριστερού κλάδου.
- D. T F Στην περίπτωση του καθρέπτη ρεύματος με pMOS, αν το κλάσμα W/L του Slave (P2) είναι 5 φορές μεγαλύτερο του αντίστοιχου κλάσματος του Master, τότε το ρεύμα I_2 είναι 10 φορές μεγαλύτερο του ρεύματος I_1 .

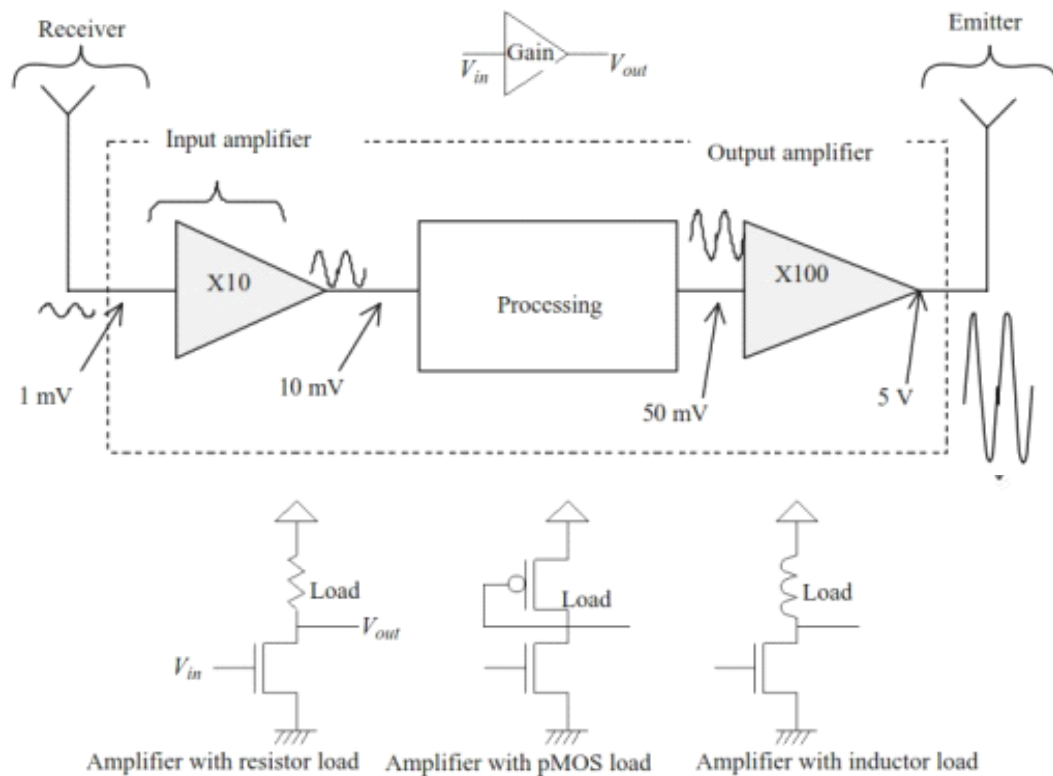


Σχήμα 12.23 Διαγωγιμότητα MOS (MOS Transconductance).

23. Σχήμα 12.23 Διαγωγιμότητα MOS (MOS Transconductance).

- A. ____ Στην απλούστερη ισοδύναμη μορφή του, το MOS παριστάνεται ως
 - a. βV_{ds} .
- B. ____ $i_{ds} =$
 - b. $\mu_0 \epsilon_0 \epsilon_r W / (t_{ox} L)$
- C. ____ Το g_m ονομάζεται
 - c. V_{ds} .
- D. ____ Το g_m έχει τις διαστάσεις
 - d. του πηλίκου ρεύματος προς δυναμικό.

- E. ____ Το g_m είναι ίσο με το e. $g_m V_{gs}$.
- F. ____ $\partial I_{DS}/\partial V_{GS} =$ f. g_m .
- G. ____ Το g_m όπως προκύπτει από την εξίσωση για το ρεύμα του MOS στο μοντέλο level 1, στη γραμμική περιοχή είναι $g_m =$ g. $\beta (V_{gs} - V_t)/2$.
- H. ____ Το g_m όπως προκύπτει από την εξίσωση για το ρεύμα του MOS στο μοντέλο level 1, στην περιοχή κόρου είναι $g_m =$ h. αντίστροφο της αντίστασης του καναλιού.
- I. ____ $\beta =$ i. πηγή ρεύματος ελεγχόμενη από δυναμικό (Voltage-Controlled Current Source (VCCS)).
- J. ____ Το g_m εξαρτάται από το j. διαγωγιμότητα (transconductance).

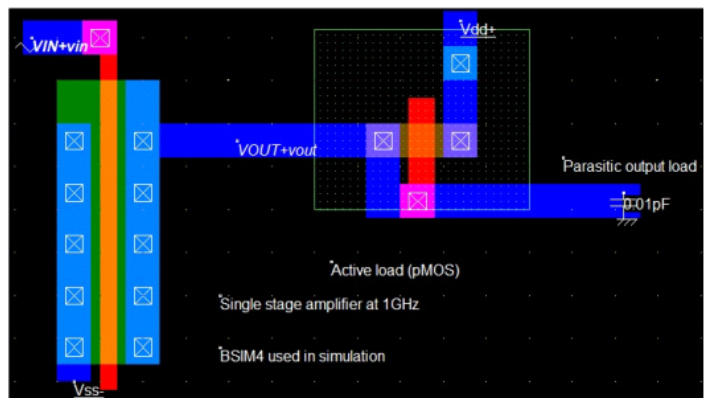
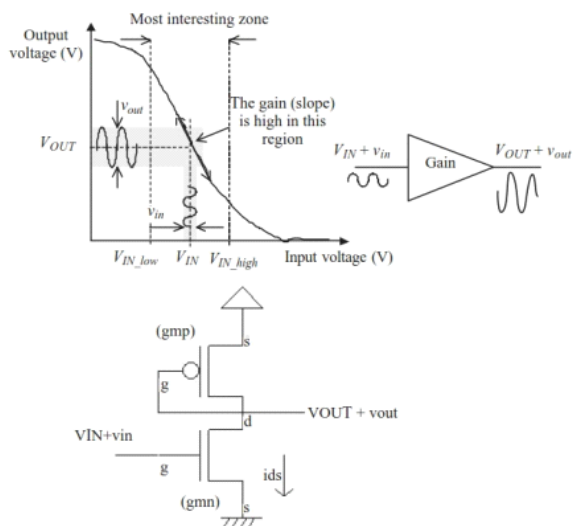


Σχήμα 12.24 Ενισχυτής ενός σταδίου (Single Stage Amplifier).

24. Σχήμα 12.24 Ενισχυτής ενός σταδίου (Single Stage Amplifier).

- A. ____ Σκοπός ενός ενισχυτή είναι να
πολλαπλασιάσει με έναν κατά το
δυνατόν μεγάλο παράγοντα a. μια αντίσταση ή επαγωγή.

- B. ____ Ο ενισχυτής χρησιμοποιείται τόσο στο στάδιο εισόδου όσο και στο στάδιο εξόδου
- C. ____ Ο ενισχυτής ενός σταδίου εισόδου αυξάνει το σήμα που λαμβάνεται στην είσοδο
- D. ____ Ο ενισχυτής ενός σταδίου εξόδου έχει σκοπό να μεταφέρει ένα υψηλό δυναμικό
- E. ____ Ένας ενισχυτής ενός σταδίου μπορεί να αποτελείται
- F. ____ Το φορτίο ενός ενισχυτή μπορεί να είναι
- G. ____ Μπορούμε να δημιουργήσουμε ένα φορτίο αντίστασης με
- H. ____ Στην περίπτωση που το φορτίο του ενισχυτή είναι ένα pMOS
- b. ένα pMOS σε σύνδεση τύπου διόδου, δηλαδή με την πύλη και την πηγή συνδεδεμένες.
- c. αυτό ονομάζεται ενεργή αντίσταση (active resistance).
- d. όλων των τηλεπικοινωνιακών συστημάτων.
- e. το πλάτος ενός ημιτονικού σήματος δυναμικού εισόδου V_{in} , ώστε να μεταφέρει στην έξοδο στο φορτίο το ενισχυμένο δυναμικό εξόδου V_{out} .
- f. από μια διάταξη MOS συνδεδεμένη με ένα φορτίο.
- g. από περίπου τα 0.1-1 mV σε 10-100 mV με σκοπό τη μετέπειτα επεξεργασία.
- h. την κεραία του συστήματος ώστε να μεταδώσει αυτή τη μεγαλύτερη δυνατή ισχύ.

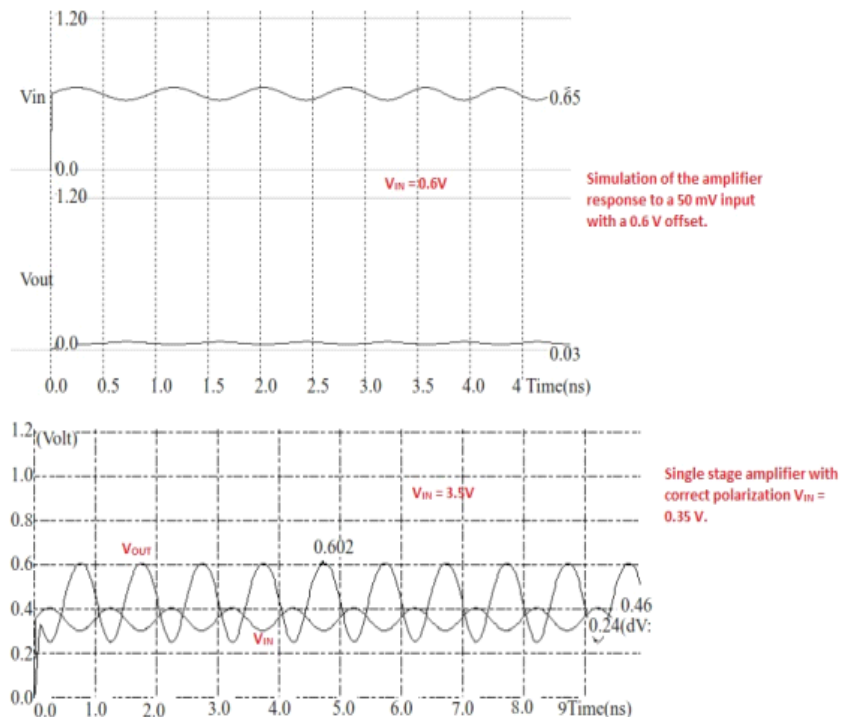
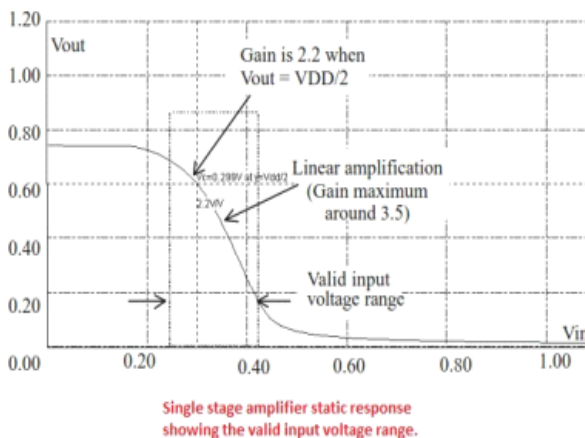


Σχήμα 12.25 Ενισχυτής ενός σταδίου (Single Stage Amplifier).

25. Σχήμα 12.25 Ενισχυτής ενός σταδίου (Single Stage Amplifier).

- A. ____ Η πιο ενδιαφέρουσα από πρακτικής απόψεως, περιοχή στη συνάρτηση μεταφοράς ενός ενισχυτή, είναι στη ζώνη στην οποία το δυναμικό εξόδου
- a. ελάττωση της V_{out} .

- B. ____ Αν προσθέσουμε μια μικρή ημιτονική είσοδο v_{in} στην V_{IN} , τότε
- C. ____ $i_{ds} =$
- D. ____ Η ενίσχυση του ενισχυτή για μικρά σήματα εισόδου είναι $G = v_{out}/v_{in} =$
- E. ____ Η ενίσχυση του ενισχυτή είναι μεγάλη όταν η g_{mp}
- F. ____ Μικρή τιμή g_{mp} σημαίνει
- G. ____ Μια αύξηση στη V_{in} αντιστοιχεί σε
- H. ____ Το κατά-δίοδο-συνδεδεμένο r_{mos} δημιουργεί μια μεγάλη αντίσταση καναλιού
- b. $-g_{mn}/g_{mp}$.
- c. έχει γραμμική μεταβολή με το δυναμικό εισόδου, δηλαδή στην περιοχή μεταξύ V_{IN_low} και V_{IN_high} .
- d. μια αντίστοιχα μικρή ημιτονική συνιστώσα ρεύματος i_{ds} προστίθεται στο στατικό ρεύμα I_{DS} , οπότε προκύπτει μια μεταβολή v_{out} στο δυναμικό εξόδου V_{OUT} .
- e. όταν το πλάτος του καναλιού του είναι το ελάχιστο δυνατό και το μήκος του καναλιού του είναι πολύ μεγάλο.
- f. είναι μικρή.
- g. $g_m V_{gs}$.
- h. μεγάλη αντίσταση καναλιού για το r_{mos} .

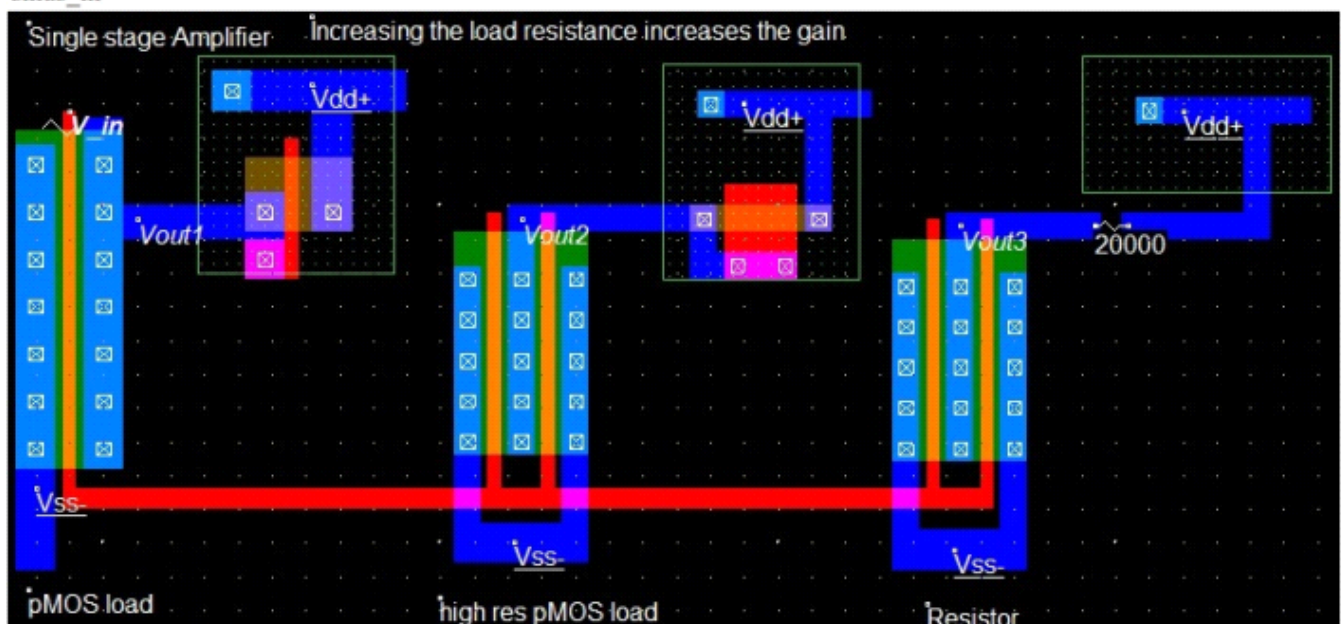
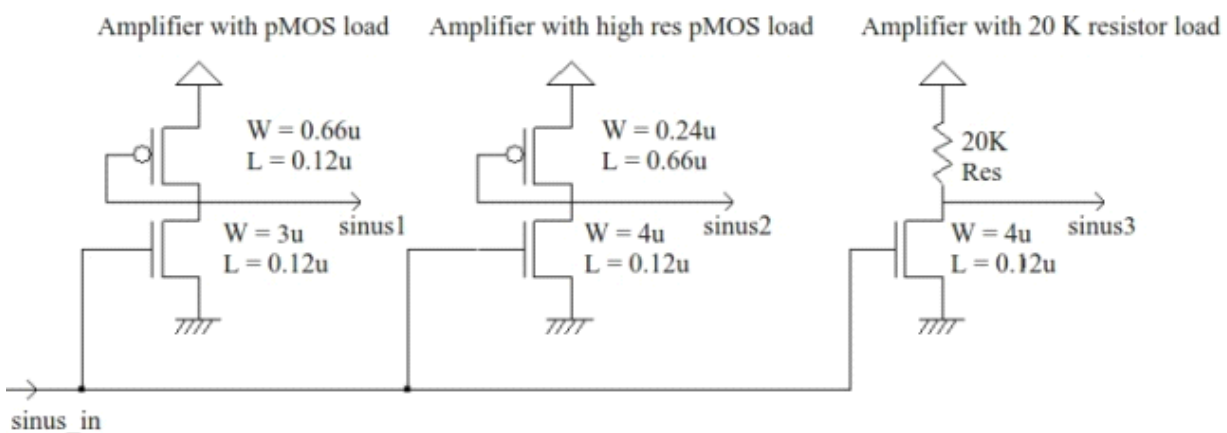


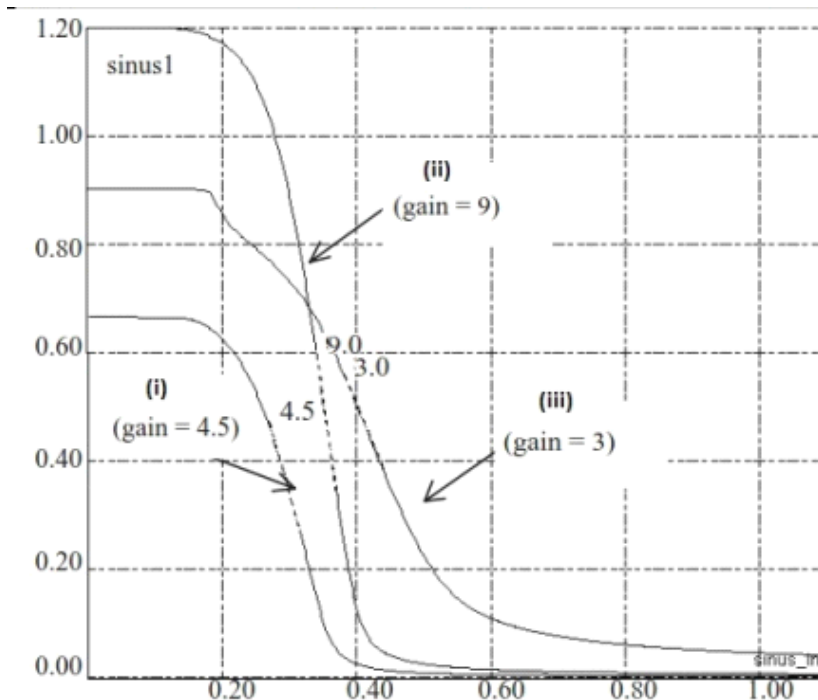
Σχήμα 12.26 Απόκριση ενισχυτή ενός σταδίου.

26. Σχήμα 12.26 Απόκριση ενισχυτή ενός σταδίου.

Σχολιάστε τα χαρακτηριστικά των χρονικών διαγραμμάτων συναρτήσεως της συνάρτησης μεταφοράς του ενισχυτή. Αν $V_{IN(pp)} = 100mV$, ποια είναι περίπου η τιμή του $V_{OUT(pp)}$;

- A. T F Στο κάτω διάγραμμα χρονισμού το πλάτος εισόδου είναι 100 mV peak to peak, ενώ το πλάτος εξόδου είναι 350 mV peak-to-peak.
- B. T F Στο κάτω διάγραμμα χρονισμού το πλάτος εισόδου είναι 350 mV peak to peak, ενώ το πλάτος εξόδου είναι 100 mV peak-to-peak.
- C. T F Στο πάνω διάγραμμα χρονισμού τα χαρακτηριστικά είναι φτωχά. Η ενίσχυση είναι περίπου 0 και η έξοδος είναι πολύ μικρή, κοντά στο μηδέν.
- D. T F Στο πάνω διάγραμμα χρονισμού η V_{IN} μπορεί να είναι μεγαλύτερη της V_{IN_high} .
- E. T F Στο πάνω διάγραμμα χρονισμού η V_{IN} είναι κοντά στα 0.3V.
- F. T F Η ενίσχυση είναι περίπου 3.5, όταν η V_{IN} είναι γύρω στα 0.35 V.
- G. T F Η ενίσχυση είναι περίπου 2.2, όταν η V_{IN} είναι γύρω στα 0.35 V.
- H. T F Το σήμα εισόδου V_{IN} έχει συχνότητα κοντά στα 4GHz.
- I. T F Το σήμα εισόδου V_{IN} έχει συχνότητα κοντά στο 1GHz.
- J. T F Το πάνω διάγραμμα χρονισμού αντιστοιχεί σε V_{IN} ίσο με περίπου $V_{DD}/2$ (0.6 V) που δεν αντιστοιχεί στην περιοχή που το κύκλωμα παρέχει υψηλή ενίσχυση.





Σχήμα 12.27 Απόκριση ενισχυτή ενός σταδίου.

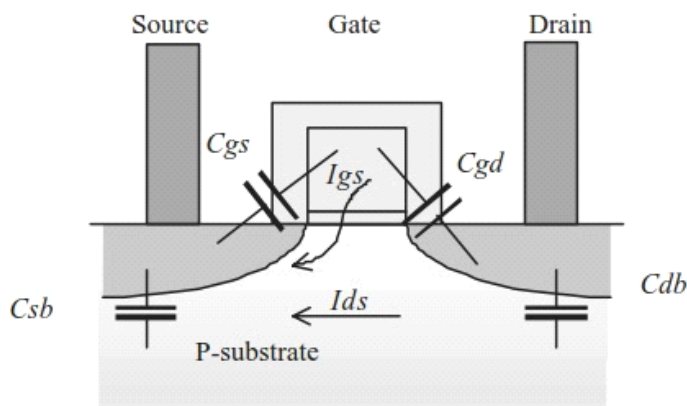
27. Σχήμα 12.27 Απόκριση ενισχυτή ενός σταδίου. Στη χωροθεσία παρουσιάζονται τρεις ενισχυτές. Ο πρώτος έχει φορτίο τύπου pMOS (έξοδος η sinus1). Ο δεύτερος έχει φορτίο pMOS υψηλής αντίστασης (έξοδος sinus2). Ο τρίτος έχει φορτίο κανονική αντίσταση (20 kOhm).

- A. ☐ T ☐ F Παραπάνω αύξηση της αντίστασης του pMOS δεν αυξάνει σημαντικά την ενίσχυση.
- B. ☐ T ☐ F Η απόκριση (iii) αντιστοιχεί στο sinus1 και η αντίστοιχη ενίσχυση είναι 3.
- C. ☐ T ☐ F Η απόκριση (i) είναι για το sinus1.
- D. ☐ T ☐ F Η απόκριση (iii) είναι για το sinus3.
- E. ☐ T ☐ F Η απόκριση (ii) είναι για το sinus2.
- F. ☐ T ☐ F Αν αντικαταστήσουμε το pMOS με το σύμβολο της αντίστασης, τότε παρατηρούμε ότι η ενίσχυση φτάνει μέχρι το 9.
- G. ☐ T ☐ F Η ενίσχυση του ενισχυτή με έξοδο τη sinus2 (απόκριση (i)) αυξάνεται στο 4.5 με οξύτερα χαρακτηριστικά αλλά με περιοχή δυναμικών εισόδου που είναι πιο περιορισμένη.

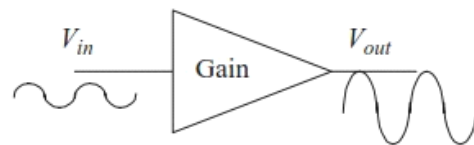
28. Σχήμα 12.28 Συχνότητα μετάβασης και αποκοπής (Transit and Cut-off Frequency).

- A. ☐ Η συχνότητα μετάβασης (transit frequency) f_t είναι μια παράμετρος της "ταχύτητας" του MOS τρανζίστορ. Αντιστοιχεί στην τιμή της συχνότητας σήματος εισόδου για την οποία
 - a. το κυρίως ρεύμα του ενισχυτή και ρέει μεταξύ απαγωγού και πηγής.
- B. ☐ Το ρεύμα i_{gs} οφείλεται στη
 - b. είναι μονάδα.
- C. ☐ Το ρεύμα i_{ds} είναι
 - c. η συχνότητα μετά από την οποία η ενίσχυση αρχίζει να μειώνεται.

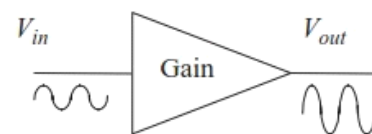
- D. ____ Η f_t αντιστοιχεί στη συχνότητα στην οποία η ενίσχυση ρεύματος του MOS
- E. ____ Με βάση τις εξισώσεις του μοντέλου MOS level 1, μια αναλυτική σχέση για τη συχνότητα μετάβασης είναι $f_t =$
- F. ____ $C_{gs} \approx$
- G. ____ Με βάση τις εξισώσεις του μοντέλου MOS level 1, μια αναλυτική σχέση για τη συχνότητα μετάβασης που δεν εμφανίζει εξάρτηση από το πλάτος καναλιού W είναι $f_t =$
- H. ____ Η συχνότητα αποκοπής είναι
- I. ____ Έστω G_0 η ενίσχυση για σήματα εισόδου με μικρή συχνότητα. Τότε, η συχνότητα αποκοπής ορίζεται συνήθως ως εκείνη η τιμή της συχνότητας εισόδου για την οποία η ενίσχυση
- d. φόρτιση και εκφόρτιση του πυκνωτή C_{gs} .
- e. $3 \epsilon_r \mu_n (V_{gs} - V_t) / (4 \pi^2 L^2)$.
- f. διαιρείται με 1.4.
- g. το ρεύμα i_{ds} αρχίζει να γίνεται μικρότερο του ρεύματος που ρέει μέσω της πύλης i_{gs} .
- h. $\epsilon_0 \epsilon_r \mu_n W (V_{gs} - V_t) / (2 \pi^2 t_{ox} L C_{gs})$
- i. $f(G=G_0/\text{Sqrt}[2])$.
- j. $(2/3) W L C_{ox}$.



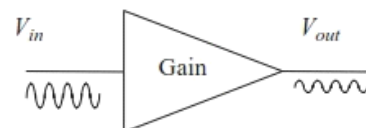
Cross-section of the MOS device showing the main parasitic capacitors.



Low frequency: high gain G_0



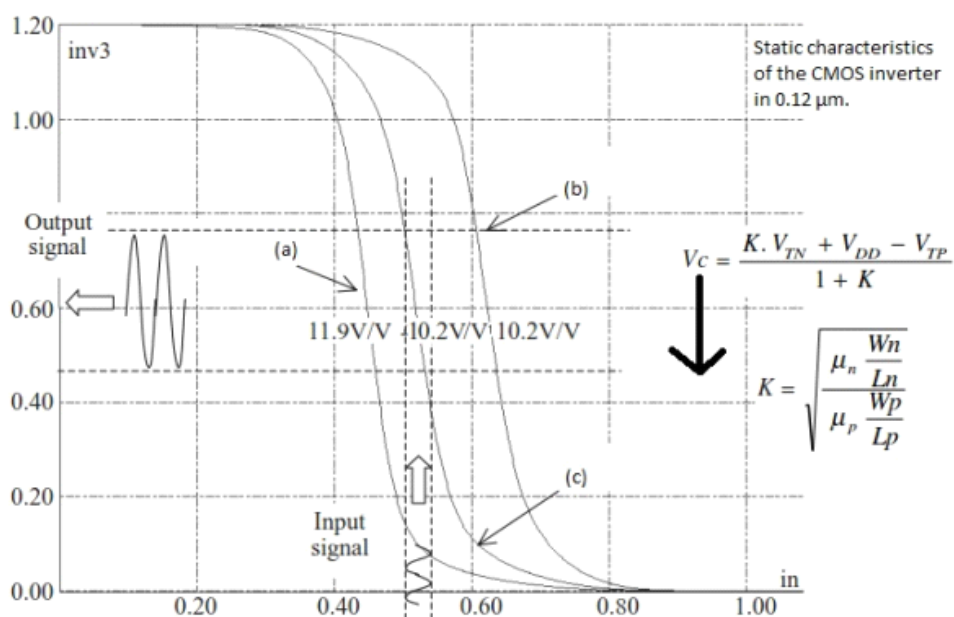
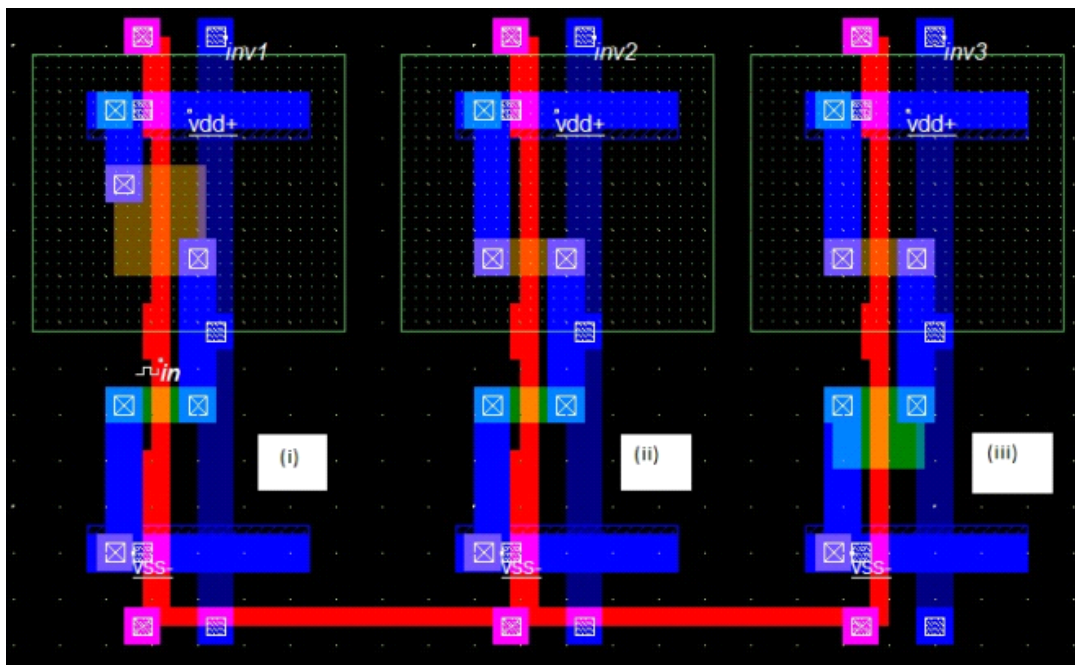
Cut-off: gain divided by 1.4



Higher than cut-off: gain tends to 0

The cut-off frequency corresponds to the input frequency where the gain starts to decrease.

Σχήμα 12.28 Συχνότητα μετάβασης και αποκοπής (Transit and Cut-off Frequency).



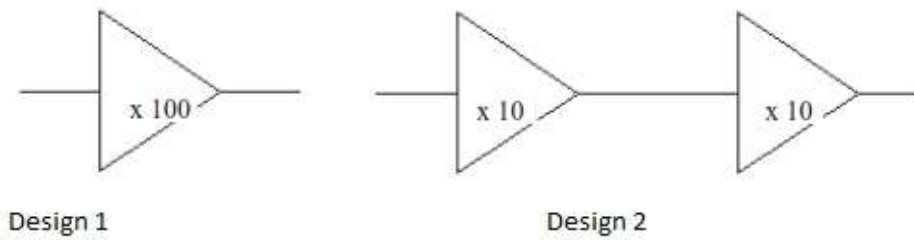
Σχήμα 12.29 Ο αντιστροφέας ως ενισχυτής.

29. Σχήμα 12.29 Ο αντιστροφέας ως ενισχυτής.

- A. ____ Θεωρητικά, ένας CMOS αντιστροφέας
- B. ____ μπορεί να λειτουργήσει ως ενισχυτής, καθότι η στατική χαρακτηριστική μεταφοράς μοιάζει με τη στατική απόκριση του βασικού ενισχυτή.
- Το σχήμα (i) δείχνει
- C. ____ Το σχήμα (ii) δείχνει
- D. ____ Το σχήμα (iii) δείχνει
- E. ____ Η καμπύλη (a) αντιστοιχεί
- F. ____ Η καμπύλη (b) αντιστοιχεί
- a. στον αντιστροφέα (i).
- b. έναν κανονικό αντιστροφέα.
- c. στον αντιστροφέα (ii).
- d. στον αντιστροφέα (iii).
- e. έναν αντιστροφέα με μικρό ρητος.

G. ____ Η καμπύλη (c) αντιστοιχεί

g. έναν αντιστροφέα με μικρό r_{out} και μεγάλο r_{in} .



Σχήμα 12.30 Ενισχυτής υψηλής ενίσχυσης (High Gain Amplifier).

30. Σχήμα 12.30 Ενισχυτής υψηλής ενίσχυσης (High Gain Amplifier).

- A. T F Ενισχυτές υψηλής ενίσχυσης συνήθως υλοποιούνται σε ένα στάδιο.
- B. T F Ενισχυτές υψηλής ενίσχυσης συνήθως υλοποιούνται από περισσότερα του ενός στάδια, ενδιάμεσης ενίσχυσης το καθένα, παρά από ένα μόνο στάδιο υψηλής ενίσχυσης.
- C. T F Οι περιορισμοί στο δυναμικό εισόδου είναι πιο εύκολο να διαχειριστούν όταν έχουμε ενισχυτή με πολλά στάδια.
- D. T F Το Design 1 είναι προτιμότερο του Design 2.
- E. T F Το Design 2 είναι προτιμότερο του Design 1.

31. Σχήμα 12.31 Απλός διαφορικός ενισχυτής (Simple Differential Amplifier).

- A. ____ Σκοπός του διαφορικού ενισχυτή είναι να
 - a. αυξάνεται αλλά το I_1 (μέσω του N_2), παραμένει σταθερό.
- B. ____ Συνήθως, η ενίσχυση K του διαφορικού ενισχυτή είναι μεγάλη,
 - b. η έξοδος του διαφορικού ενισχυτή, πολύ γρήγορα φτάνει σε κορεσμό.
- C. ____ Εξαιτίας των περιορισμών στα δυναμικά παροχής και στη μεγάλη ενίσχυση K ,
 - c. συγκρίνει δύο αναλογικά σήματα και να ενισχύσει τη διαφορά τους.
- D. ____ $V_{out} =$
 - d. διαρρέονται από το ίδιο ρεύμα I_1 , οπότε δεν υπάρχει καθαρή διαφορά ρεύματος για να φορτίσει ή να εκφορτίσει τον πυκνωτή στην έξοδο.
- E. ____ Όταν $V_p = V_m = V_{in}$, τότε οι δύο κλάδοι του διαφορικού ενισχυτή
 - e. συγκεκριμένα στην περιοχή μεταξύ 10 ως 1000.
- F. ____ Έστω $V_p = V_m = V_{in}$. Αν το δυναμικό πύλης του N_1 αυξηθεί στην τιμή $V_{in} + dV$, τότε το ρεύμα στον αριστερό κλάδο θα αυξηθεί στην τιμή $I_1' > I_1$.
 - f. τότε το I_1' μειώνεται στην προηγούμενη τιμή I_1 .

G. ____ Έστω $V_p = V_m = V_{in}$. Αν το δυναμικό πύλης του N1 αυξηθεί στην τιμή $V_{in} + dV$, τότε το ρεύμα στον αριστερό κλάδο θα αυξηθεί στην τιμή $I_1' > I_1$. Στην περίπτωση αυτή η V_{out}

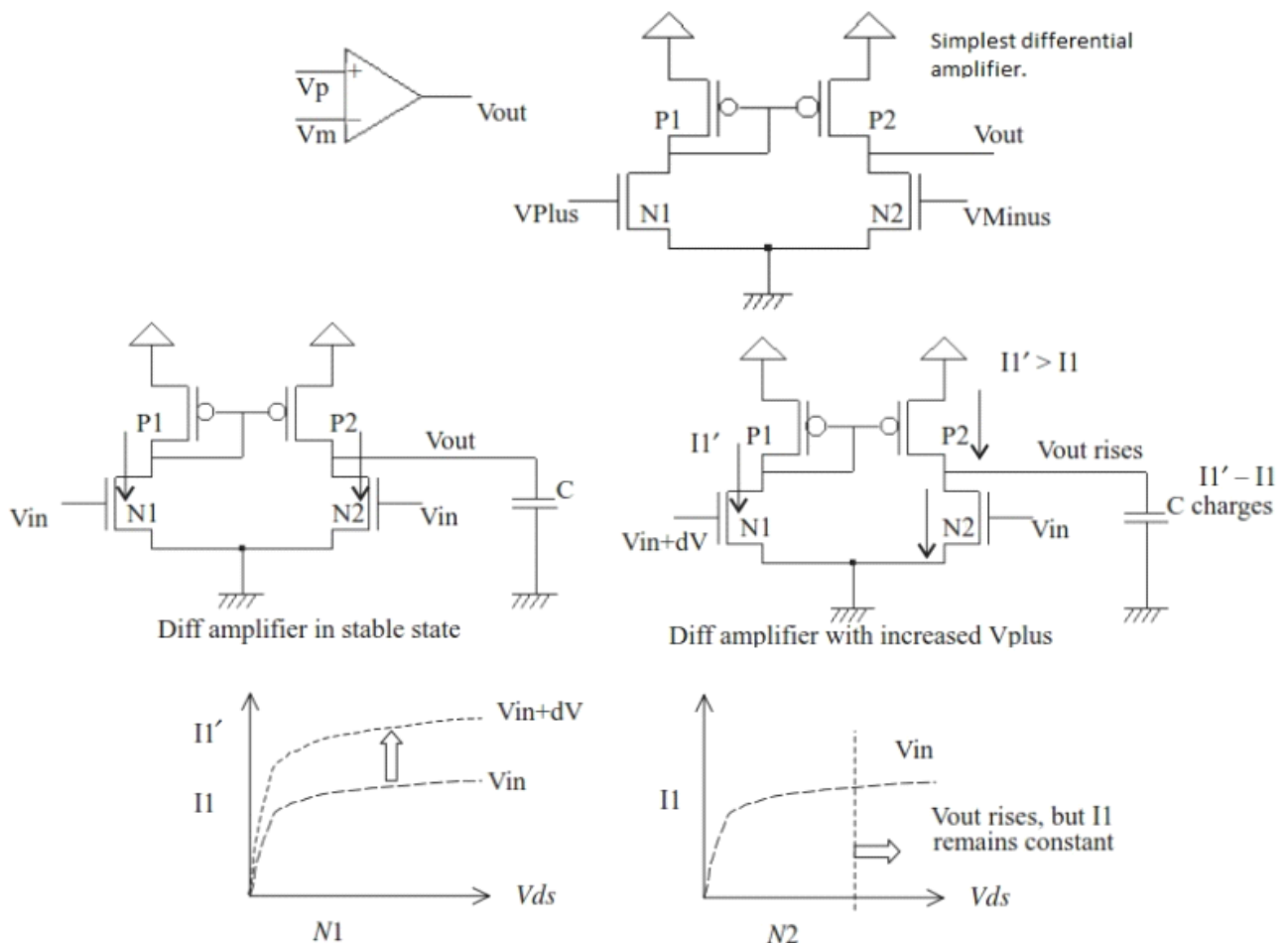
g. $K (V_p - V_m)$.

H. ____ Όταν η V_{out} γίνει αρκετά μεγάλη ώστε το P2 να μην είναι πλέον καλός καθρέπτης ρεύματος,

h. μετασχηματίζεται σε μια πολύ μεγάλη μεταβολή στο δυναμικό εξόδου V_{out} , που είναι και το ζητούμενο σε έναν ενισχυτή υψηλής ενίσχυσης.

I. ____ Η αρχή λειτουργίας αυτού του κυκλώματος στηρίζεται στην ιδέα ότι μια μικρή μεταβολή dV στο δυναμικό εισόδου,

i. Ο καθρέπτης ρεύματος θα αντιγράψει το I_1' και στον δεξιό κλάδο, οπότε το I_1' θα ρέει και μέσω του P2. Όσο το δυναμικό πύλης του N2 μένει στην τιμή V_{in} , η διαφορά $I_1' - I_1$ θα φορτίζει τον πυκνωτή στην έξοδο.

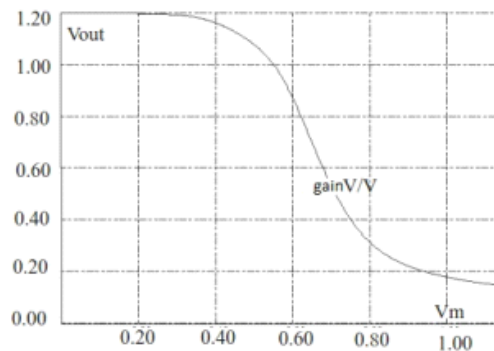
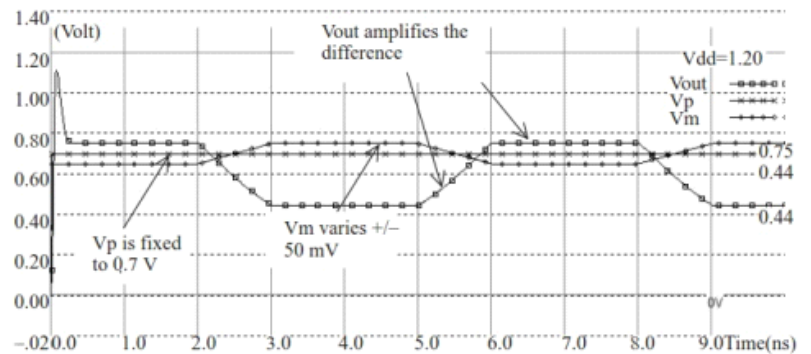
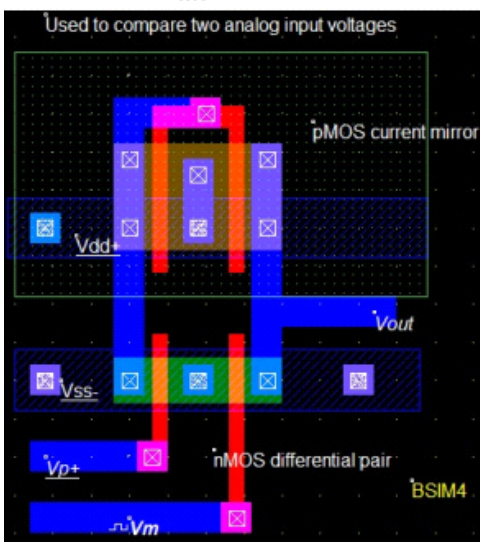
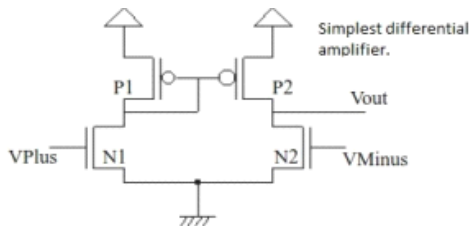


Σχήμα 12.31 Απλός διαφορικός ενισχυτής (Simple Differential Amplifier).

32. Σχήμα 12.32 Χαμηλών επιδόσεων ενισχυτής ενός σταδίου.

A. T F Στο παράδειγμα αυτό, η χωροθεσία είναι άμεση μετατροπή του κυκλώματος σε τρανζίστορ πάνω στο πυρίτιο.

- B. T F Το διαφορικό ζεύγος είναι υλοποιημένο με διατάξεις pmos μικρού μήκους καναλιού.
- C. T F Οι διαστάσεις των nMOS διατάξεων είναι όμοιες και με τον ίδιο προσανατολισμό για να ελαχιστοποιηθούν οι διακυμάνσεις λόγω κατασκευής.
- D. T F Στο διάγραμμα της προσομοίωσης βλέπουμε ότι μεταξύ V_p και V_m ασκείται ένα δυναμικό 100mV.
- E. T F Η ενίσχυση είναι 3.3 V/V.
- F. T F Για καλή γραμμική συμπεριφορά λειτουργίας, το κύκλωμα θα πρέπει να πολωθεί στα 0.4V.

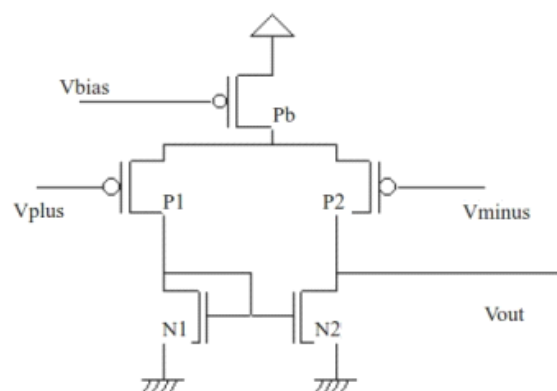
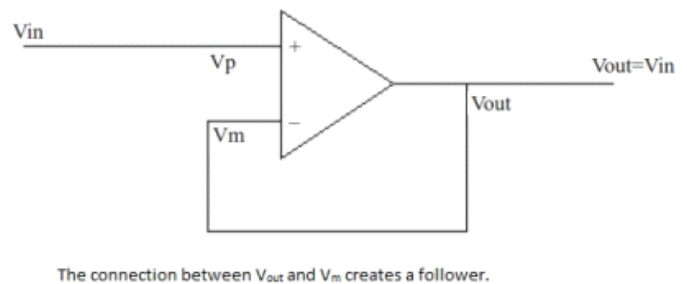
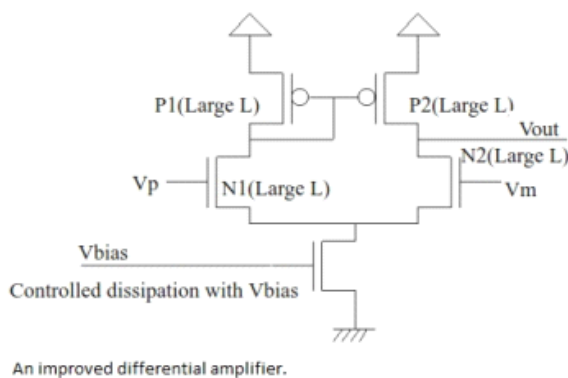


Σχήμα 12.32 Χαμηλών επιδόσεων ενισχυτής ενός σταδίου.

33. Σχήμα 12.33 Βελτιωμένη έκδοση ενισχυτή ενός σταδίου.

- A. ____ Για καλύτερη λειτουργία του διαφορικού ενισχυτή, καλύτερα να χρησιμοποιήσουμε διατάξεις MOS με μεγάλο μήκος καναλιού
- B. ____ Μια δεύτερη βελτίωση στη λειτουργία του διαφορικού ενισχυτή είναι
- C. ____ Το δυναμικό πύλης V_{bias} ελέγχει
- a. για τον καθρέπτη ρεύματος και pMOS για το διαφορικό ζεύγος.
- b. σε ελαφρώς ταχύτερες αποκρίσεις, αλλά μειώνει την εμβέλεια εισόδου, ενώ καταναλώνεται περισσότερη ενέργεια, αφού οι σχετιζόμενες διατάξεις MOS οδηγούν μεγαλύτερο ρεύμα.
- c. η εισαγωγή ενός nMOS μεταξύ του διαφορικού ζεύγους και της γείωσης.

- D. ____ Το τρανζίστορ μετάβασης (pass transistor) επιτρέπει στο διαφορικό ζεύγος να λειτουργεί
- E. ____ Ο καλύτερος τρόπος για να μετρήσουμε την εμβέλεια εισόδου (input range) είναι με το να συνδέσουμε τον διαφορικό ενισχυτή ως
- F. ____ Εφαρμογή μεγάλης V_{bias} οδηγεί
- G. ____ Το δυναμικό V_{bias} συχνά
- H. ____ Ο διαφορικός ενισχυτής μπορεί να κατασκευαστεί και με nMOS
- d. είναι σε σταθερή τιμή που είναι λίγο μεγαλύτερη από το δυναμικό κατωφλίου V_{tn} . Αυτή η ρύθμιση αντιστοιχεί σε βελτιστοποίηση μεταξύ ταχύτητας εναλλαγής (switching speed) και εμβέλεια εισόδου (input range).
- e. ακόλουθο, (follower) δηλαδή η V_{out} να συνδεθεί στη V_m .
- f. ώστε η επίδραση του φαινομένου διαμόρφωσης καναλιού (channel modulation) να είναι μικρότερη.
- g. για μικρότερη V_{ds} , που σημαίνει καλύτερη αναλογική συμπεριφορά και λιγότερες επιπτώσεις λόγω κορεσμών.
- h. το ποσό του ρεύματος που μπορεί να ρέει στους δύο κλάδους του διαφορικού ζεύγους.

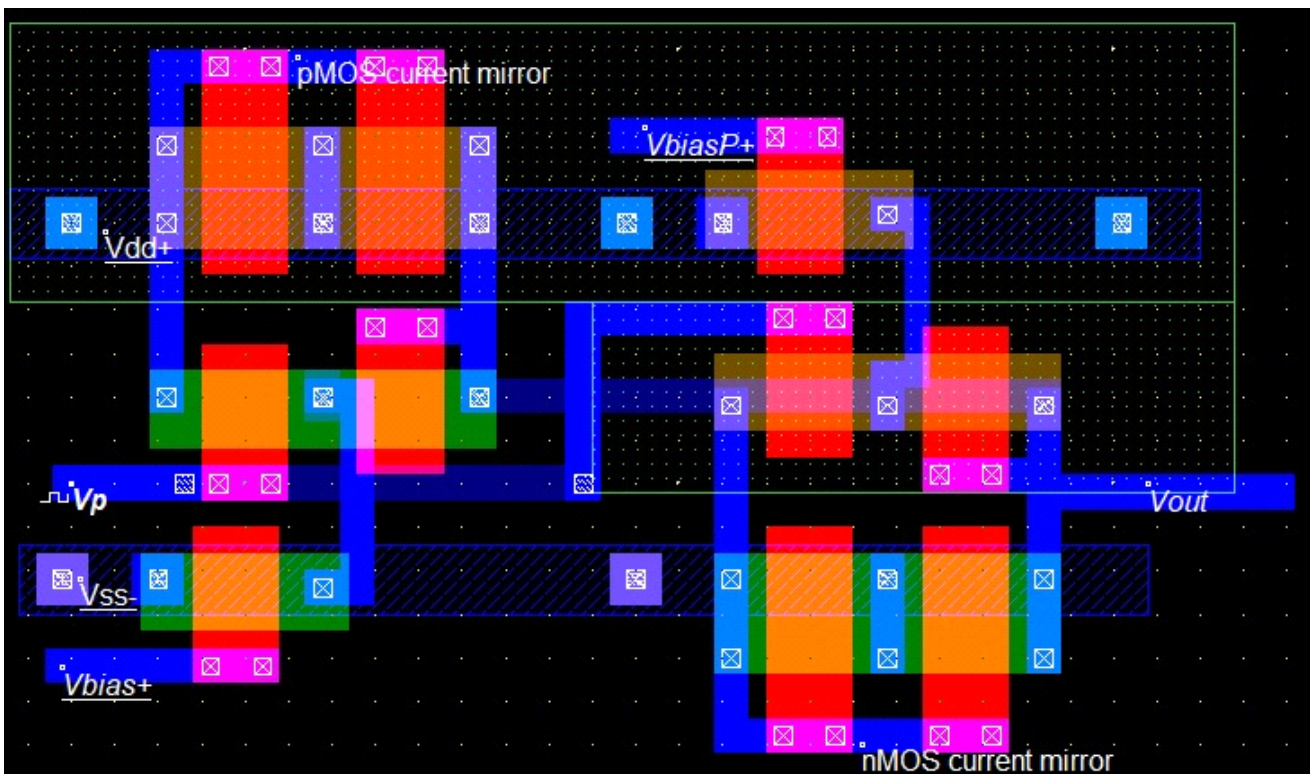


Σχήμα 12.33 Βελτιωμένη έκδοση ενισχυτή ενός σταδίου.

34. Σχήμα 12.34 Διπλός διαφορικός ενισχυτής (Double Differential Amplifier).

- A. T F Η χωροθεσία αντιστοιχεί σε ενισχυτή ενός σταδίου.
- B. T F Η χωροθεσία αντιστοιχεί σε δύο διαφορικούς ενισχυτές με ξεχωριστές εξόδους.

- C. T F Η χωροθεσία αντιστοιχεί σε διτλό διαφορικό ενισχυτή που προκύπτει από σύνδεση δύο ξεχωριστών διαφορικών ενισχυτών σε κοινή έξοδο.
- D. T F Η έξοδος λειτουργεί διακριτά για υψηλά δυναμικά και για χαμηλά δυναμικά.
- E. T F Αυτός ο τύπος ενισχυτή λειτουργεί για εμβέλεια εισόδου μεταξύ rail-to-rail και διατίθεται σχεδόν σε όλες τις CMOS αναλογικές βιβλιοθήκες χωροθεσιών.
- F. T F Η χωροθεσία δεν μπορεί να θεωρηθεί πλήρης, γιατί δεν έχει γίνει χρήση βουβών διατάξεων ούτε κυκλωμάτων απομόνωσης.
- G. T F Για να ελαττώσουμε την επίδραση των φαινομένων διαμόρφωσης καναλιού, πρέπει να χρησιμοποιήσουμε διατάξεις MOS με μικρό μήκος καναλιού.
- H. T F Αν χρησιμοποιήσουμε διατάξεις MOS με μεγάλο μήκος καναλιού, μπορούμε να διατηρήσουμε ταχύτερη λειτουργία αν ταυτόχρονα τις σχεδιάσουμε με μεγαλύτερο πλάτος, χρησιμοποιώντας έτσι μεγαλύτερη επιφάνεια πυριτίου.



Σχήμα 12.34 Διτλός διαφορικός ενισχυτής (Double Differential Amplifier).

35. Σχήμα 12.35 Ενισχυτής ώθησης-έλξης (Push-Pull Amplifier) (PPA).

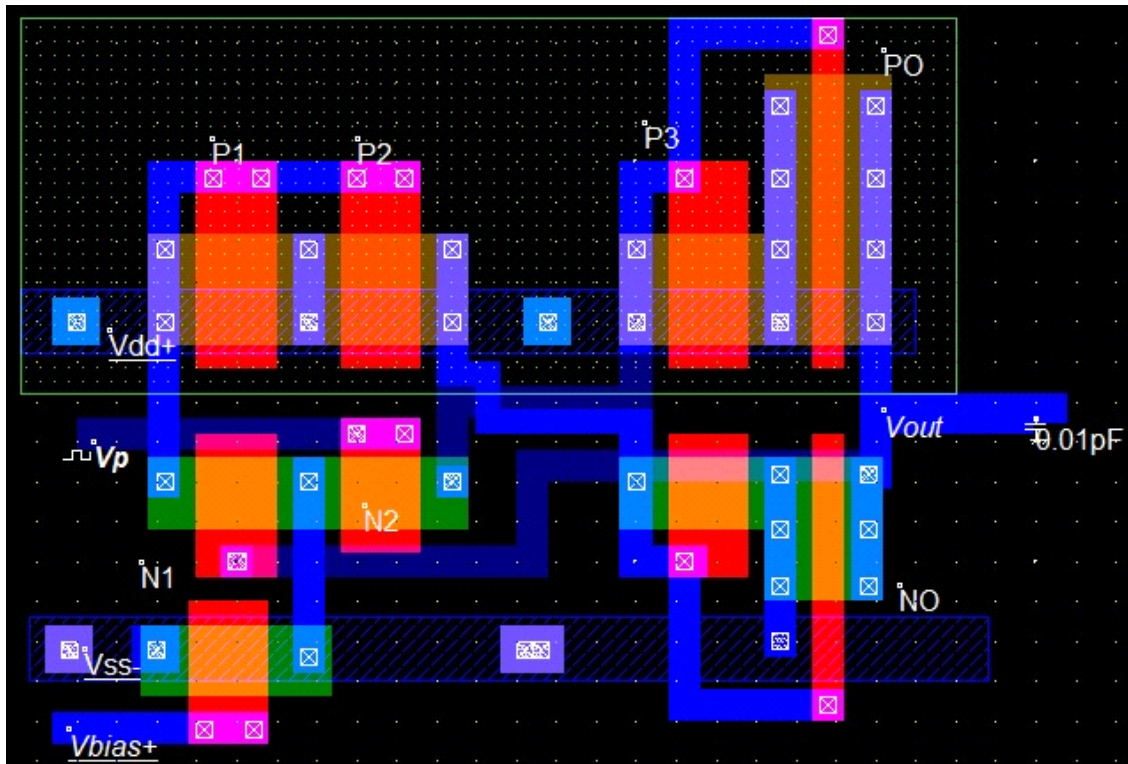
- A. ____ Ο push-pull ενισχυτής υλοποιείται με a. PO και NO.
- B. ____ Τα τρανζίστορ Nb και Pb είναι σε b. μεγάλο πυκνωτή εξόδου, δίπολο κεραίας για εκπομπή ραδιοσυχνότητων ή γενικότερα μια έξοδο με μικρή εμπίεση.
- C. ____ Το διαφορικό ζεύγος αποτελείται από c. P3 και PO.
- τα τρανζίστορ

B. ____ Η pMOS διάταξη PO

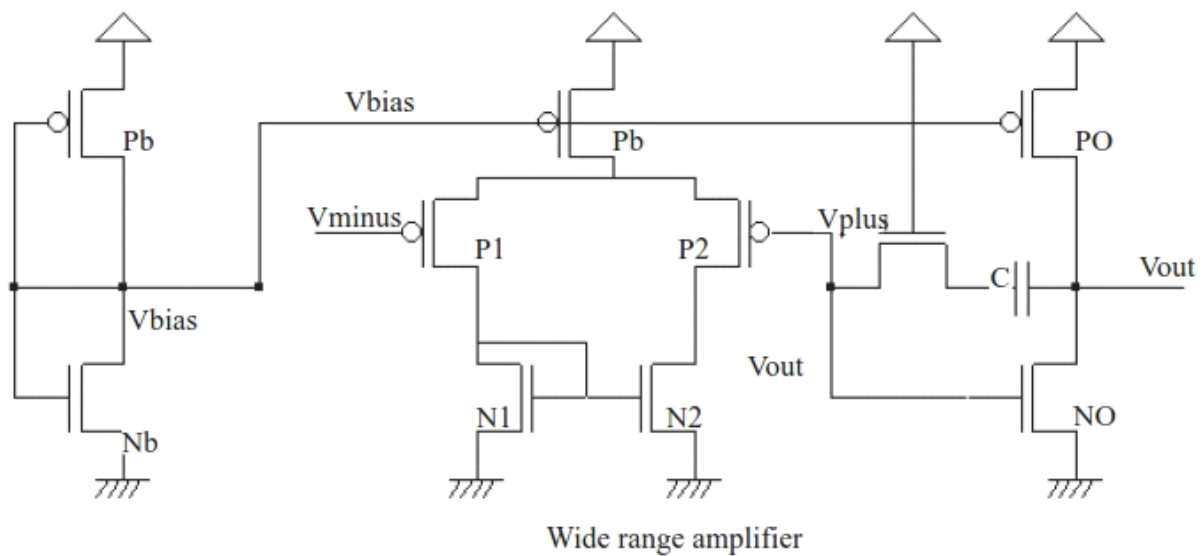
b. είναι ελεγχόμενη όπως και στην περίπτωση του ενισχυτή push-pull.

C. ____ Η nMOS διάταξη NO

c. ενός κλασικού συγκριτή δυναμικών (voltage comparator) και έναν ενισχυτή ισχύος εξόδου (power output stage) όπως και στην περίπτωση του ενισχυτή push-pull.



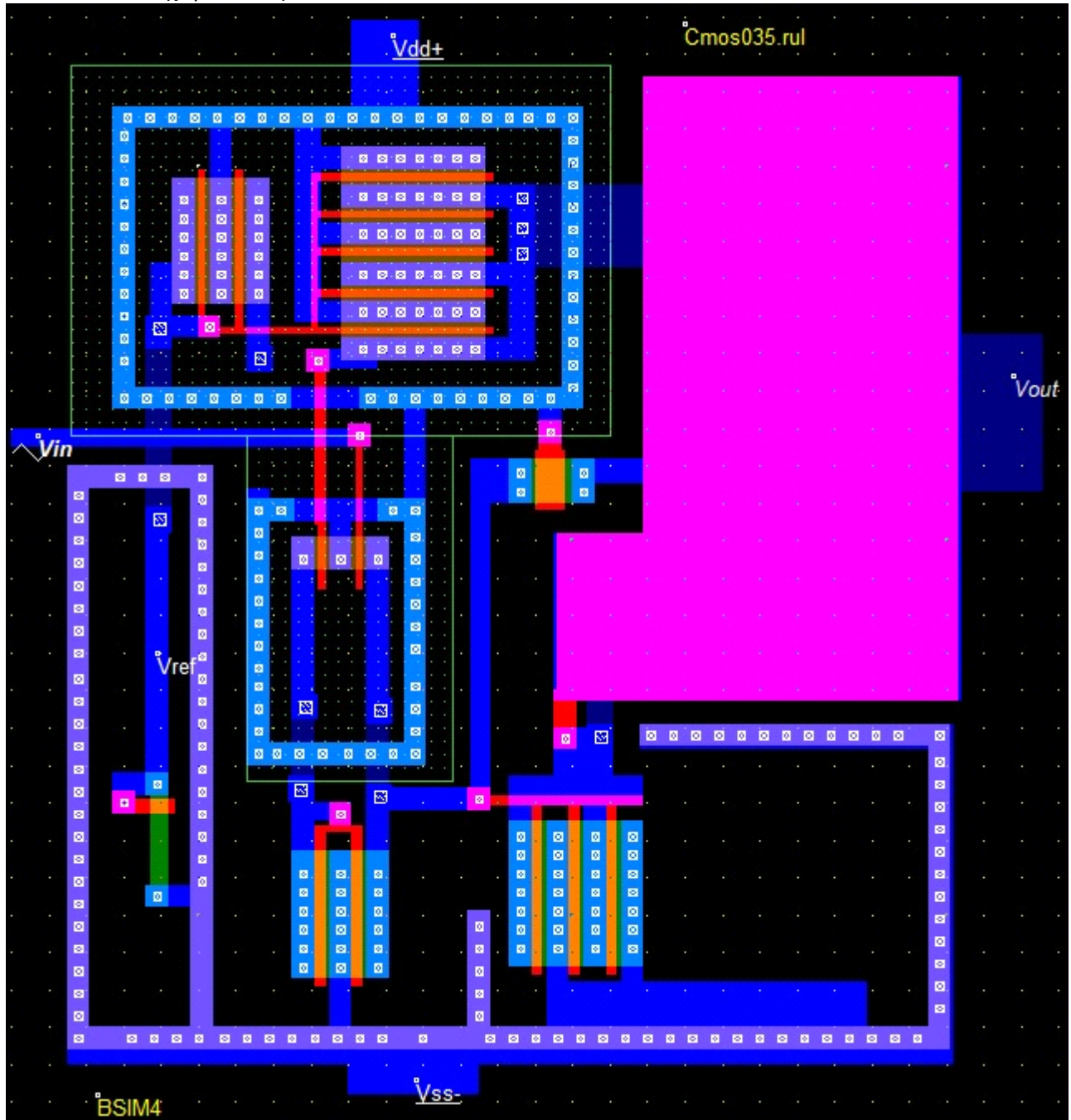
Σχήμα 12.36 Χωροθεσία Push-Pull Amplifier.



Σχήμα 12.37 Ενισχυτής ευρείας εμβέλειας (Wide Range Amplifier).

38. Σχήμα 12.38 Χωροθεσία ενισχυτή ευρείας εμβέλειας.

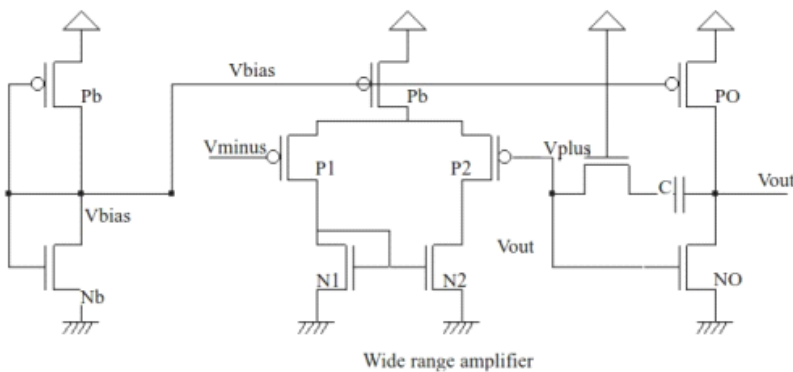
- A. T F Η χωροθεσία αυτή αντιστοιχεί σε κύκλωμα ενισχυτή push-pull.
- B. T F Ο προσανατολισμός των πάνω pMOS δεν είναι ο ίδιος. Αυτό μπορεί να επηρεάσει την ποιότητα του καθρέπτη ρεύματος.
- C. T F Το διαφορικό στάδιο χρησιμοποιεί κανάλια ελαχίστου. Αυτό ενισχύει τα φαινόμενα δεύτερης τάξης, το offset και τις μη-γραμμικότητες.
- D. T F Έχουν χρησιμοποιηθεί βουβές διατάξεις για να βελτιωθεί η ποιότητα της απόκρισης του διαφορικού ζεύγους.
- E. T F Υπάρχει μεγάλο ποσοστό επιφάνειας πυριτίου που είναι διαθέσιμο εντός της χωροθεσίας.



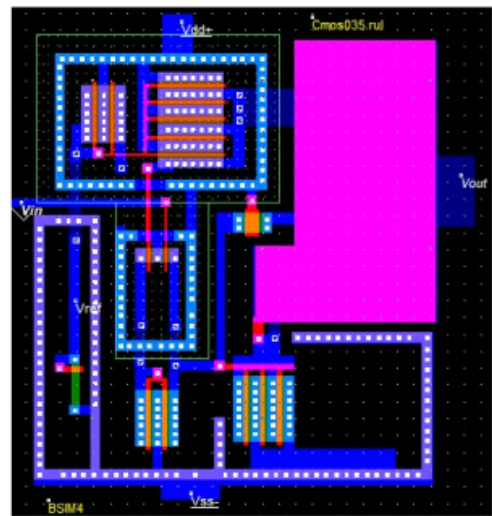
Σχήμα 12.38 Χωροθεσία ενισχυτή ευρείας εμβέλειας.

39. Σχήμα 12.39 Βελτιώσεις στο κύκλωμα του ενισχυτή ευρείας εμβέλειας.

- A. T F Για να ελαχιστοποιήσουμε την παρασιτική διαφορά (offset) του διαφορικού σταδίου, οι κρίσιμες διατάξεις MOS (N1, N2, P1 και P2) θα πρέπει να διαιρεθούν σε τμήματα N1a, N1b κτλ. και να τοποθετηθούν σε μια κεντροειδή γεωμετρία.
- B. T F Δεν χρειάζονται βουβά στοιχεία γύρω από τον ενισχυτή.
- C. T F Οι ανομοιομορφίες λόγω διαδικασιών κατασκευής και τα παρασιτικά ηλεκτρικά φαινόμενα μπορούν να ελαττωθούν με σχεδίαση σε υπο-στοιχεία και βουβές διατάξεις.
- D. T F Ο πυκνωτής ανταπόδοσης (compensation capacitor) δεν έχει σημαντική επίδραση στη λειτουργία του κυκλώματος και μπορεί να αφαιρεθεί για να κερδίσουμε επιφάνεια πυριτίου.



Design efforts to limit the impact of process variations on the sense amplifier.

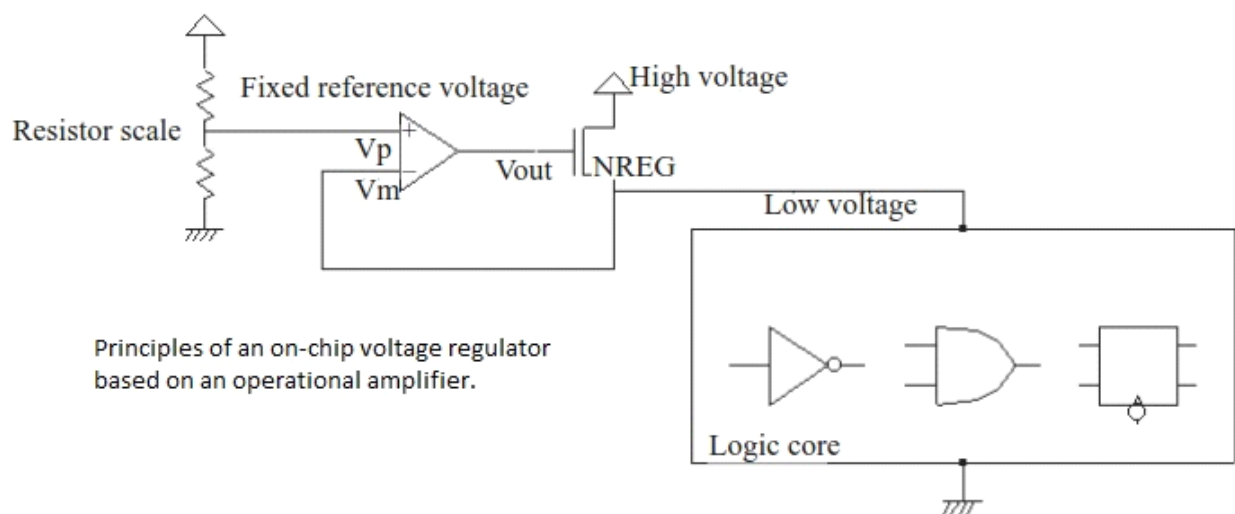


Σχήμα 12.39 Βελτιώσεις στο κύκλωμα του ενισχυτή ευρείας εμβέλειας.

40. Σχήμα 12.40 Ενσωματωμένος στην ψηφίδα ρυθμιστής δυναμικού (On-Chip Voltage Regulator).

- A. ____ Στις τεχνολογίες υπομικρονικών διαστάσεων, η χρήση πολύ λεπτών οξειδίων πύλης, σημαίνει ότι
- a. όσον αφορά τα δυναμικά, π.χ. να μπορεί να δεχθεί τάση παροχής 5V ή 3.3V.
- B. ____ Η ελάττωση της τάσης παροχής στις υπομικρονικές τεχνολογίες είναι απαραίτητη ώστε
- b. το δυναμικό πύλης θα κορεστεί και η ανάδραση θα είναι ανεπαρκής.
- C. ____ Οι διεπιφάνειες εισόδου/εξόδου στα ολοκληρωμένα κυκλώματα πρέπει να ικανοποιούν ορισμένες προδιαγραφές
- c. που είναι συνδεδεμένο στην είσοδο V_m θα ελαττώνεται.
- D. ____ Είναι απαραίτητος ο σχεδιασμός ενός κυκλώματος που να
- d. που επαναφέρει το κύκλωμα από τις πτώσεις δυναμικού κατά τη διάρκεια των εναλλαγών.

- E. ____ Η βασική ιδέα ενός κυκλώματος που υλοποιεί ολίσθηση δυναμικού (voltage shift) είναι
- F. ____ Όταν ο πυρήνας λογικής κάνει εναλλαγές, το δυναμικό του πυρήνα
- G. ____ Όταν η V_m μειώνεται, ο τελεστικός ενισχυτής θα τείνει να αυξήσει την V_{out} , οπότε
- H. ____ Η αρνητική ανάδραση δημιουργεί έναν σταθερό βρόχο ανατροφοδότησης
- I. ____ Από σχεδιαστικής απόψεως, η διάταξη NREG θα πρέπει να σχεδιαστεί
- J. ____ Αν το ισοδύναμο πλάτος της NREF είναι πολύ μικρό
- e. η χρήση ενός τελεστικού ενισχυτή που να ελέγχει την πύλη ενός nMOS τρανζίστορ.
- f. να αποφευχθεί καταστροφή του οξειδίου του πυριτίου που βρίσκεται κάτω από την πύλη των τρανζίστορ, το οποίο είναι πολύ λεπτό.
- g. θα ελαττωθεί η αντίσταση NREG και θα αυξηθεί το δυναμικό μέχρι να πιάσει την τιμή αναφοράς που επιθυμούμε.
- h. με πολύ μεγάλη τιμή, ακόμα και όταν το κύκλωμα παροχής λογικής είναι μικρό.
- i. μπορεί να παράγει ένα χαμηλό δυναμικό εσωτερικά στο κύκλωμα από ένα εξωτερικά υψηλότερο δυναμικό.
- j. τα δυναμικά παροχής θα πρέπει επίσης να είναι μικρών τιμών.



Σχήμα 12.40 Ενσωματωμένος στην ψηφίδα ρυθμιστής δυναμικού (On-Chip Voltage Regulator).

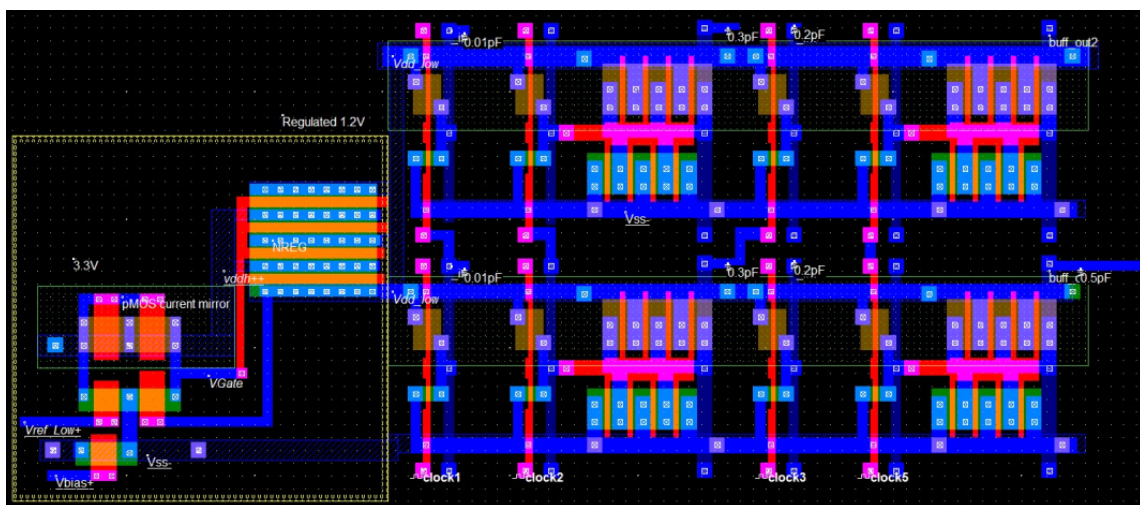
41. Σχήμα 12.41 On-Chip Voltage Regulator.

Σχεδιάστε το κύκλωμα που αντιστοιχεί στη χωροθεσία της εικόνας.

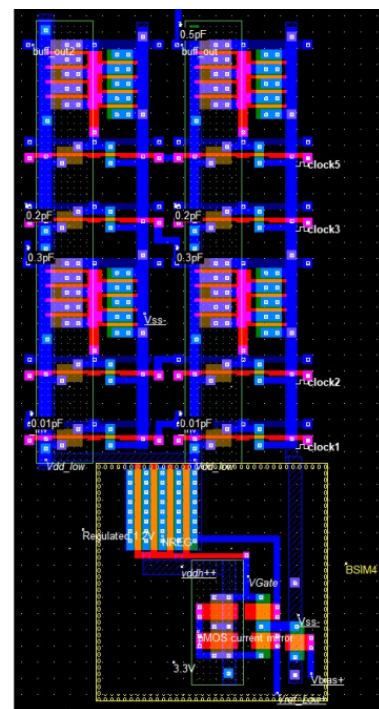
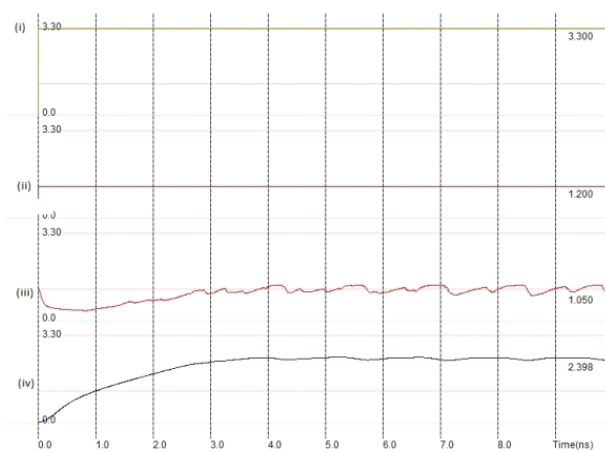
42. Σχήμα 12.42 On-Chip Voltage Regulator και διαγράμματα χρονισμού.

- A. ____ (i) a. Clock5
- B. ____ (ii) b. NREG

- | | |
|---------------|-------------|
| C. ____ (iii) | c. Clock2 |
| D. ____ (iv) | d. VGate |
| E. ____ | e. Clock1 |
| F. ____ | f. vddh |
| G. ____ | g. Vref_Low |
| H. ____ | h. Clock3 |
| I. ____ | i. Vbias+ |



Σχήμα 12.41 On-Chip Voltage Regulator.



Σχήμα 12.41 On-Chip Voltage Regulator και διαγράμματα χρονισμού.

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Baker, R.J., Li, H.W., & Boyce, D.E. (1998). *CMOS circuit design, layout and simulation*. IEEE Press, ISBN 0-7803-3416-7.
 2. Elmasry, M.I., & Bellaouar, I. (2012). *Low-Power Digital VLSI Design*. Kluwer Academic Pub. ISBN 0-792-39587-5.
 3. Goyal, R. (1995). *High frequency analog integrated circuit design*. Wiley. ISBN 0-471-53043-3.
 4. Hastings, A. (2001). *The art of analog layout*. Prentice-Hall. ISBN 0-13-087061-7.
 5. John, M., & Smith, S. (1997). *Application Specific Integrate Circuits*. Addison-Wesley. ISBN 0-201-50022-1.
 6. Sicard, E., & Bendhia, S.D. (2007). *Basics of CMOS Cell Design*. McGraw-Hill.
 7. Uyemura, J.P. (2002). *Introduction to VLSI Circuits & Systems*. Wiley.
 8. Weste, N.H.E., Eshraghian, K., & Smith, M. (2000). *Principles of CMOS VLSI Design: A systems Perspective with VERILOG/VHDL Manual*. Addison-Wesley. ISBN 0-201-73389-7.
-

Οι στόχοι του βιβλίου είναι:

1. να εισαγάγει τις έννοιες της σχεδίασης ολοκληρωμένων κυκλωμάτων πολύ μεγάλης κλίμακας ολοκλήρωσης (VLSI),
2. να εξηγήσει τη δομή και τη λειτουργία των βασικών δομικών στοιχείων των ολοκληρωμένων κυκλωμάτων,
3. να περιγράψει τη βασική φυσική των διατάξεων MOS (Metal-Oxide-Semiconductor),
4. να παρουσιάσει τον τρόπο σχεδίασης των βασικών κυκλωμάτων ψηφιακής λογικής, αλλά και της χωροθεσίας τους (layout), που αποτελεί το βασικό βήμα για την κατασκευή των πραγματικών κυκλωμάτων,
5. να εκπαιδεύσει στη χρήση σχετικών λογισμικών σχεδίασης των κυκλωμάτων και των χωροθεσιών τους.

Το παρόν σύγγραμμα δημιουργήθηκε στο πλαίσιο του Έργου ΚΑΛΛΙΠΟΣ+

Χρηματοδότης	Υπουργείο Παιδείας και Θρησκευμάτων, Προγράμματα ΠΔΕ, ΕΠΑ 2020-2025
Φορέας υλοποίησης	ΕΛΚΕ ΕΜΠ
Φορέας λειτουργίας	ΣΕΑΒ/Παράρτημα ΕΜΠ/Μονάδα Εκδόσεων
Διάρκεια 2ης Φάσης	2020-2023
Σκοπός	Η δημιουργία ακαδημαϊκών ψηφιακών συγγραμμάτων ανοικτής πρόσβασης (περισσότερων από 700) • Προπτυχιακών και μεταπτυχιακών εγχειριδίων • Μονογραφιών • Μεταφράσεων ανοικτών textbooks • Βιβλιογραφικών Οδηγών
Επιστημονικά Υπεύθυνος	Νικόλαος Μήτρου, Καθηγητής ΣΗΜΜΥ ΕΜΠ

ISBN: 978-618-5726-40-9 DOI: <http://dx.doi.org/10.57713/kallipos-161>

Το παρόν σύγγραμμα χρηματοδοτήθηκε από το Πρόγραμμα Δημοσίων Επενδύσεων του Υπουργείου Παιδείας.