



1

Ένα δισκίο (wafer) με διάμετρο 25 cm περιλαμβάνει ψηφίδες (dies) με επιφάνεια 2 cm^2 η καθεμία. Κατά την παραγωγή του δισκίου παρουσιάζεται στις ψηφίδες μία ατέλεια ανά cm^2 και η παράμετρος α της διεργασίας κατασκευής που επηρεάζει την απόδοση ισούται με 2. Δίνεται ότι $\pi = 3.14$.

- Να υπολογίσετε το πλήθος των ψηφίδων του δισκίου.
- Να υπολογίσετε την απόδοση ψηφίδας.
- Να υπολογίσετε το πλήθος των λειτουργικών ψηφίδων του δισκίου.

ΛΥΣΗ

- Το πλήθος των ψηφίδων του δισκίου προκύπτει από τη διαίρεση της επιφάνειας του δισκίου προς την επιφάνεια της ψηφίδας, λαμβάνοντας υπόψη ότι επειδή το δισκίο έχει κυκλικό σχήμα και οι ψηφίδες τετραγωνικό, οι ψηφίδες γύρω από την περίμετρο του δισκίου δεν μπορούν να χρησιμοποιηθούν και συνεπώς δε συνυπολογίζονται στο πλήθος των ψηφίδων που προκύπτει από το δισκίο:

$$\text{Πλήθος ψηφίδων ανά δισκίο} = \frac{\pi \times (\text{διάμετρος δισκίου} / 2)^2}{\text{επιφάνεια ψηφίδας}} - \frac{\pi \times \text{διάμετρος δισκίου}}{\sqrt{2} \times \text{επιφάνεια ψηφίδας}} \Rightarrow$$

$$\text{Πλήθος ψηφίδων ανά δισκίο} = \frac{3.14 \times 12.5^2 \text{ cm}^2}{2 \text{ cm}^2} - \frac{3.14 \times 25 \text{ cm}}{\sqrt{2} \times 2 \text{ cm}^2} \Rightarrow$$

$$\text{Πλήθος ψηφίδων ανά δισκίο} = 245.3 - 39.3 = 206 .$$

Το παραπάνω αποτέλεσμα σημαίνει ότι από το δισκίο προκύπτουν 206 πιθανά λειτουργικές ψηφίδες.

- Η απόδοση ψηφίδας, δηλαδή το ποσοστό των ψηφίδων που προέκυψαν από το δισκίο, οι οποίες είναι λειτουργικές προκύπτει από την παρακάτω σχέση:

$$\text{Απόδοση ψηφίδας} = \left(1 + \frac{\text{ατέλειες ανά μονάδα επιφάνειας} \times \text{επιφάνεια ψηφίδας}}{\alpha} \right)^{-\alpha} \times 100 \Rightarrow$$

$$\text{Απόδοση ψηφίδας} = \left(1 + \frac{1 \text{ ατέλεια} / \text{cm}^2 \times 2 \text{ cm}^2}{2} \right)^{-2} \times 100 \Rightarrow \text{απόδοση ψηφίδας} = 0.25 \times 100 = 25 \% .$$

- Το παραπάνω αποτέλεσμα σημαίνει ότι από τις πιθανώς λειτουργικές ψηφίδες (δηλαδή, από τις ψηφίδες που προέκυψαν από το δισκίο και μπορούν να χρησιμοποιηθούν, μόνο το 25% είναι λειτουργικές. Συνεπώς το πλήθος των λειτουργικών ψηφίδων του δισκίου είναι:

$$0.25 \times 206 = 51.5, \text{ δηλαδή } 51 \text{ ψηφίδες.}$$



2

Οι μετρήσεις του παρακάτω πίνακα αφορούν ένα τρανζίστορ NMOS μεγάλου μήκους καναλιού με $\phi_F = -0.3 \text{ V}$ (δυναμικό Fermi) και ελήφθησαν με το τρανζίστορ να λειτουργεί στην περιοχή κορεσμού.

| Μέτρηση | V_{GS} (V) | V_{DS} (V) | V_{SB} (V) | I_D (μA) |
|---------|--------------|--------------|--------------|-------------------------|
| 1 | 3 | 2 | 0 | 400 |
| 2 | 2.5 | 2 | 0 | 250 |
| 3 | 2 | 1 | 1 | 100 |
| 4 | 2 | 1 | 0 | 160 |

- Να υπολογίσετε την τάση κατωφλίου του τρανζίστορ για μηδενική τάση πηγής-υποστρώματος.
- Να υπολογίσετε την τάση κατωφλίου του τρανζίστορ όταν η τάση πηγής-υποστρώματος είναι 1 V.
- Να υπολογίσετε το συντελεστή φαινομένου σώματος του τρανζίστορ.

ΛΥΣΗ

- Για το ρεύμα υποδοχής ενός τρανζίστορ μεγάλου μήκους καναλιού στην περιοχή κορεσμού, ισχύει η ακόλουθη σχέση:

$$I_D = \frac{k}{2} \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS})$$

Με βάση την παραπάνω σχέση, από τις μετρήσεις 1 και 2 (με ίδια τιμή V_{DS} και $V_{SB} = 0$), προκύπτει ότι:

$$400 = \frac{k}{2} \cdot (3 - V_{T0})^2 \cdot (1 + \lambda \cdot 2) \quad \text{και} \quad 250 = \frac{k}{2} \cdot (2.5 - V_{T0})^2 \cdot (1 + \lambda \cdot 2)$$

Διαιρώντας κατά μέλη τις παραπάνω σχέσεις, υπολογίζουμε την τάση κατωφλίου του τρανζίστορ για $V_{SB} = 0$:

$$\frac{400}{250} = \frac{(3 - V_{T0})^2}{(2.5 - V_{T0})^2} \Rightarrow 1.6 \cdot (2.5 - V_{T0})^2 = (3 - V_{T0})^2 \Rightarrow$$

$$\sqrt{1.6} \cdot (2.5 - V_{T0}) = (3 - V_{T0}) \Rightarrow 3.1625 - 1.265 \cdot V_{T0} = 3 - V_{T0} \Rightarrow 0.1625 = 0.265 \cdot V_{T0} \Rightarrow V_{T0} = 0.61 \text{ V}$$

- Από τις μετρήσεις 3 και 4, (με ίδιες τιμές V_{GS} και V_{DS} , αλλά διαφορετικές τιμές V_{SB}), με τον ίδιο τρόπο υπολογίζουμε την τάση κατωφλίου του τρανζίστορ όταν η τάση πηγής-υποστρώματος είναι 1 V. Με βάση τη σχέση που δίνει το ρεύμα υποδοχής ενός τρανζίστορ μεγάλου μήκους καναλιού στην περιοχή κορεσμού, από τις μετρήσεις 3 και 4, προκύπτει ότι:

$$100 = \frac{k}{2} \cdot (2 - V_T)^2 \cdot (1 + \lambda \cdot 1) \quad \text{και} \quad 160 = \frac{k}{2} \cdot (2 - 0.61)^2 \cdot (1 + \lambda \cdot 1)$$

Διαιρώντας κατά μέλη τις παραπάνω σχέσεις, υπολογίζουμε την τάση κατωφλίου του τρανζίστορ για $V_{SB} = 1 \text{ V}$:

$$\frac{100}{160} = \frac{(2 - V_T)^2}{(2 - 0.61)^2} \Rightarrow 0.625 = \frac{(2 - V_T)^2}{1.932} \Rightarrow (2 - V_T)^2 = 1.2075 \Rightarrow 2 - V_T = \sqrt{1.2075} \Rightarrow V_T = 0.9 \text{ V}$$

- Η τάση κατωφλίου του τρανζίστορ δίνεται από την παρακάτω σχέση, στην οποία εάν θέσουμε την τιμή της παραμέτρου ϕ_F που δίνεται, την τιμή της V_{T0} που υπολογίσαμε στο ερώτημα (α), την τιμή της τάσης πηγής-υποστρώματος $V_{SB} = 1 \text{ V}$ και την τιμή της V_T που υπολογίσαμε στο ερώτημα (β), υπολογίζουμε τον ζητούμενο συντελεστή φαινομένου σώματος (γ) του τρανζίστορ:



$$V_T = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \Rightarrow \gamma = \frac{V_T - V_{T0}}{\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}} \Rightarrow$$
$$\gamma = \frac{0.9 - 0.61}{\sqrt{|-2 \cdot (-0.3) + 1|} - \sqrt{|2 \cdot (-0.3)|}} V^{0.5} \Rightarrow \gamma = \frac{0.29}{1.265 - 0.775} V^{0.5} \Rightarrow \gamma = 0.59 V^{0.5}.$$



3

Οι μετρήσεις του παρακάτω πίνακα αφορούν ένα τρανζίστορ NMOS μικρού μήκους καναλιού, με $k' = 100 \mu\text{A} / \text{V}^2$, $V_{\text{DSAT}} = 0.6 \text{ V}$ (V_{DS} στην οποία συμβαίνει κορεσμός ταχύτητας φορέων), $\phi_{\text{F}} = -0.3 \text{ V}$ (δυναμικό Fermi), $\gamma = 0.3$ (συντελεστής φαινομένου σώματος) και ελήφθησαν με το τρανζίστορ να λειτουργεί στην περιοχή κορεσμού.

| Μέτρηση | V_{GS} (V) | V_{DS} (V) | V_{SB} (V) | I_{D} (μA) |
|---------|---------------------|---------------------|---------------------|----------------------------------|
| 1 | 2.5 | 1.8 | 0 | 1812 |
| 2 | 2 | 1.8 | 0 | 1297 |
| 3 | 2 | 2.5 | 0 | 1361 |

- Να υπολογίσετε την τάση κατωφλίου του τρανζίστορ για μηδενική τάση πηγής-υποστρώματος και τον συντελεστή διαμόρφωσης μήκους καναλιού του τρανζίστορ.
- Να υπολογίσετε το λόγο των διαστάσεων καναλιού του τρανζίστορ.
- Να υπολογίσετε την τάση κατωφλίου του τρανζίστορ όταν η τάση πηγής-υποστρώματος είναι 2 V .

ΛΥΣΗ

- Για το ρεύμα υποδοχής ενός τρανζίστορ μικρού μήκους καναλιού στην περιοχή στην περιοχή κορεσμού, ισχύει η ακόλουθη σχέση:

$$I_{\text{D}} = k \cdot \left[(V_{\text{GS}} - V_{\text{T}}) \cdot V_{\text{DSAT}} - \frac{V_{\text{DSAT}}^2}{2} \right] \cdot (1 + \lambda \cdot V_{\text{DS}}) = k' \cdot \frac{W}{L} \cdot \left[(V_{\text{GS}} - V_{\text{T}}) \cdot V_{\text{DSAT}} - \frac{V_{\text{DSAT}}^2}{2} \right] \cdot (1 + \lambda \cdot V_{\text{DS}})$$

Με βάση την παραπάνω σχέση, από τις μετρήσεις 1 και 2 (με ίδια τιμή V_{DS}), προκύπτει ότι:

$$1812 = k \cdot \left[(2.5 - V_{\text{T0}}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8), \quad 1297 = k \cdot \left[(2 - V_{\text{T0}}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$

Διαιρώντας κατά μέλη τις παραπάνω σχέσεις, υπολογίζουμε την τάση κατωφλίου του τρανζίστορ για $V_{\text{SB}} = 0$:

$$\frac{1812}{1297} = \frac{(2.5 - V_{\text{T0}}) \cdot 0.6 - \frac{0.6^2}{2}}{(2 - V_{\text{T0}}) \cdot 0.6 - \frac{0.6^2}{2}} \Rightarrow 1.4 = \frac{1.32 - 0.6 \cdot V_{\text{T0}}}{1.02 - 0.6 \cdot V_{\text{T0}}} \Rightarrow V_{\text{T0}} = 0.44 \text{ V}.$$

Από τις μετρήσεις 2 και 3, (με ίδια τιμή V_{GS}), με τον ίδιο τρόπο υπολογίζουμε την παράμετρο λ :

$$1297 = k \cdot \left[(2 - V_{\text{T0}}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8), \quad 1361 = k \cdot \left[(2 - V_{\text{T0}}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 2.5)$$

$$\frac{1297}{1361} = \frac{1 + \lambda \cdot 1.8}{1 + \lambda \cdot 2.5} \Rightarrow 0.95 = \frac{1 + \lambda \cdot 1.8}{1 + \lambda \cdot 2.5} \Rightarrow \lambda = 0.08 \text{ V}^{-1}.$$

- Χρησιμοποιώντας μία από τις μετρήσεις 1 ή 2 (έστω τη μέτρηση 2), υπολογίζουμε το λόγο των διαστάσεων καναλιού του τρανζίστορ, με βάση τη σχέση του ρεύματος υποδοχής την περιοχή κορεσμού:

$$I_{\text{D}} = k' \cdot \frac{W}{L} \cdot \left[(V_{\text{GS}} - V_{\text{T0}}) \cdot V_{\text{DSAT}} - \frac{V_{\text{DSAT}}^2}{2} \right] \cdot (1 + \lambda \cdot V_{\text{DS}}) \Rightarrow$$

$$1297 = 100 \cdot \frac{W}{L} \cdot \left[(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2} \right] \cdot (1 + 0.08 \cdot 1.8) \Rightarrow \frac{W}{L} = \frac{1297}{100 \cdot \left[(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + 0.08 \cdot 1.8)} = 15$$

- Η τάση κατωφλίου του τρανζίστορ δίνεται από την παρακάτω σχέση, στην οποία εάν θέσουμε τις τιμές των



παραμέτρων ϕ_F και γ που δίνονται, της παραμέτρου V_{T0} που υπολογίσαμε στο ερώτημα (α), καθώς και της τιμής τάσης πηγής-υποστρώματος $V_{SB} = 2$ V, υπολογίζουμε την ζητούμενη τάση κατωφλίου:

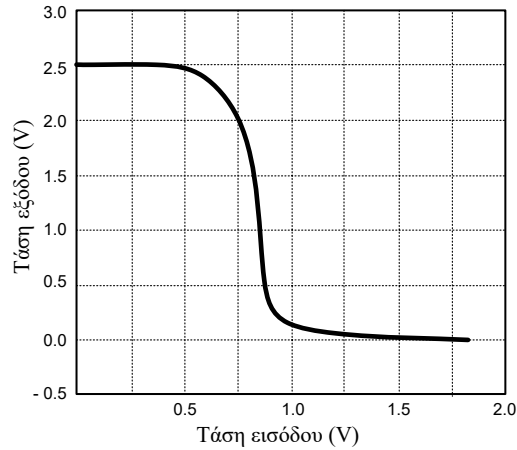
$$V_T = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \Rightarrow V_T = 0.44 + 0.3 \cdot \left(\sqrt{|-2 \cdot (-0.3) + 2|} - \sqrt{|2 \cdot (-0.3)|} \right) V \Rightarrow$$

$$V_T = 0.44 + 0.3 \cdot (\sqrt{2.6} - \sqrt{0.6}) V \Rightarrow V_T = 0.44 + 0.3 \cdot (\sqrt{2.6} - \sqrt{0.6}) \Rightarrow V_T = 0.691 V .$$



4

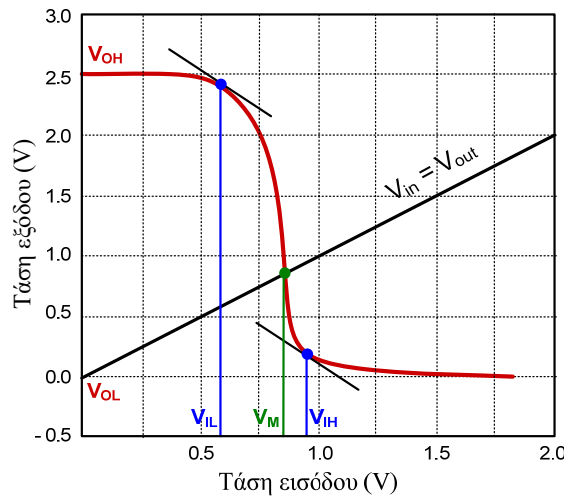
Στο παρακάτω σχήμα δίνεται η χαρακτηριστική μεταφοράς τάσης ενός αντιστροφέα CMOS.



- α) Να υπολογίσετε την υψηλή και χαμηλή στάθμη τάσης, το κατώφλι μετάβασης και τα περιθώρια θορύβου του αντιστροφέα.
- β) Να υπολογίσετε το κέρδος μέσου σημείου του αντιστροφέα.
- γ) Για να γίνει το κατώφλι μετάβασης 0.65 V, θα πρέπει να αυξήσουμε ή να μειώσουμε το πλάτος κανα-λιού του τρανζίστορ NMOS; Πως θα επηρεαστούν τα περιθώρια θορύβου από τη μείωση του κατω-φλίου μετάβασης;

ΛΥΣΗ

- α) Οι ζητούμενες παράμετροι V_{OH} , V_{OL} , V_M , NM_H , NM_L υπολογίζονται από τη χαρακτηριστική μεταφοράς του αντιστροφέα με γραφικό τρόπο, όπως υποδεικνύεται στο παρακάτω σχήμα:



Προκύπτει λοιπόν ότι:

$$\begin{aligned}
 V_{OH} &= V_{DD} = 2.5 \text{ V}, \quad V_{OL} = 0 \text{ V} \\
 V_M &= 0.85 \text{ V} \\
 V_{IH} &= 0.95 \text{ V}, \quad NM_H = V_{OH} - V_{IH} = 1.55 \text{ V}, \\
 V_{IL} &= 0.6 \text{ V}, \quad NM_L = V_{IL} - V_{OL} = 0.6 \text{ V}
 \end{aligned}$$

- β) Το κέρδος μέσου σημείου του αντιστροφέα (g), δηλαδή η αρνητική κλίση της χαρακτηριστικής του αντιστροφέα στο σημείο τομής της με την ευθεία $V_{in} = V_{out}$, προκύπτει από την παρακάτω σχέση:

$$V_{IH} = V_M + \frac{V_M}{|g|} \Rightarrow |g| = \frac{V_M}{V_{IH} - V_M} \Rightarrow |g| = \frac{0.85}{0.95 - 0.85} \Rightarrow |g| = 8.5 \Rightarrow g = -8.5.$$



- γ) Το κατώφλι μετάβασης (V_M) αυξάνεται όταν αυξηθεί ο λόγος W_p / W_n των πλατών καναλιού των τρανζίστορ του αντιστροφέα CMOS. Για να μειώσουμε το κατώφλι μετάβασης (V_M) από 0.85 V σε 0.65 V θα πρέπει να μειώσουμε το λόγο W_p / W_n , που σημαίνει ότι θα πρέπει να αυξήσουμε το πλάτος καναλιού του τρανζίστορ NMOS. Τότε, η μεταβατική περιοχή της χαρακτηριστικής μεταφοράς τάσης του αντιστροφέα θα ολισθήσει προς τα αριστερά, με αποτέλεσμα, το περιθώριο θορύβου NM_H να αυξηθεί και το περιθώριο θορύβου NM_L να μειωθεί.



5

Σε μια τεχνολογία CMOS 100 nm, οι μικρότερες δυνατές διαστάσεις καναλιού του τρανζίστορ NMOS είναι $L_{n\text{-unit}} = W_{n\text{-unit}} = 100 \text{ nm}$ και το εν λόγω τρανζίστορ αναφέρεται ως μοναδιαίο (unit transistor). Το μέγιστο ρεύμα υποδοχής του μοναδιαίου αυτού τρανζίστορ είναι $I_{Dn\text{-max}} = 1 \text{ mA}$. Η τάση τροφοδοσίας που χρησιμοποιείται στην τεχνολογία αυτή είναι $V_{DD} = 1.8 \text{ V}$ και η τάση υποδοχής-πηγής, στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων (ηλεκτρονίων και οπών) είναι $|V_{DSAT}| = 0.6 \text{ V}$. Τα τρανζίστορ NMOS και PMOS παρουσιάζουν την ίδια τάση κατωφλίου (σε απόλυτη τιμή). Η κινητικότητα των ηλεκτρονίων ισούται με $0.05 \text{ m}^2/\text{V}\cdot\text{s}$ και είναι 2.5 φορές μεγαλύτερη από εκείνη των οπών. Το πάχος του οξειδίου πύλης (SiO_2) των τρανζίστορ είναι 1.25 nm και το φαινόμενο διαμόρφωσης του μήκους καναλιού των τρανζίστορ της συγκεκριμένης τεχνολογίας είναι αμελητέο.

- Να υπολογίσετε την τάση κατωφλίου των τρανζίστορ της προαναφερόμενης τεχνολογίας.
- Να υπολογίσετε τις διαστάσεις καναλιού ενός τρανζίστορ PMOS στη συγκεκριμένη τεχνολογία, ώστε το μέγιστο ρεύμα υποδοχής του να είναι ίσο (σε απόλυτη τιμή) με το μέγιστο ρεύμα του μοναδιαίου τρανζίστορ NMOS.
- Να υπολογίσετε το μέγιστο ρεύμα υποδοχής ενός τρανζίστορ NMOS, με διαστάσεις καναλιού $L_{n\text{-unit}}$, $4 \cdot W_{n\text{-unit}}$ και το μέγιστο ρεύμα υποδοχής ενός τρανζίστορ PMOS με διαστάσεις καναλιού $2 \cdot L_{n\text{-unit}}$, $6 \cdot W_{n\text{-unit}}$.
- Να δώσετε το φυσικό σχέδιο των δύο τρανζίστορ που αναφέρονται στο ερώτημα (γ). Κατά το σχεδιασμό, να χρησιμοποιήσετε υπόστρωμα ή πηγάδι κατάλληλου τύπου και τους ακόλουθους κανόνες ($\lambda = L_{n\text{-unit}} / 2$):
 - Το υπόστρωμα ή το πηγάδι πρέπει να εξέχει $6 \cdot \lambda$ από τη λωρίδα διάχυσης.
 - Οι περιοχές πηγής και υποδοχής των τρανζίστορ πρέπει να έχουν μήκος $4 \cdot \lambda$.
 - Η λωρίδα πολυκρυσταλλικού πυριτίου των τρανζίστορ πρέπει να εξέχει $3 \cdot \lambda$ από τη λωρίδα διάχυσης.

ΛΥΣΗ

- Η σχέση υπολογισμού του ρεύματος υποδοχής ενός τρανζίστορ NMOS με μικρό μήκος καναλιού (όπως είναι το μήκος καναλιού των 100 nm) στην περιοχή κορεσμού, έχει ως εξής:

$$I_{Dn} = k'_n \cdot \frac{W_n}{L_n} \cdot \left[(V_{GSn} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] \cdot (1 + \lambda_n \cdot V_{DSn})$$

Τα τρανζίστορ MOSFET αποδίδουν μέγιστο ρεύμα υποδοχής στην περιοχή κορεσμού, όταν $V_{GS} = V_{DD}$. Αφού στη συγκεκριμένη τεχνολογία, το φαινόμενο διαμόρφωσης του μήκους καναλιού των τρανζίστορ είναι αμελητέο (δηλαδή, $\lambda = 0$), το μέγιστο ρεύμα υποδοχής για το μοναδιαίο τρανζίστορ NMOS, δίνεται από τη σχέση:

$$I_{Dn\text{ max-unit}} = k'_n \cdot \frac{W_{n\text{-unit}}}{L_{n\text{-unit}}} \cdot \left[(V_{DD} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] \quad (1)$$

Ο συντελεστής κέρδους του τρανζίστορ NMOS υπολογίζεται ως εξής:

$$k'_n = \mu_n \cdot C_{ox} \Rightarrow k'_n = \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \Rightarrow k'_n = \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \Rightarrow k'_n = 0.05 \frac{\text{m}^2}{\text{V}\cdot\text{s}} \cdot \frac{3.5 \cdot 10^{-13} \frac{\text{F}}{\text{cm}}}{1.25 \text{ nm}} \Rightarrow k'_n = 0.05 \frac{\text{m}^2}{\text{V}\cdot\text{s}} \cdot \frac{3.5 \cdot 10^{-13} \frac{\text{F}}{10^{-2} \text{ m}}}{1.25 \cdot 10^{-9} \text{ m}} \Rightarrow$$

$$k'_n = 0.14 \cdot 10^{-2} \frac{\text{F}}{\text{V}\cdot\text{s}} \Rightarrow k'_n = 0.14 \cdot 10^{-2} \frac{\text{A}}{\text{V}^2} \Rightarrow k'_n = 1.4 \frac{\text{mA}}{\text{V}^2}$$

Από τη σχέση του μέγιστου ρεύματος υποδοχής του μοναδιαίου τρανζίστορ NMOS ($L_{n\text{-unit}} = W_{n\text{-unit}}$), υπολογίζουμε τη ζητούμενη τάση κατωφλίου (V_{Tn}):

$$I_{Dn\text{ max-unit}} = k'_n \cdot \frac{W_{n\text{-unit}}}{L_{n\text{-unit}}} \cdot \left[(V_{DD} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] \Rightarrow$$

$$I_{Dn\text{ max-unit}} = k'_n \cdot V_{DD} \cdot V_{DSATn} - k'_n \cdot V_{Tn} \cdot V_{DSATn} - 0.5 \cdot k'_n \cdot V_{DSATn}^2 \Rightarrow$$

$$V_{Tn} = \frac{k'_n \cdot V_{DD} \cdot V_{DSATn} - 0.5 \cdot k'_n \cdot V_{DSATn}^2 - I_{Dn\text{ max-unit}}}{k'_n \cdot V_{DSATn}} \Rightarrow$$



$$V_{Tn} = \frac{1.4 \frac{\text{mA}}{\text{V}^2} \cdot 1.8 \text{ V} \cdot 0.6 \text{ V} - 0.5 \cdot 1.4 \frac{\text{mA}}{\text{V}^2} \cdot 0.36 \text{ V}^2 - 1 \text{ mA}}{1.4 \frac{\text{mA}}{\text{V}^2} \cdot 0.6 \text{ V}} \Rightarrow V_{Tn} = 0.3 \text{ V} \cdot$$

Αφού, όπως αναφέρεται στην εκφώνηση, τα τρανζίστορ NMOS και PMOS παρουσιάζουν την ίδια τάση κατωφλίου, για τη συγκεκριμένη τεχνολογία ισχύει ότι: $V_{Tn} = |V_{Tp}| = 0.3 \text{ V}$.

β) Το μέγιστο ρεύμα υποδοχής ενός τρανζίστορ PMOS, δίνεται από τη σχέση:

$$I_{Dp\text{-max}} = k'_p \cdot \frac{W_p}{L_p} \cdot \left[(-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right]$$

Επιλέγοντας το ελάχιστο δυνατό μήκος καναλιού ($L_p = L_{n\text{-unit}} = 100 \text{ nm}$) και λαμβάνοντας υπόψη ότι $|V_{DSATp}| = V_{DSATn} = 0.6 \text{ V}$, $|V_{Tp}| = V_{Tn} = 0.3 \text{ V}$, $\lambda_n = \lambda_p = 0$ και $\mu_n = 2.5 \cdot \mu_p$, υπολογίζουμε, διαιρώντας κατά μέλη την παραπάνω σχέση με τη σχέση (1), το πλάτος καναλιού του τρανζίστορ PMOS, έτσι ώστε το τρανζίστορ PMOS να αποδίδει το ίδιο μέγιστο ρεύμα υποδοχής (σε απόλυτη τιμή) με το μοναδιαίο τρανζίστορ NMOS:

$$\frac{I_{Dp\text{max}}}{I_{Dn\text{max-unit}}} = \frac{k'_p \cdot \frac{W_p}{L_p} \cdot \left[(-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right]}{k'_n \cdot \frac{W_{n\text{-unit}}}{L_{n\text{-unit}}} \cdot \left[(V_{DD} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right]} \Rightarrow$$

$$\frac{I_{Dp\text{max}}}{I_{Dn\text{max-unit}}} = \frac{k'_p \cdot W_p \cdot \left[(V_{DD} - |V_{Tp}|) \cdot |V_{DSATp}| - \frac{V_{DSATp}^2}{2} \right]}{k'_n \cdot W_{n\text{-unit}} \cdot \left[(V_{DD} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right]} \Rightarrow$$

$$1 = \frac{k'_p \cdot W_p}{k'_n \cdot W_{n\text{-unit}}} \Rightarrow 1 = \frac{\mu_p \cdot C_{ox} \cdot W_p}{\mu_n \cdot C_{ox} \cdot W_{n\text{-unit}}} \Rightarrow 1 = \frac{\mu_p \cdot W_p}{2.5 \cdot \mu_p \cdot W_{n\text{-unit}}} \Rightarrow W_p = 2.5 \cdot W_{n\text{-unit}} \Rightarrow W_p = 250 \text{ nm} \cdot$$

Εναλλακτικά, αφού λόγω του ότι $\mu_p = \mu_n / 2.5$ προκύπτει εύκολα ότι $k'_p = k'_n / 2.5$, το πλάτος καναλιού του τρανζίστορ PMOS, μπορεί να υπολογιστεί ως εξής:

$$I_{Dp\text{max}} = k'_p \cdot \frac{W_p}{L_p} \cdot \left[(-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \Rightarrow W_p = \frac{I_{Dp\text{max}}}{\frac{k'_n}{2.5 \cdot L_{n\text{-unit}}} \cdot \left[(-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right]} \Rightarrow$$

$$W_p = \frac{1 \text{ mA}}{\frac{1.4 \frac{\text{mA}}{\text{V}^2}}{2.5 \cdot 100 \text{ nm}} \cdot \left[(-1.8 + 0.3) \cdot (-0.6) - \frac{(-0.6)^2}{2} \right]} \Rightarrow W_p = 250 \text{ nm} \cdot$$

γ) Με βάση την ανάλυση που προηγήθηκε, το μέγιστο ρεύμα υποδοχής του τρανζίστορ NMOS με διαστάσεις καναλιού $L_{n\text{-unit}}$ και $4 \cdot W_{n\text{-unit}}$, μπορεί να υπολογιστεί ως εξής:

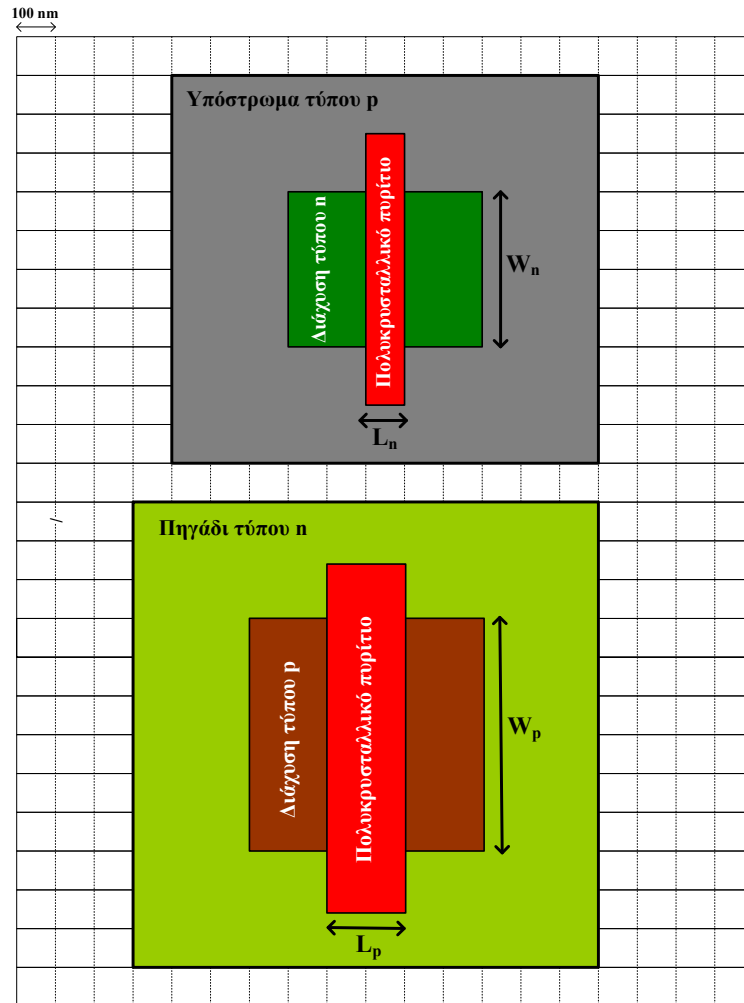
$$\frac{I_{Dn\text{max}}}{I_{Dn\text{max-unit}}} = \frac{k'_n \cdot W_n}{k'_n \cdot W_{n\text{-unit}}} \Rightarrow \frac{I_{Dn\text{max}}}{I_{Dn\text{max-unit}}} = \frac{4 \cdot W_{n\text{-unit}}}{W_{n\text{-unit}}} \Rightarrow I_{Dn\text{max}} = 4 \cdot I_{Dn\text{max-unit}} \Rightarrow I_{Dn\text{max}} = 4 \cdot 1 \text{ mA} = 4 \text{ mA} \cdot$$

Παρομοίως, το μέγιστο ρεύμα υποδοχής του τρανζίστορ PMOS με διαστάσεις καναλιού $2 \cdot L_{n\text{-unit}}$ και $6 \cdot W_{n\text{-unit}}$, μπορεί να υπολογιστεί ως εξής:

$$\frac{I_{Dp\text{max}}}{I_{Dn\text{max-unit}}} = \frac{k'_p \cdot \frac{W_p}{L_p}}{k'_n \cdot \frac{W_{n\text{-unit}}}{L_{n\text{-unit}}}} \Rightarrow \frac{I_{Dp\text{max}}}{I_{Dn\text{max-unit}}} = \frac{k'_p \cdot \frac{6 \cdot W_{n\text{-unit}}}{2 \cdot L_{n\text{-unit}}}}{2.5 \cdot k'_p \cdot \frac{W_{n\text{-unit}}}{L_{n\text{-unit}}}} \Rightarrow I_{Dn\text{max}} = 1.2 \cdot I_{Dn\text{max-unit}} \Rightarrow I_{Dn\text{max}} = 1.2 \cdot 1 \text{ mA} = 1.2 \text{ mA} \cdot$$



δ)

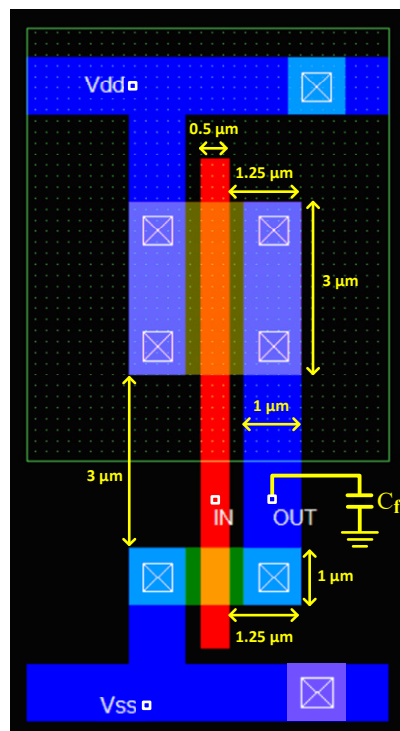




6

Στο παρακάτω σχήμα δίνεται το φυσικό σχέδιο ενός στατικού αντιστροφέα CMOS. Η τάση τροφοδοσίας του είναι $V_{DD} = 2.5 \text{ V}$. Για το τρανζίστορ NMOS δίνονται ο συντελεστής κέρδους $k' = 100 \mu\text{A}/\text{V}^2$, η τάση υποδοχής-πηγής στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων $V_{DSAT} = 0.7 \text{ V}$, η τάση κατωφλίου $V_T = 0.4 \text{ V}$ και ο συντελεστής διαμόρφωσης μήκους καναλιού $\lambda = 0.1 \text{ V}^{-1}$. Επίσης, δίνονται οι χωρητικότητες επικάλυψης μεταξύ πύλης και υποδοχής ανά μονάδα πλάτους καναλιού των δύο τρανζίστορ $C_{gson} = C_{gdop} = 0.3 \text{ fF}/\mu\text{m}$, οι χωρητικότητες περιοχής υποδοχής ανά μονάδα επιφάνειας περιοχής υποδοχής των δύο τρανζίστορ $C_{jn} = C_{jp} = 1.2 \text{ fF}/\mu\text{m}^2$, οι χωρητικότητες περιοχής υποδοχής ανά μονάδα περιφέρειας περιοχής υποδοχής των δύο τρανζίστορ $C_{jswn} = C_{jswp} = 0.2 \text{ fF}/\mu\text{m}$, καθώς και ότι η χωρητικότητα ανά μονάδα επιφάνειας μιας γραμμής διασύνδεσης μετάλλου είναι $0.03 \text{ fF}/\mu\text{m}^2$. Θεωρήστε ότι η χωρητικότητα φορτίου (δηλαδή, η συνολική χωρητικότητα που αφορά τις πύλες που οδηγεί ο αντιστροφέας, καθώς και τις γραμμές διασύνδεσης με αυτές, που δεν παρουσιάζονται ως φυσικό σχέδιο στο παρακάτω σχήμα) είναι $C_f = 9.9 \text{ fF}$. Θεωρήστε επίσης ότι η χωρητικότητα των επαφών διασύνδεσης είναι αμελητέα. Χρησιμοποιώντας τα προαναφερόμενα δεδομένα, το φυσικό σχέδιο και τις διαστάσεις που σημειώνονται σε αυτό, να υπολογίσετε:

- τη χωρητικότητα εξόδου του αντιστροφέα, υποθέτοντας ότι όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα, συγκεντρώνονται σε μία μόνο χωρητικότητα C_L , που συνδέεται μεταξύ της εξόδου του αντιστροφέα και της γείωσης (συγκεντρωτικό μοντέλο) και,
- την καθυστέρηση διάδοσης του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης.



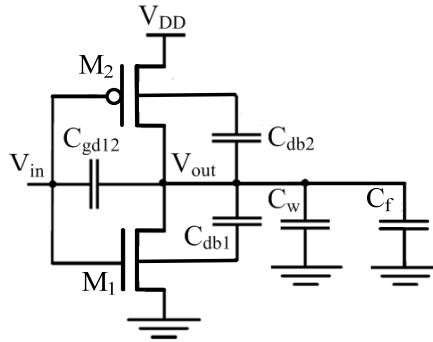
ΛΥΣΗ

- Από το φυσικό σχέδιο του αντιστροφέα προκύπτει εύκολα ότι τα μήκη καναλιού των τρανζίστορ είναι $L_n = L_p = 0.5 \mu\text{m}$, τα πλάτη καναλιού των τρανζίστορ είναι $W_n = 1 \mu\text{m}$, $W_p = 3 \mu\text{m}$, τα μήκη των επαφών (περιοχών) υποδοχής των τρανζίστορ είναι $L_{sn} = L_{sp} = 1.25 \mu\text{m}$ και η επιφάνεια της γραμμής διασύνδεσης μετάλλου στην έξοδο του αντιστροφέα είναι $3 \mu\text{m} \cdot 1 \mu\text{m} = 3 \mu\text{m}^2$.

Η χωρητικότητα εξόδου του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης, υποθέτοντας ότι όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα, συγκεντρώνονται σε μία μόνο χωρητικότητα C_L , που συνδέεται μεταξύ της εξόδου του αντιστροφέα και της γείωσης



(συγκεντρωτικό μοντέλο), έχει ως εξής:



$$C_L = C_{db1} + C_{db2} + C_{gd12} + C_w + C_f, \quad (1)$$

όπου C_{db1} είναι η χωρητικότητα περιοχής υποδοχής του τρανζίστορ NMOS, C_{db2} είναι η χωρητικότητα της περιοχής υποδοχής του τρανζίστορ PMOS, C_{gd12} είναι η χωρητικότητα που αφορά την επίδραση των χωρητικότητας επικάλυψης πύλης-υποδοχής των δύο τρανζίστορ, C_w είναι η χωρητικότητα της γραμμής διασύνδεσης μετάλλου στην έξοδο του αντιστροφέα και C_f είναι η συνολική χωρητικότητα που αφορά τις πύλες που οδηγεί ο αντιστροφέας.

Οι χωρητικότητες των περιοχών υποδοχής των δύο τρανζίστορ περιλαμβάνουν τη χωρητικότητα βάσης της περιοχής υποδοχής και τη χωρητικότητα περιφερειακών πλευρών της περιοχής υποδοχής και υπολογίζονται ως εξής:

$$C_{db1} = W_n \cdot L_{Sn} \cdot C_{jn} + (W_n + 2 \cdot L_{Sn}) \cdot C_{jsw_n} = 1 \mu\text{m} \cdot 1.25 \mu\text{m} \cdot 1.2 \text{ fF}/\mu\text{m}^2 + (1 \mu\text{m} + 2 \cdot 1.25 \mu\text{m}) \cdot 0.2 \text{ fF}/\mu\text{m} = 1.5 \text{ fF} + 0.7 \text{ fF} = 2.2 \text{ fF},$$

$$C_{db2} = W_p \cdot L_{Sp} \cdot C_{jp} + (W_p + 2 \cdot L_{Sp}) \cdot C_{jsw_p} = 3 \mu\text{m} \cdot 1.25 \mu\text{m} \cdot 1.2 \text{ fF}/\mu\text{m}^2 + (3 \mu\text{m} + 2 \cdot 1.25 \mu\text{m}) \cdot 0.2 \text{ fF}/\mu\text{m} = 4.5 \text{ fF} + 1.1 \text{ fF} = 5.6 \text{ fF}.$$

Η χωρητικότητα C_{gd12} , που αφορά την επίδραση των χωρητικότητας επικάλυψης πύλης-υποδοχής των δύο τρανζίστορ, υπολογίζεται ως εξής:

$$C_{gd12} = 2 \cdot C_{gdon} \cdot W_n + 2 \cdot C_{gdop} \cdot W_p = 2 \cdot 0.3 \text{ fF}/\mu\text{m} \cdot 1 \mu\text{m} + 2 \cdot 0.3 \text{ fF}/\mu\text{m} \cdot 3 \mu\text{m} = 0.6 \text{ fF} + 1.8 \text{ fF} = 2.4 \text{ fF}.$$

Η χωρητικότητα C_w της γραμμής διασύνδεσης μετάλλου στην έξοδο του αντιστροφέα, υπολογίζεται ως εξής:

$$C_w = (\text{χωρητικότητα γραμμής ανά μονάδα επιφάνειας}) \cdot (\text{επιφάνεια γραμμής}) = 0.3 \text{ fF}/\mu\text{m}^2 \cdot 3 \mu\text{m}^2 = 0.9 \text{ fF}.$$

Αφού υπολογίσαμε τις συνιστώσες της χωρητικότητας εξόδου του αντιστροφέα, τις αντικαθιστούμε στη σχέση (1) μαζί με την συνολική χωρητικότητα που αφορά τις πύλες που οδηγεί ο αντιστροφέας ($C_f = 9.9 \text{ fF}$) και υπολογίζουμε τη ζητούμενη χωρητικότητα εξόδου του αντιστροφέα:

$$C_L = 2.2 \text{ fF} + 5.6 \text{ fF} + 2.4 \text{ fF} + 0.9 \text{ fF} + 9.9 \text{ fF} = 21 \text{ fF}.$$

- β) Η καθυστέρηση διάδοσης του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης, υπολογίζεται χρησιμοποιώντας την ισοδύναμη αντίσταση αγωγής (R_{eqn}) του τρανζίστορ NMOS και δίνεται από την ακόλουθη σχέση:

$$t_{pHL} = \ln(2) \cdot R_{eqn} \cdot C_L = 0.69 \cdot R_{eqn} \cdot C_L. \quad (2)$$

Η χωρητικότητα εξόδου του αντιστροφέα υπολογίστηκε στο ερώτημα (α), ενώ η ισοδύναμη αντίσταση αγωγής του τρανζίστορ NMOS, δίνεται από την ακόλουθη σχέση:

$$R_{eq} \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSAT}} \cdot \left(1 - \frac{5}{6} \cdot \lambda \cdot V_{DD}\right), \quad (3)$$



όπου I_{DSAT} είναι το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για $V_{GS} = V_{DD}$ και $\lambda = 0$, V_{DD} είναι η τάση τροφοδοσίας και λ είναι ο συντελεστής διαμόρφωσης μη-κούς καναλιού του τρανζίστορ NMOS.

Το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για $V_{GS} = V_{DD}$ και $\lambda = 0$, υπολογίζεται ως εξής:

$$I_{DSAT} = k' \cdot \frac{W_n}{L_n} \cdot \left[(V_{DD} - V_T) \cdot V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] = 100 \frac{\mu A}{V^2} \cdot \frac{1 \mu m}{0.5 \mu m} \cdot \left[(2.5 V - 0.4 V) \cdot 0.7 V - \frac{(0.7 V)^2}{2} \right] = .$$
$$= 245 \mu A = 0.245 mA .$$

Αντικαθιστώντας το ρεύμα I_{DSAT} στην (3), υπολογίζουμε την ισοδύναμη αντίσταση του τρανζίστορ NMOS:

$$R_{eq} = \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSAT}} \cdot \left(1 - \frac{5}{6} \cdot \lambda \cdot V_{DD} \right) = \frac{3}{4} \cdot \frac{2.5 V}{0.245 mA} \cdot \left(1 - \frac{5}{6} \cdot 0.1 V^{-1} \cdot 2.5 V \right) = 6.06 k\Omega .$$

Αντικαθιστώντας την ισοδύναμη αντίσταση του τρανζίστορ NMOS και τη χωρητικότητα εξόδου του αντιστροφέα [που υπολογίστηκε στο ερώτημα (α)] στη σχέση (2), υπολογίζουμε τη ζητούμενη καθυστέρηση διάδοσης του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης:

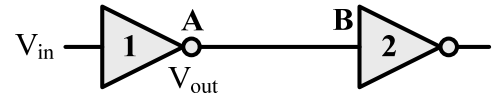
$$t_{pHL} = 0.69 \cdot R_{eqn} \cdot C_L = 0.69 \cdot 6.06 k\Omega \cdot 21 fF = 87.8 \cdot 10^{-12} s = 87.8 ps .$$



7

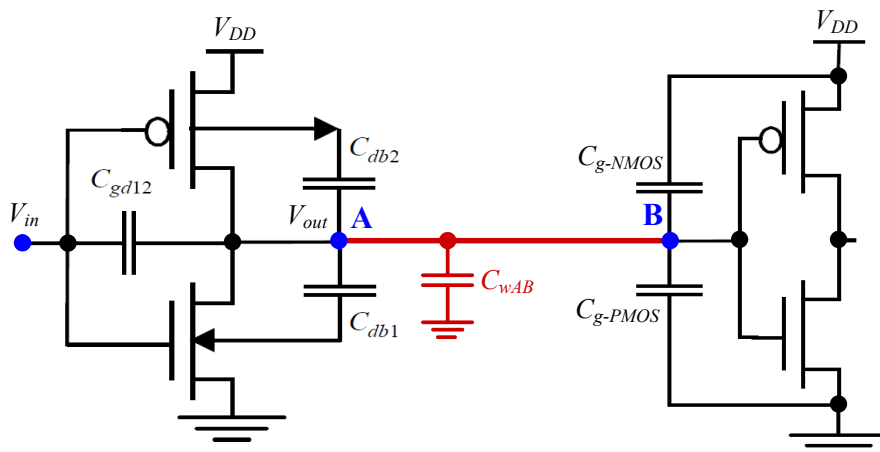
Στο παρακάτω σχήμα δίνεται κύκλωμα που περιλαμβάνει δύο στατικούς αντιστροφείς CMOS (1, 2). Ο αντιστροφέας 1 συνδέεται με τον αντιστροφέα 2 μέσω της γραμμής μετάλλου AB. Η τάση τροφοδοσίας του κυκλώματος είναι $V_{DD} = 2.5 \text{ V}$. Για το τρανζίστορ NMOS του αντιστροφέα 1 δίνονται ο συντελεστής κέρδους $k'_n = 100 \mu\text{A}/\text{V}^2$, η τάση υποδοχής-πηγής στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων $V_{\text{DSATn}} = 0.7 \text{ V}$, η τάση κατωφλίου $V_{\text{Tn}} = 0.4 \text{ V}$ και ο συντελεστής διαμόρφωσης μήκους καναλιού $\lambda_n = 0.1 \text{ V}^{-1}$. Στον αντιστροφέα 1, οι χωρητικότητες των περιοχών υποδοχής των δύο τρανζίστορ για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης είναι $C_{\text{db1}} = 2 \text{ fF}$, $C_{\text{db2}} = 5 \text{ fF}$. Οι διαστάσεις των τρανζίστορ NMOS των δύο αντιστροφέων είναι $W_n = 1 \mu\text{m}$ και $L_n = 0.5 \mu\text{m}$, ενώ οι διαστάσεις των τρανζίστορ PMOS είναι $W_p = 3 \mu\text{m}$ και $L_p = 0.5 \mu\text{m}$. Οι χωρητικότητες επικάλυψης μεταξύ πύλης και υποδοχής και μεταξύ πύλης και πηγής ανά μονάδα πλάτους καναλιού των δύο τρανζίστορ στους δύο αντιστροφείς είναι $C_{\text{gdon}} = C_{\text{gdop}} = C_{\text{gson}} = C_{\text{gsop}} = 0.3 \text{ fF}/\mu\text{m}$ και η χωρητικότητα οξειδίου πύλης ανά μονάδα επιφάνειας των δύο τρανζίστορ στους δύο αντιστροφείς είναι $C_{\text{ox}} = 6 \text{ fF}/\mu\text{m}^2$. Το μήκος της γραμμής διασύνδεσης μετάλλου AB είναι $10 \mu\text{m}$ και το πλάτος της είναι $1 \mu\text{m}$. Η χωρητικότητα μιας γραμμής διασύνδεσης μετάλλου ανά μονάδα επιφάνειας είναι $0.03 \text{ fF}/\mu\text{m}^2$. Θεωρήστε ότι η χωρητικότητα των επαφών διασύνδεσης που χρησιμοποιούνται είναι αμελητέα.

- α) Να υπολογίσετε τη χωρητικότητα εξόδου του αντιστροφέα 1, υποθέτοντας ότι όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα, συγκεντρώνονται σε μία μόνο χωρητικότητα C_L , που συνδέεται μεταξύ της εξόδου του αντιστροφέα και της γείωσης (συγκεντρωτικό μοντέλο).
- β) Να υπολογίσετε την καθυστέρηση διάδοσης του αντιστροφέα 1, για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης.



ΛΥΣΗ

- α) Η χωρητικότητα εξόδου του αντιστροφέα 1 για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης, θεωρώντας ότι όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα, συγκεντρώνονται σε μία μόνο χωρητικότητα C_L , που συνδέεται μεταξύ της εξόδου του αντιστροφέα και της γείωσης (συγκεντρωτικό μοντέλο), έχει ως εξής:



$$C_L = C_{\text{db1}} + C_{\text{db2}} + C_{\text{gd12}} + C_{\text{wAB}} + C_{\text{fanout}}, \quad (1)$$

όπου C_{db1} είναι η χωρητικότητα περιοχής υποδοχής του τρανζίστορ NMOS του αντιστροφέα 1, C_{db2} είναι η χωρητικότητα της περιοχής υποδοχής του τρανζίστορ PMOS του αντιστροφέα 1, C_{gd12} είναι η χωρητικότητα που αφορά την επίδραση των χωρητικοτήτων επικάλυψης πύλης-υποδοχής των δύο τρανζίστορ του αντιστροφέα 1, C_{wAB} είναι η χωρητικότητα της γραμμής διασύνδεσης μετάλλου AB και C_{fanout} είναι η συνολική χωρητικότητα εισόδου του αντιστροφέα 2, που έχει ως εξής:



$$C_{fanout} = C_{g-NMOS} + C_{g-PMOS} \quad (2)$$

Η χωρητικότητα C_{gd12} , που αφορά την επίδραση των χωρητικότητων επικάλυψης πύλης-υποδοχής των δύο τρανζίστορ, υπολογίζεται ως εξής:

$$C_{gd12} = 2 \cdot C_{gdon} \cdot W_n + 2 \cdot C_{gdop} \cdot W_p = 2 \cdot 0.3 \text{ fF}/\mu\text{m} \cdot 1\mu\text{m} + 2 \cdot 0.3 \text{ fF}/\mu\text{m} \cdot 3\mu\text{m} = 0.6 \text{ fF} + 1.8 \text{ fF} = 2.4 \text{ fF} .$$

Η χωρητικότητα C_{wAB} της γραμμής διασύνδεσης μετάλλου AB, υπολογίζεται ως εξής:

$$C_{wAB} = (\text{χωρητικότητα γραμμής ανά μονάδα επιφάνειας}) \cdot (\text{επιφάνεια γραμμής AB}) = \\ 0.3 \text{ fF}/\mu\text{m}^2 \cdot 1\mu\text{m} \cdot 10\mu\text{m} = 3 \text{ fF} .$$

Η χωρητικότητα πύλης του τρανζίστορ NMOS (C_{g-NMOS}) του αντιστροφέα 2, είναι:

$$C_{g-NMOS} = C_{gso} \cdot W_n + C_{gdo} \cdot W_n + W_n \cdot L_n \cdot C_{ox} = \\ = 0.3 \text{ fF}/\mu\text{m} \cdot 1\mu\text{m} + 0.3 \text{ fF}/\mu\text{m} \cdot 1\mu\text{m} + 1\mu\text{m} \cdot 0.5\mu\text{m} \cdot 6 \text{ fF}/\mu\text{m}^2 = 3.6 \text{ fF} .$$

Η χωρητικότητα πύλης του τρανζίστορ PMOS (C_{g-PMOS}) του αντιστροφέα 2, είναι:

$$C_{g-PMOS} = C_{gso} \cdot W_p + C_{gdo} \cdot W_p + W_p \cdot L_p \cdot C_{ox} = \\ = 0.3 \text{ fF}/\mu\text{m} \cdot 3\mu\text{m} + 0.3 \text{ fF}/\mu\text{m} \cdot 3\mu\text{m} + 3\mu\text{m} \cdot 0.5\mu\text{m} \cdot 6 \text{ fF}/\mu\text{m}^2 = 10.8 \text{ fF} .$$

Αφού υπολογίσαμε τις συνιστώσες της χωρητικότητας εξόδου του αντιστροφέα, χρησιμοποιώντας τις σχέσεις (1) και (2), υπολογίζουμε τη ζητούμενη χωρητικότητα εξόδου του αντιστροφέα:

$$C_L = C_{db1} + C_{db2} + C_{gd12} + C_{wAB} + C_{fanout} = C_{db1} + C_{db2} + C_{gd12} + C_{wAB} + C_{w\Gamma\Delta} + C_{g-NMOS} + C_{g-PMOS} = \\ C_L = 2 \text{ fF} + 5 \text{ fF} + 2.4 \text{ fF} + 3 \text{ fF} + 3.6 \text{ fF} + 10.8 \text{ fF} = 26.8 \text{ fF} .$$

- β) Η καθυστέρηση διάδοσης του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης, υπολογίζεται χρησιμοποιώντας την ισοδύναμη αντίσταση αγωγής (R_{eqn}) του τρανζίστορ NMOS και δίνεται από την ακόλουθη σχέση:

$$t_{pHL} = \ln(2) \cdot R_{eqn} \cdot C_L = 0.69 \cdot R_{eqn} \cdot C_L \quad (3)$$

Η χωρητικότητα εξόδου του αντιστροφέα υπολογίστηκε στο ερώτημα (α), ενώ η ισοδύναμη αντίσταση αγωγής του τρανζίστορ NMOS, δίνεται από την ακόλουθη σχέση:

$$R_{eqn} \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSATn}} \cdot \left(1 - \frac{5}{6} \cdot \lambda_n \cdot V_{DD} \right), \quad (4)$$

όπου I_{DSATn} είναι το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για $V_{GSn} = V_{DD}$ και $\lambda_n = 0$, V_{DD} είναι η τάση τροφοδοσίας και λ_n είναι ο συντελεστής διαμόρφωσης μη-κούς καναλιού του τρανζίστορ NMOS.

Το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για $V_{GSn} = V_{DD}$ και $\lambda_n = 0$, υπολογίζεται ως εξής:

$$I_{DSATn} = k'_n \cdot \frac{W_n}{L_n} \cdot \left[(V_{DD} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] = 100 \frac{\mu\text{A}}{\text{V}^2} \cdot \frac{1\mu\text{m}}{0.5\mu\text{m}} \cdot \left[(2.5 \text{ V} - 0.4 \text{ V}) \cdot 0.7 \text{ V} - \frac{(0.7 \text{ V})^2}{2} \right] = \\ = 245 \mu\text{A} = 0.245 \text{ mA} .$$

Αντικαθιστώντας το ρεύμα I_{DSATn} στην (4), υπολογίζουμε την ισοδύναμη αντίσταση του τρανζίστορ NMOS:

$$R_{eqn} = \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSATn}} \cdot \left(1 - \frac{5}{6} \cdot \lambda_n \cdot V_{DD} \right) = \frac{3}{4} \cdot \frac{2.5 \text{ V}}{0.245 \text{ mA}} \cdot \left(1 - \frac{5}{6} \cdot 0.1 \text{ V}^{-1} \cdot 2.5 \text{ V} \right) = 6.06 \text{ k}\Omega .$$

Αντικαθιστώντας την ισοδύναμη αντίσταση του τρανζίστορ NMOS και τη χωρητικότητα εξόδου του αντιστροφέα [που υπολογίστηκε στο ερώτημα (α)] στη σχέση (3), υπολογίζουμε τη ζητούμενη καθυστέρηση διά-



δοσης του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης:

$$t_{pHL} = 0.69 \cdot R_{eqn} \cdot C_L = 0.69 \cdot 6.06 \text{ k}\Omega \cdot 26.8 \text{ fF} = 112.06 \cdot 10^{-12} \text{ s} \approx 112 \text{ ps} .$$



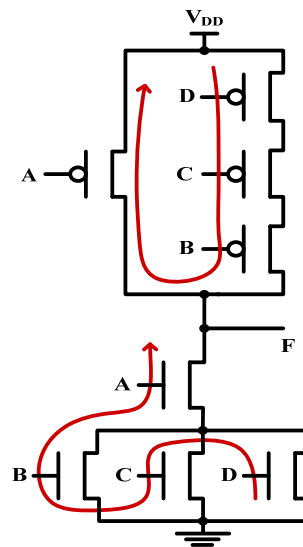
8

Δίνεται η λογική συνάρτηση: $F = [A \cdot (B + C + D)]'$.

- Να σχεδιάσετε το διάγραμμα του κυκλώματος μιας σύνθετης συμπληρωματικής πύλης CMOS σε επίπεδο τρανζίστορ, που να υλοποιεί τη συνάρτηση F.
- Να υποδείξετε μια κοινή διαδρομή Euler στα δικτύωματα PDN και PUN της πύλης που σχεδιάσατε στο ερώτημα (α), εξηγώντας την υπόδειξή σας.
- Με βάση το κυκλωματικό διάγραμμα που σχεδιάσατε στο ερώτημα (α) και τα βασικά στοιχεία που δίνονται στο τέλος του τυπολογίου, να σχεδιάσετε το συμβολικό διάγραμμα του φυσικού σχεδίου της πύλης.

ΛΥΣΗ

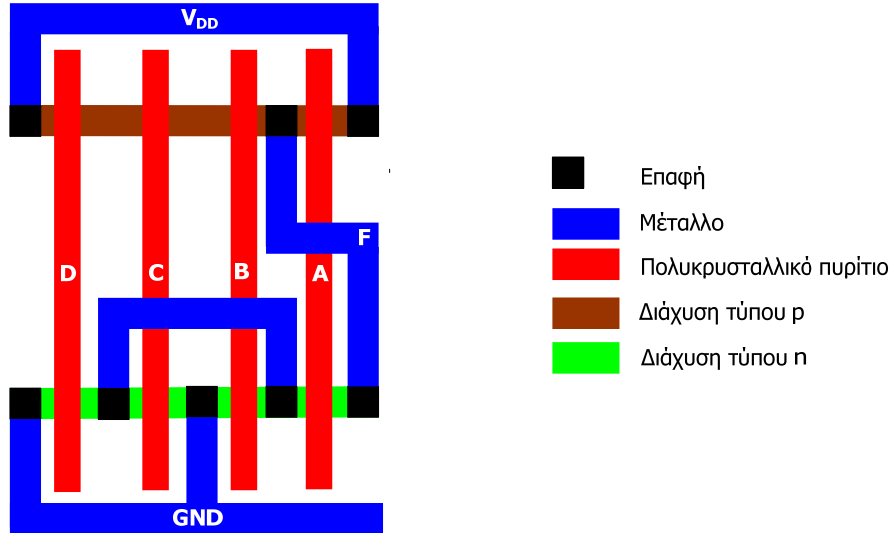
- Το πρώτο βήμα σχεδίασης του κυκλωματικού διαγράμματος της σύνθετης πύλης είναι να σχεδιάσουμε το δίκτυωμα PDN, βασιζόμενοι στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τη συνάρτηση AND και παράλληλα υλοποιούν τη συνάρτηση OR. Το επόμενο βήμα είναι να χρησιμοποιήσουμε την αρχή του δύϊσμού για να παράγουμε το δίκτυωμα PUN, αντικαθιστώντας τα σειριακά τρανζίστορ NMOS του δικτύωματος PDN με παράλληλα τρανζίστορ PMOS και τα παράλληλα τρανζίστορ NMOS του δικτύωματος PDN με σειριακά τρανζίστορ PMOS. Η πύλη CMOS που παράγεται είναι συμπληρωματική, υλοποιώντας το συνολικό συμπλήρωμα που εμφανίζεται στη συνάρτηση F. Με βάση τα παραπάνω, το κυκλωματικό διάγραμμα παρουσιάζεται στο παρακάτω σχήμα.



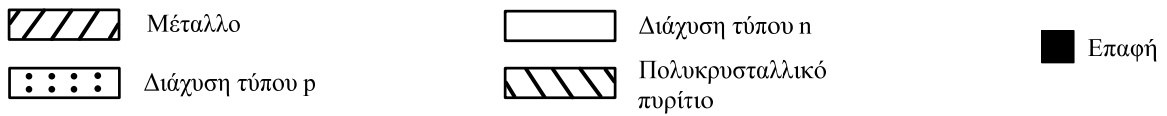
- Μία διαδρομή Euler σε ένα κυκλωματικό διάγραμμα είναι μια διαδρομή που διατρέχει όλα τα τρανζίστορ ενός δικτύωματος (PDN ή PUN), έτσι ώστε κάθε τρανζίστορ να διατρέχεται μόνο μία φορά. Ο προσδιορισμός μίας τέτοιας διαδρομής είναι σημαντικός, αφού η τοποθέτηση των εισόδων σε μία σειρά που οδηγεί σε μη διακοπτόμενη λωρίδα διάχυσης για τα τρανζίστορ ενός τύπου, είναι δυνατή μόνο όταν υπάρχει μία διαδρομή Euler στον κυκλωματικό διάγραμμα του αντίστοιχου δικτύωματος. Οι διαδρομές Euler δεν είναι μοναδικές. Η ακολουθία των εισόδων σε διαδρομή Euler είναι όμοια με τη σειρά τοποθέτησης των εισόδων στο φυσικό σχέδιο της πύλης. Για να επιτύχουμε την ίδια σειρά τοποθέτησης και στα δύο δικτύωματα (PDN και PUN), πράγμα απαραίτητο αφού πρόκειται να χρησιμοποιήσουμε μία και μόνο κατακόρυφη λωρίδα πολυκρυσταλλικού πυριτίου για κάθε είσοδο της λογικής πύλης, πρέπει να συμφωνούν οι διαδρομές Euler των δύο λογικών γραφημάτων, που σημαίνει ότι πρέπει να διατρέχουν την ίδια ακολουθία εισόδων. Μια κοινή διαδρομή Euler στην πύλη που σχεδιάστηκε είναι η DCBA, που υποδεικνύεται στο παραπάνω σχήμα.
- Για να σχεδιάσουμε το συμβολικό διάγραμμα του φυσικού σχεδίου της πύλης, τοποθετούμε τις κατακόρυφες λωρίδες πολυκρυσταλλικού πυριτίου με βάση την ακολουθία εισόδων της κοινής διαδρομής Euler. Χρησιμοποιούμε δύο οριζόντιες λωρίδες από μέταλλο: γείωση στο κάτω άκρο του διαγράμματος και τροφοδοσία στην κορυφή. Στη συνέχεια, σχεδιάζονται δύο οριζόντιες λωρίδες: διάχυση τύπου n κοντά στη



λωρίδα της γείωσης και διάχυση τύπου p κοντά στη λωρίδα της τροφοδοσίας. Τέλος, χρησιμοποιώντας επαφές, διενεργούμε τις κατάλληλες μεταλλικές συνδέσεις, ανάλογα με τον τρόπο που είναι συνδεδεμένα τα τρανζίστορ στα δύο δικτυώματα. Το ζητούμενο συμβολικό διάγραμμα παρουσιάζεται στο παρακάτω σχήμα:



Με βάση το τυπολόγιο, τα αντίστοιχα βασικά στοιχεία, με τα οποία θα πρέπει να έχετε σχεδιάσει το παραπάνω έγχρωμο συμβολικό διάγραμμα είναι τα ακόλουθα:

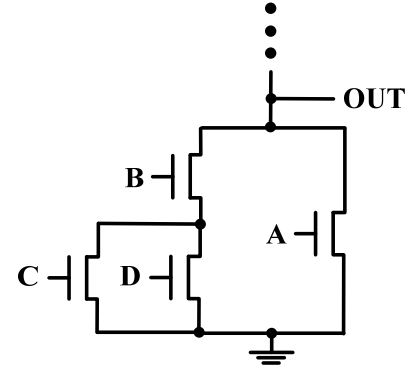




9

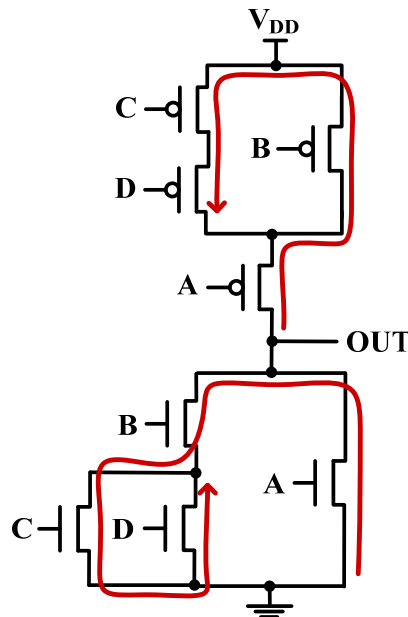
Στο σχήμα που ακολουθεί δίνεται το δικτύωμα κάτω-οδήγησης (PDN) μιας σύνθετης στατικής πύλης συμπληρωματικής λογικής CMOS με 4 εισόδους A, B, C, D και έξοδο OUT.

- Να σχεδιάσετε το πλήρες κυκλωματικό διάγραμμα σε επίπεδο τρανζίστορ της σύνθετης πύλης.
- Να εξάγετε τη λογική συνάρτηση της εξόδου (OUT) της πύλης, εξηγώντας σύντομα την απάντησή σας.
- Να υποδείξετε μια κοινή (συνεπή) διαδρομή Euler στα δικτύωμα PDN και PUN της σύνθετης πύλης που σχεδιάσατε στο ερώτημα (α), εξηγώντας σύντομα την υπόδειξή σας.
- Με βάση το κυκλωματικό διάγραμμα που σχεδιάσατε στο ερώτημα (α) και μόνο τα βασικά στοιχεία που δίνονται στο τέλος του τυπολογίου, να σχεδιάσετε το συμβολικό διάγραμμα του φυσικού σχεδίου της πύλης.



ΛΥΣΗ

- Σε μια στατική συμπληρωματική πύλη CMOS, τα δικτύωμα PUN και PDN είναι δυικά, δηλαδή σειριακή σύνδεση τρανζίστορ στο ένα δικτύωμα αντιστοιχεί σε παράλληλη σύνδεση τρανζίστορ στο άλλο δικτύωμα. Αφού λοιπόν δίνεται το δικτύωμα PDN, για να σχεδιάσουμε το δικτύωμα PUN αντικαθιστούμε τα σειριακά τρανζίστορ NMOS με παράλληλα τρανζίστορ PMOS και τα παράλληλα τρανζίστορ NMOS με σειριακά τρανζίστορ PMOS, διατηρώντας τις αντίστοιχες εισόδους. Με βάση τα παραπάνω, το πλήρες κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ, παρουσιάζεται στο παρακάτω σχήμα.



- Για την εξαγωγή της λογικής συνάρτησης της εξόδου της σύνθετης πύλης, λαμβάνουμε υπόψη τα ακόλουθα.
Τρανζίστορ NMOS συνδεδεμένα σε σειρά αντιστοιχούν σε συνάρτηση AND, αφού όταν όλες οι εισόδους είναι σε υψηλή στάθμη, η σειριακή διάταξη άγει και η τιμή από το ένα άκρο της διάταξης μεταφέρεται στο άλλο, ενώ τρανζίστορ NMOS συνδεδεμένα παράλληλα αντιστοιχούν σε συνάρτηση OR, αφού υπάρχει μία αγωγική διαδρομή μεταξύ των ακροδεκτών εισόδου και εξόδου εάν τουλάχιστον μία από τις εισόδους είναι σε υψηλή στάθμη.

Επίσης, μια σειριακή διάταξη με δύο τρανζίστορ PMOS άγει εάν και οι δυο εισόδους είναι σε χαμηλή στάθμη, υλοποιώντας συνάρτηση NOR, ενώ δυο τρανζίστορ PMOS συνδεδεμένα παράλληλα υλοποιούν συνάρτηση NAND. Με βάση το θεώρημα De Morgan, προκύπτει ότι τα δικτύωμα PUN και PDN είναι δυικά, δηλαδή



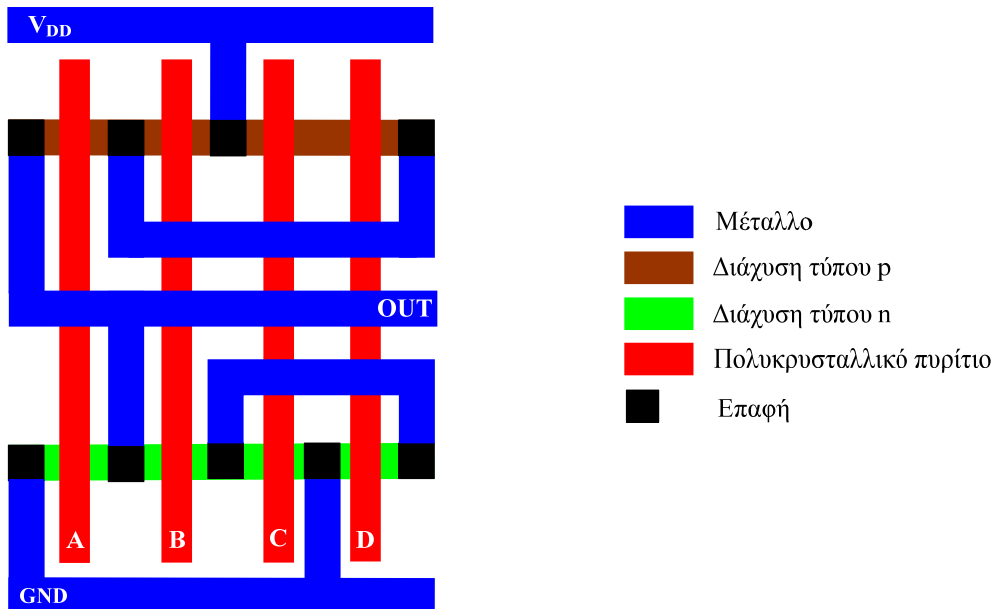
παράλληλη σύνδεση τρανζίστορ στο PUN αντιστοιχεί σε σειριακή σύνδεση από αντίστοιχα τρανζίστορ στο PDN και αντιστρόφως.

Τέλος, λαμβάνουμε υπόψη ότι οι στατικές πύλες συμπληρωματικής λογικής είναι από τη φύση τους (λόγω του τρόπου σχεδιασμού τους) αντιστρέφουσες, δηλαδή υλοποιούν συμπληρωματικές λογικές συναρτήσεις.

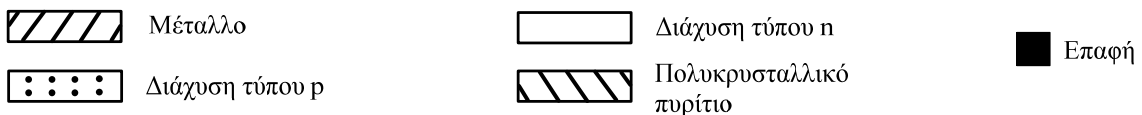
Με βάση τα παραπάνω, η λογική συνάρτηση της εξόδου OUT της σύνθετης πύλης, έχει ως εξής:

$$OUT = [A + B \cdot (C + D)]'$$

- γ) Μία διαδρομή Euler σε ένα κυκλωματικό διάγραμμα είναι μια διαδρομή που διατρέχει όλα τα τρανζίστορ ενός δικτύματος (PDN ή PUN), έτσι ώστε κάθε τρανζίστορ να διατρέχεται μόνο μία φορά. Ο προσδιορισμός μίας τέτοιας διαδρομής είναι σημαντικός, αφού η τοποθέτηση των εισόδων σε μία σειρά που οδηγεί σε μη διακοπτόμενη λωρίδα διάχυσης για τα τρανζίστορ ενός τύπου, είναι δυνατή μόνο όταν υπάρχει μία διαδρομή Euler στον κυκλωματικό διάγραμμα του αντίστοιχου δικτύματος. Οι διαδρομές Euler δεν είναι μοναδικές. Η ακολουθία των εισόδων σε διαδρομή Euler είναι όμοια με τη σειρά τοποθέτησης των εισόδων στο φυσικό σχέδιο της πύλης. Για να επιτύχουμε την ίδια σειρά τοποθέτησης και στα δύο δικτύματα (PDN και PUN), πράγμα απαραίτητο αφού πρόκειται να χρησιμοποιήσουμε μία και μόνο κατακόρυφη λωρίδα πολυκρυσταλλικού πυριτίου για κάθε είσοδο της λογικής πύλης, πρέπει να συμφωνούν οι διαδρομές Euler των δύο λογικών γραφημάτων, που σημαίνει ότι πρέπει να διατρέχουν την ίδια ακολουθία εισόδων. Μια κοινή (συνεπής) διαδρομή Euler στη σύνθετη πύλη που σχεδιάστηκε στο ερώτημα (α), είναι η **διαδρομή ABCD**, που υποδεικνύεται στο κυκλωματικό διάγραμμα που σχεδιάστηκε την απάντηση του ερωτήματος (α).
- δ) Για να σχεδιάσουμε το συμβολικό διάγραμμα του φυσικού σχεδίου της πύλης, τοποθετούμε τις κατακόρυφες λωρίδες πολυκρυσταλλικού πυριτίου με βάση την ακολουθία εισόδων της κοινής διαδρομής Euler. Χρησιμοποιούμε δύο οριζόντιες λωρίδες από μέταλλο: γείωση στο κάτω άκρο του διαγράμματος και τροφοδοσία στην κορυφή. Στη συνέχεια, σχεδιάζονται δύο οριζόντιες λωρίδες: διάχυση τύπου n κοντά στη λωρίδα της γείωσης και διάχυση τύπου p κοντά στη λωρίδα της τροφοδοσίας. Τέλος, χρησιμοποιώντας επαφές, διενεργούμε τις κατάλληλες μεταλλικές συνδέσεις, ανάλογα με τον τρόπο που είναι συνδεδεμένα τα τρανζίστορ στα δύο δικτύματα. Το ζητούμενο συμβολικό διάγραμμα παρουσιάζεται στο παρακάτω σχήμα:



Με βάση το τυπολόγιο, τα αντίστοιχα βασικά στοιχεία, με τα οποία θα έπρεπε να σχεδιάσετε το παραπάνω έγχρωμο συμβολικό διάγραμμα είναι τα ακόλουθα:

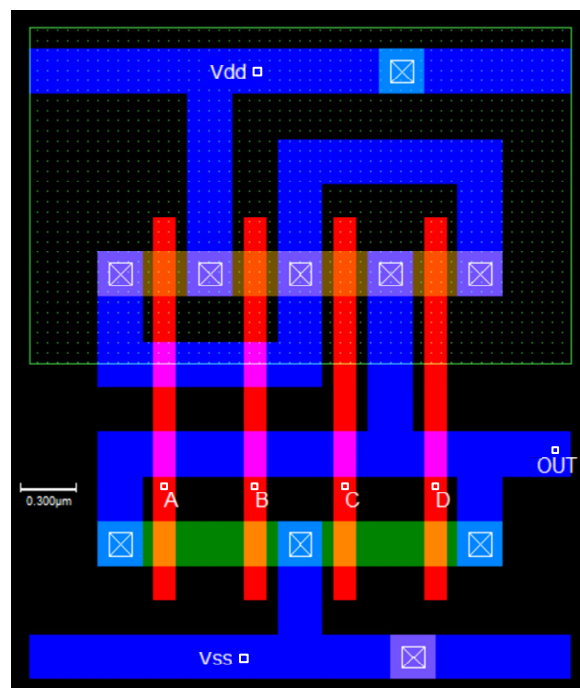




10

Στο σχήμα που ακολουθεί παρουσιάζεται το φυσικό σχέδιο μιας σύνθετης στατικής πύλης συμπληρωματικής λογικής CMOS με 4 εισόδους (A, B, C, D) και έξοδο OUT.

- α) Να αναφέρετε με σαφήνεια:
- την αντιστοιχία των ορθογώνιων πλαισίων (λωρίδων) κάθε χρώματος με τις στρώσεις (layers) των διάφορων υλικών που χρησιμοποιούνται κατά τη φυσική σχεδίαση της πύλης.
 - τον τρόπο με τον οποίο δημιουργούνται τα τρανζίστορ NMOS και PMOS κατά τη φυσική σχεδίαση της πύλης, καθώς και το ρόλο όλων των επαφών που χρησιμοποιούνται στο εν λόγω φυσικό σχέδιο.
- β) Να σχεδιάσετε το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ.
- γ) Να εξάγετε τη λογική συνάρτηση της εξόδου (OUT) της πύλης, εξηγώντας σύντομα την απάντησή σας.



ΛΥΣΗ

- α) Η αντιστοιχία των ορθογώνιων πλαισίων (λωρίδων) κάθε χρώματος με τις στρώσεις (layers) των διάφορων υλικών που χρησιμοποιούνται κατά τη φυσική σχεδίαση της πύλης, έχει ως εξής:

πλαίσια μπλε χρώματος → στρώσεις μετάλλου (metal 1 layer)

πλαίσιο πράσινου χρώματος → στρώση διάχυσης τύπου n (n diffusion layer)

πλαίσιο καφέ χρώματος → στρώση διάχυσης τύπου p (p diffusion layer)

πλαίσια κόκκινου χρώματος → στρώσεις πολυκρυσταλλικού πυριτίου (polysilicon layer)

πλαίσιο πράσινου χρώματος με τελείες → πηγάδι τύπου n (n well)

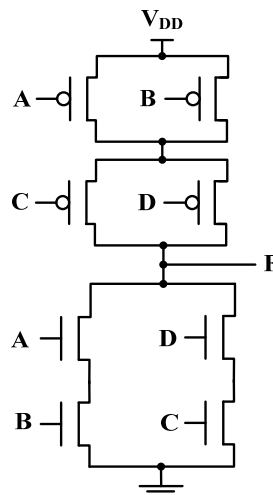
Τα τρανζίστορ NMOS και PMOS κατά τη φυσική σχεδίαση της πύλης, δημιουργούνται όταν τέμνεται μια στρώση διάχυσης τύπου n με μια στρώση πολυκρυσταλλικού πυριτίου (τρανζίστορ NMOS) ή όταν τέμνεται μια στρώση διάχυσης τύπου p με μια στρώση πολυκρυσταλλικού πυριτίου (τρανζίστορ PMOS). Όσον αφορά το ρόλο των επαφών που χρησιμοποιούνται στο φυσικό σχέδιο, οι επαφές που είναι τοποθετημένες στις περιοχές πηγής ή υποδοχής των τρανζίστορ, διασυνδέουν τις στρώσεις διάχυσης με τις στρώσεις μετάλλου, έτσι ώστε να υλοποιούνται οι διασυνδέσεις μεταξύ των τρανζίστορ της πύλης, ανάλογα με τη λειτουργικότητά της πύλης. Ο ρόλος της επαφής που είναι τοποθετημένη στη λωρίδα μετάλλου της τροφοδοσίας (Vdd) είναι η πόλωση του πηγαδιού τύπου n σε τάση V_{DD} , ενώ ο ρόλος της επαφής που είναι τοποθετημένη στη λωρίδα μετάλλου της γείωσης (Vss) είναι η γείωση του υποστρώματος τύπου p (p substrate, bulk).



- β) Παρατηρώντας τις διασυνδέσεις των τρανζίστορ NMOS στο φυσικό σχέδιο της σύνθετης πύλης, διαπιστώνουμε ότι τα τρανζίστορ, στις πύλες πολυκρυσταλλικού πυριτίου των οποίων τίθενται οι εισόδοι A και B, είναι συνδεδεμένα σε σειρά (έχουν μία κοινή περιοχή διάχυσης) και ότι για τα τρανζίστορ, στις πύλες πολυκρυσταλλικού πυριτίου των οποίων τίθενται οι εισόδοι C και D, ισχύει το ίδιο. Διαπιστώνουμε επίσης ότι, η μη κοινή περιοχή διάχυσης του τρανζίστορ, στην πύλη του οποίου τίθεται η είσοδος B και η μη κοινή περιοχή διάχυσης του τρανζίστορ, στην πύλη του οποίου τίθεται η είσοδος C, συνδέονται μέσω στρώσης μετάλλου στην στρώση μετάλλου της γείωσης. Τέλος, η μη κοινή περιοχή διάχυσης του τρανζίστορ, στην πύλη του οποίου τίθεται η είσοδος A, συνδέεται μέσω στρώσης γραμμής μετάλλου με τη μη κοινή περιοχή διάχυσης του τρανζίστορ, στην πύλη του οποίου τίθεται η είσοδος D και η εν λόγω σύνδεση οδηγείται μέσω στρώσης μετάλλου στην έξοδο της σύνθετης πύλης. Προκύπτει λοιπόν ότι τα δύο ζεύγη σειριακά συνδεδεμένων τρανζίστορ NMOS είναι συνδεδεμένα μεταξύ τους παράλληλα, με το ένα άκρο τους να συνδέεται στη γείωση και το άλλο να οδηγείται στην έξοδο της σύνθετης πύλης.

Όσον αφορά το δικτύωμα των τρανζίστορ PMOS, με παρόμοιο τρόπο προκύπτει ότι είναι δυϊκό του δικτύωματος των τρανζίστορ PMOS, δηλαδή υπάρχει εναλλαγή σειριακών και παράλληλων συνδέσεων των τρανζίστορ στα δύο δικτύωματα, με τις σειριακές συνδέσεις στο δικτύωμα των τρανζίστορ NMOS να γίνονται παράλληλες στο δικτύωμα των τρανζίστορ PMOS και τις παράλληλες συνδέσεις στο δικτύωμα των τρανζίστορ NMOS να γίνονται σειριακές στο δικτύωμα των τρανζίστορ PMOS.

Με βάση τις παραπάνω διαπιστώσεις, το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ, παρουσιάζεται στο σχήμα που ακολουθεί.



- γ) Για την εξαγωγή της λογικής συνάρτησης της εξόδου της σύνθετης πύλης, λαμβάνουμε υπόψη τα ακόλουθα.

Τρανζίστορ NMOS συνδεδεμένα σε σειρά αντιστοιχούν σε συνάρτηση AND, αφού όταν όλες οι εισόδοι είναι σε υψηλή στάθμη, η σειριακή διάταξη άγει και η τιμή από το ένα άκρο της διάταξης μεταφέρεται στο άλλο, ενώ τρανζίστορ NMOS συνδεδεμένα παράλληλα αντιστοιχούν σε συνάρτηση OR, αφού υπάρχει μία αγωγίμη διαδρομή μεταξύ των ακροδεκτών εισόδου και εξόδου εάν τουλάχιστον μία από τις εισόδους είναι σε υψηλή στάθμη. Τέλος, λαμβάνουμε υπόψη ότι οι στατικές πύλες συμπληρωματικής λογικής είναι από τη φύση τους (λόγω του τρόπου σχεδιασμού τους) αντιστρέφουσες, δηλαδή υλοποιούν συμπληρωματικές λογικές συναρτήσεις.

Με βάση τα παραπάνω, η λογική συνάρτηση της εξόδου OUT της σύνθετης πύλης, έχει ως εξής:

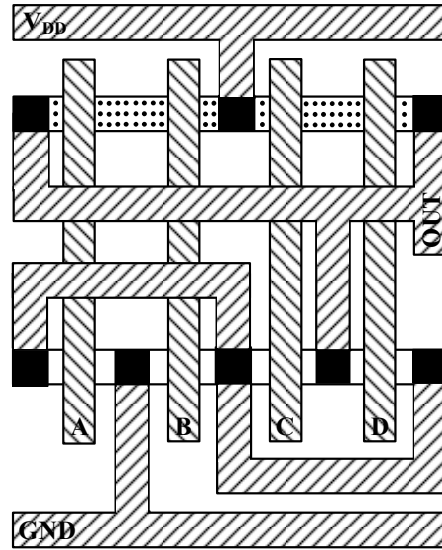
$$\text{OUT} = (A \cdot B + C \cdot D)'$$



11

Στο διπλανό σχήμα παρουσιάζεται το συμβολικό διάγραμμα του φυσικού σχεδίου σύνθετης στατικής πύλης συμπληρωματικής λογικής CMOS με 4 εισόδους (A, B, C, D) και έξοδο OUT.

- Να σχεδιάσετε το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ.
- Να εξάγετε τη λογική συνάρτηση της εξόδου (OUT) της πύλης, εξηγώντας σύντομα την απάντησή σας.
- Να σχεδιάσετε το λογικό διάγραμμα της σύνθετης πύλης, χρησιμοποιώντας σύμβολα λογικών πυλών με 2 εισόδους.



ΛΥΣΗ

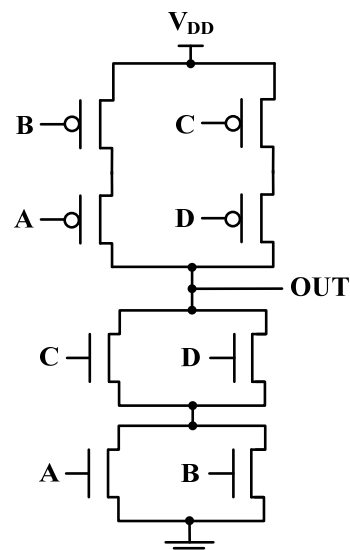
- Παρατηρώντας τις διασυνδέσεις των τρανζίστορ PMOS στο φυσικό σχέδιο της σύνθετης πύλης, διαπιστώνουμε ότι τα τρανζίστορ, στις πύλες πολυκρυσταλλικού πυριτίου των οποίων τίθενται οι εισοδοί A και B, είναι συνδεδεμένα σε σειρά (έχουν μία κοινή περιοχή διάχυσης) και ότι για τα τρανζίστορ, στις πύλες πολυκρυσταλλικού πυριτίου των οποίων τίθενται οι εισοδοί C και D, ισχύει το ίδιο. Διαπιστώνουμε επίσης ότι, η μη κοινή περιοχή διάχυσης του τρανζίστορ PMOS, στην πύλη του οποίου τίθεται η είσοδος B και η μη κοινή περιοχή διάχυσης του τρανζίστορ PMOS, στην πύλη του οποίου τίθεται η είσοδος C, συνδέονται μέσω στρώσης μετάλλου στην στρώση μετάλλου της τάσης τροφοδοσίας (V_{DD}).

Τέλος, η μη κοινή περιοχή διάχυσης του τρανζίστορ PMOS, στην πύλη του οποίου τίθεται η είσοδος A, συνδέεται μέσω στρώσης γραμμής μετάλλου με τη μη κοινή περιοχή διάχυσης του τρανζίστορ PMOS, στην πύλη του οποίου τίθεται η είσοδος D και η εν λόγω σύνδεση οδηγείται μέσω στρώσης μετάλλου στην έξοδο της σύνθετης πύλης.

Προκύπτει λοιπόν ότι τα δύο ζεύγη σειριακά συνδεδεμένων τρανζίστορ PMOS είναι συνδεδεμένα μεταξύ τους παράλληλα, με το ένα άκρο τους να συνδέεται στην τάση τροφοδοσίας και το άλλο να οδηγείται στην έξοδο της σύνθετης πύλης.

Όσον αφορά το δικτύωμα των τρανζίστορ NMOS, με παρόμοιο τρόπο προκύπτει ότι είναι δυϊκό του δικτύωματος των τρανζίστορ NMOS, δηλαδή υπάρχει εναλλαγή σειριακών και παράλληλων συνδέσεων των τρανζίστορ στα δύο δικτύωματα, με τις σειριακές συνδέσεις στο δικτύωμα των τρανζίστορ PMOS να γίνονται παράλληλες στο δικτύωμα των τρανζίστορ NMOS και τις παράλληλες συνδέσεις στο δικτύωμα των τρανζίστορ PMOS να γίνονται σειριακές στο δικτύωμα των τρανζίστορ NMOS.

Με βάση τις παραπάνω διαπιστώσεις, το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ, παρουσιάζεται στο διπλανό σχήμα.



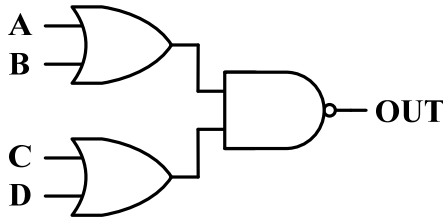


- β) Για την εξαγωγή της λογικής συνάρτησης της εξόδου της σύνθετης πύλης, λαμβάνουμε υπόψη ότι τρανζίστορ NMOS συνδεδεμένα σε σειρά αντιστοιχούν σε συνάρτηση AND, αφού όταν όλες οι εισόδου είναι σε υψηλή στάθμη, η σειριακή διάταξη άγει και η τιμή από το ένα άκρο της διάταξης μεταφέρεται στο άλλο, ενώ τρανζίστορ NMOS συνδεδεμένα παράλληλα αντιστοιχούν σε συνάρτηση OR, αφού υπάρχει μία αγωγή διαδρομή μεταξύ των ακροδεκτών εισόδου και εξόδου εάν τουλάχιστον μία από τις εισόδους είναι σε υψηλή στάθμη. Τέλος, λαμβάνουμε υπόψη ότι οι στατικές πύλες συμπληρωματικής λογικής είναι από τη φύση τους (λόγω του τρόπου σχεδιασμού τους) αντιστρέφουσες, δηλαδή υλο-ποιούν συμπληρωματικές λογικές συναρτήσεις.

Με βάση τα παραπάνω, η λογική συνάρτηση της εξόδου OUT της σύνθετης πύλης, έχει ως εξής:

$$\text{OUT} = [(A + B) \cdot (C + D)]'$$

- γ) Με βάση τη λογική συνάρτηση που προέκυψε στην απάντηση του ερωτήματος (β), το ζητούμενο λογικό διάγραμμα που παρουσιάζεται στο παρακάτω σχήμα, αποτελείται από δύο πύλες OR δύο εισόδων και μία πύλη NAND δύο εισόδων.



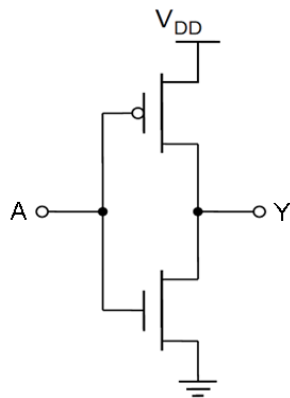


12

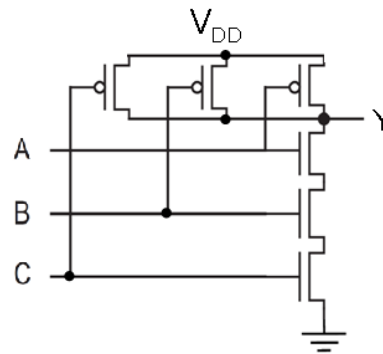
- α) Να σχεδιάσετε τα κυκλωματικά διαγράμματα σε επίπεδο τρανζίστορ ενός αντιστροφέα και μιας πύλης NAND με 3 εισόδους, χρησιμοποιώντας τη στατική συμπληρωματική λογική CMOS.
- β) Εάν τα πλάτη καναλιού των τρανζίστορ του αντιστροφέα είναι $W_{NMOS} = 2 \mu\text{m}$ και $W_{PMOS} = 6 \mu\text{m}$, να καθορίσετε (εξηγώντας σύντομα την απάντησή σας) τα πλάτη καναλιού των τρανζίστορ της πύλης NAND, έτσι ώστε αυτή να έχει περίπου την ίδια καθυστέρηση (για μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη και από υψηλή σε χαμηλή στάθμη) με τον αντιστροφέα. Δίνεται ότι, το μήκος καναλιού όλων των τρανζίστορ των δύο πυλών είναι $0.5 \mu\text{m}$.

ΛΥΣΗ

- α) Ο αντιστροφέας CMOS αποτελείται από ένα τρανζίστορ NMOS (pull-down) και ένα τρανζίστορ PMOS (pull-up). Το δικτύωμα PDN της πύλης NAND 3 εισόδων, αποτελείται από 3 τρανζίστορ NMOS σε σειρά, τα οποία άγουν όταν και οι 3 εισόδοι είναι σε υψηλή στάθμη. Το δικτύωμα PUN της πύλης είναι το δυϊκό δικτύωμα του PDN (δηλαδή, 3 παράλληλα συνδεδεμένα τρανζίστορ PMOS). Τα ζητούμενα κυκλωματικά διαγράμματα έχουν ως εξής:



Αντιστροφέας CMOS



Πύλη NAND 3 εισόδων

- β) Για να καθορίσουμε τις διαστάσεις των τρανζίστορ της πύλης NAND 3 εισόδων, έτσι ώστε να έχει περίπου την ίδια καθυστέρηση με έναν αντιστροφέα CMOS ($W_{NMOS} = 2 \mu\text{m}$ και $W_{PMOS} = 6 \mu\text{m}$, επειδή η διαδρομή PU (δηλαδή η διαδρομή μεταξύ εξόδου και τροφοδοσίας) στη χειρότερη περίπτωση περιλαμβάνει ένα τρανζίστορ, τα PMOS τρανζίστορ μπορούν να έχουν το ίδιο πλάτος με το πλάτος του PMOS τρανζίστορ του αντιστροφέα (δηλαδή, $6 \mu\text{m}$).

Για να οδηγηθεί η έξοδος σε χαμηλή στάθμη (γείωση), πρέπει να άγουν και τα 3 τρανζίστορ NMOS και αφού οι αντιστάσεις σε σειρά προστίθενται, τα πλάτη τους πρέπει να τριπλασιαστούν συγκρινόμενα με το πλάτος του τρανζίστορ NMOS του αντιστροφέα και να είναι $6 \mu\text{m}$.

Επομένως, όλα τα τρανζίστορ της πύλης NAND θα πρέπει να έχουν πλάτος καναλιού ίσο με $6 \mu\text{m}$.

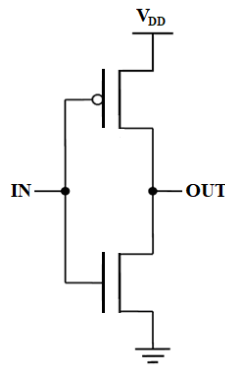


13

- α) Να σχεδιάσετε τα κυκλωματικά διαγράμματα σε επίπεδο τρανζίστορ ενός αντιστροφέα, καθώς και μιας σύνθετης πύλης που υλοποιεί τη λογική συνάρτηση $F = [B \cdot (C + D + A)]'$, χρησιμοποιώντας τη στατική συμπληρωματική λογική CMOS.
- β) Εάν τα πλάτη καναλιού των τρανζίστορ του αντιστροφέα είναι $W_{NMOS} = 1.5 \mu m$ και $W_{PMOS} = 4 \mu m$, να καθορίσετε τα πλάτη καναλιού των τρανζίστορ της σύνθετης πύλης, έτσι ώστε αυτή να έχει στη χειρότερη περίπτωση την ίδια καθυστέρηση (για μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη και από υψηλή σε χαμηλή στάθμη) με τον αντιστροφέα. Δίνεται ότι, το μήκος καναλιού όλων των τρανζίστορ των δύο πυλών είναι $0.5 \mu m$. Να εξηγήσετε σύντομα την απάντησή σας.

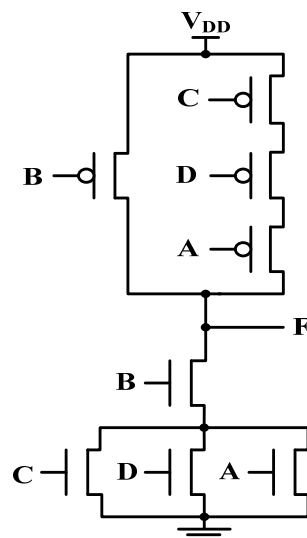
ΛΥΣΗ

- α) Ο αντιστροφέας CMOS αποτελείται από ένα τρανζίστορ NMOS (pull-down) και ένα τρανζίστορ PMOS (pull-up) και το ζητούμενο κυκλωματικό του διάγραμμα, έχει ως εξής:



Το πρώτο βήμα σχεδίασης του κυκλωματικού διαγράμματος της σύνθετης πύλης είναι να σχεδιάσουμε το δικτύωμα PDN, βασιζόμενοι στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τη συνάρτηση AND και παράλληλα υλοποιούν τη συνάρτηση OR. Το επόμενο βήμα είναι να χρησιμοποιήσουμε την αρχή του δυϊσμού για να παράγουμε το δικτύωμα PUN, αντικαθιστώντας τα σειριακά τρανζίστορ NMOS του δικτύωματος PDN με παράλληλα τρανζίστορ PMOS και τα παράλληλα τρανζίστορ NMOS του δικτύωματος PDN με σειριακά τρανζίστορ PMOS.

Η πύλη που παράγεται είναι συμπληρωματική, υλοποιώντας το συνολικό συμπλήρωμα που εμφανίζεται στη συνάρτηση F . Με βάση τα παραπάνω, το ζητούμενο κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ, παρουσιάζεται στο παρακάτω σχήμα.



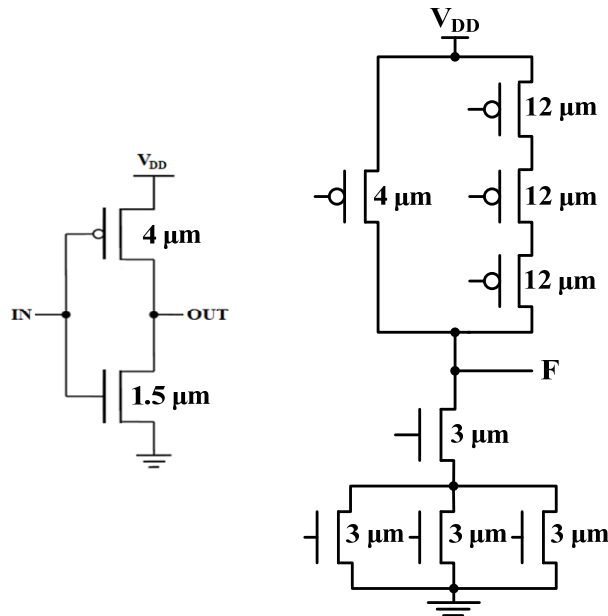


- β) Για να παρουσιάζει η σύνθετη πύλη, που απεικονίζεται στο παραπάνω κυκλωματικό διάγραμμα, την ίδια καθυστέρηση με έναν αντιστροφέα CMOS, θα πρέπει τα τρανζίστορ των διαδρομών μεταξύ εξόδου και τροφοδοσίας και των διαδρομών μεταξύ εξόδου και γείωσης της σύνθετης πύλης, να έχουν την ίδια αντίσταση αγωγής με τις αντίστοιχες διαδρομές του αντιστροφέα.

Στις σύνθετες πύλες, τα πιο κρίσιμα τρανζίστορ κατά τον καθορισμό του πλάτους καναλιού, είναι εκείνα που είναι συνδεδεμένα σε σειρά. Όταν N τρανζίστορ είναι συνδεδεμένα σε σειρά και επιθυμούμε να αποκτήσουν την ίδια αντίσταση αγωγής με εκείνη ενός απλού τρανζίστορ, τότε το πλάτος καθενός από τα σειριακά τρανζίστορ προκύπτει εάν πολλαπλασιάσουμε το πλάτος του απλού τρανζίστορ με το πλήθος N .

Τα πλάτος των τρανζίστορ που είναι συνδεδεμένα παράλληλα τίθεται ίσο με εκείνο του απλού τρανζίστορ, αφού η μέγιστη αντίστασή αγωγής των παράλληλα συνδεδεμένων τρανζίστορ (χειρότερη περίπτωση καθυστέρησης) είναι ίση με την αντίσταση του καθενός από αυτά.

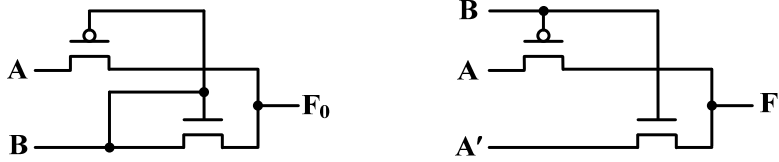
Με βάση τα παραπάνω, τα ζητούμενα πλάτη καναλιού των τρανζίστορ της σύνθετης πύλης, υποδεικνύονται στο παρακάτω κυκλωματικό διάγραμμα της σύνθετης πύλης.



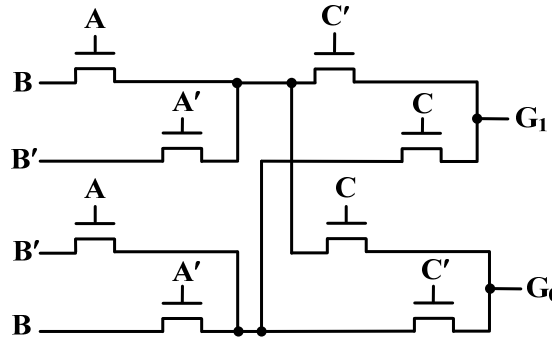


14

- α) Να προσδιορίσετε τις λογικές συναρτήσεις εξόδου F_0 και F_1 των κυκλωμάτων του παρακάτω σχήματος, εξηγώντας την απάντησή σας.



- β) Να προσδιορίσετε τις λογικές συναρτήσεις εξόδου G_0 και G_1 του κυκλώματος του παρακάτω σχήματος, εξηγώντας την απάντησή σας.



- γ) Εάν η χαμηλή στάθμη τάσης (λογικό 0) είναι 0 V, η υψηλή στάθμη τάσης (λογικό 1) είναι 1.8 V και η τάση κατωφλίου του τρανζίστορ NMOS είναι 0.3 V, να υπολογίσετε την τάση εξόδου του κυκλώματος του ερωτήματος (β), για κάθε συνδυασμό λογικών τιμών των εισόδων A, B και C. Να εντοπίσετε (εάν υπάρχουν) τους συνδυασμούς λογικών τιμών των εισόδων, για τους οποίους η τάση εξόδου του κυκλώματος δε λαμβάνει τιμή ίση με μία από τις δύο στάθμες τάσης;
- δ) Για το κύκλωμα του ερωτήματος (β), εάν εντοπίσατε συνδυασμούς λογικών τιμών των εισόδων, για τους οποίους η τάση εξόδου του κυκλώματος δεν λαμβάνει τιμή ίση με μία από τις δύο στάθμες τάσης, να προτείνετε τις λιγότερες δυνατές προσθήκες στο κύκλωμα, ώστε να μη συμβαίνει αυτό. Από τις προσθήκες δε πρέπει να επηρεάζεται η ορθή λογική λειτουργία του κυκλώματος.

ΛΥΣΗ

- α) Στα δύο κυκλώματα χρησιμοποιείται λογική τρανζίστορ-διέλευσης (pass transistor logic), η οποία στοχεύει στη μείωση του πλήθους των τρανζίστορ, επιτρέποντας στις εισόδους που αντιστοιχούν στις μεταβλητές μιας λογικής συνάρτησης, να οδηγούν εκτός από ακροδέκτες πύλης και ακροδέκτες πηγής και υποδοχής των τρανζίστορ. Τα τρανζίστορ διέλευσης λειτουργούν ως διακόπτες. Όταν στον ακροδέκτη πύλης ενός τρανζίστορ NMOS εφαρμοστεί τάση που αντιστοιχεί στη λογική τιμή 1, τότε αυτό λειτουργεί ως κλειστός διακόπτης, διαφορετικά λειτουργεί ως ανοιχτός διακόπτης. Το αντίθετο συμβαίνει όταν πρόκειται για τρανζίστορ PMOS.

Ο απλούστερος τρόπος αντιμετώπισης του ερωτήματος αυτού, είναι να καταγράψουμε σε έναν πίνακα τους 4 συνδυασμούς λογικών τιμών των εισόδων A και B και να υπολογίσουμε τη λογική τιμή της εξόδου κάθε κυκλώματος για κάθε συνδυασμό λογικών τιμών των εισόδων, με βάση τα προαναφερόμενα.

| A | B | F_0 |
|---|---|-------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

| A | B | F_1 |
|---|---|-------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Από τους παραπάνω πίνακες διαπιστώνουμε ότι $F_0 = A + B$ και $F_1 = A' \cdot B + A \cdot B' = A \oplus B$, δηλαδή ότι το πρώτο κύκλωμα υλοποιεί τη λογική πράξη OR δύο μεταβλητών και το δεύτερο κύκλωμα τη λογική πράξη XOR δύο μεταβλητών.



- β) Με τον ίδιο τρόπο υπολογίζουμε τις συναρτήσεις εξόδου του κυκλώματος του ερωτήματος (β), στο οποίο συμμετέχουν μόνο τρανζίστορ NMOS.

| A | B | C | G ₀ | G ₁ |
|---|---|---|----------------|----------------|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

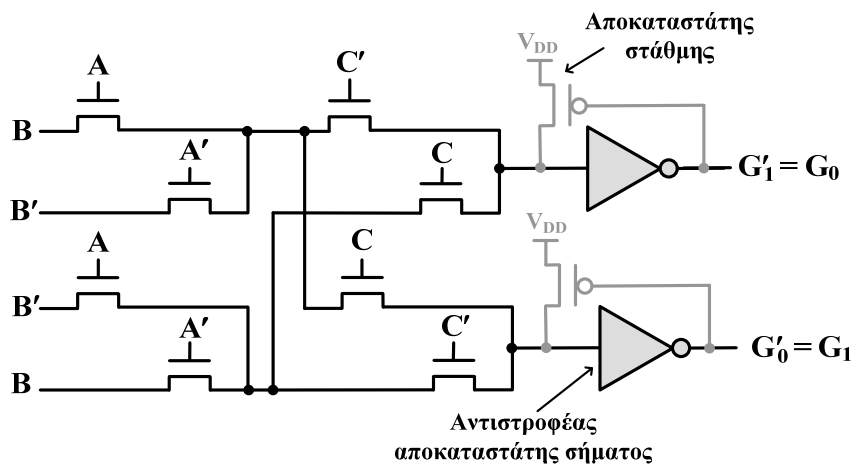
Από τον παραπάνω πίνακα διαπιστώνουμε καταρχήν ότι η μία συνάρτηση εξόδου είναι συμπληρωματική της άλλης ($G_1 = G'_0$), αφού για τους συνδυασμούς εισόδων για τους οποίους η μία συνάρτηση λαμβάνει λογική τιμή 1, η άλλη συνάρτηση λαμβάνει λογική τιμή 0 και αντιστρόφως. Επίσης, διαπιστώνουμε ότι:

$$G_0 = A' \cdot B' \cdot C + A' \cdot B \cdot C' + A \cdot B' \cdot C' + A \cdot B \cdot C = A' \cdot (B' \cdot C + B \cdot C') + A \cdot (B \cdot C + B' \cdot C') =$$

$$A' \cdot (B \oplus C) + A \cdot (B \oplus C)' = A \oplus B \oplus C,$$

δηλαδή ότι το κύκλωμα υλοποιεί τη λογική πράξη XOR τριών μεταβλητών (G_0), καθώς και τη συμπληρωματική της λογική πράξη XNOR τριών μεταβλητών (G_1).

- γ) Αν και το τρανζίστορ NMOS είναι αποτελεσματικό στη διέλευση της λογικής τιμής 0 (χαμηλή στάθμη τάσης), είναι αδύναμο όταν οδηγεί έναν κόμβο στην υψηλή στάθμη τάσης, αφού ο κόμβος φορτίζεται έως μια τιμή τάσης που ισούται με την υψηλή στάθμη τάσης μείον την τάση κατωφλίου του τρανζίστορ (πτώση τάσης). Λόγω του ότι σε όλες τις περιπτώσεις, όπου οι εξόδοι του κυκλώματος λαμβάνουν λογική τιμή 1, η τιμή αυτή διέρχεται από δύο τρανζίστορ NMOS (που το καθένα προκαλεί πτώση τάσης ίση με την τάση κατωφλίου του), η τάση στις εξόδους του κυκλώματος ισούται με $1.8 \text{ V} - 2 \cdot 0.3 \text{ V} = 1.2 \text{ V}$. Στις περιπτώσεις όπου οι εξόδοι του κυκλώματος λαμβάνουν λογική τιμή 0, η τάση σε αυτές ισούται με 0 V, δηλαδή με τη χαμηλή στάθμη τάσης.
- δ) Με στόχο να λαμβάνεται στις εξόδους του κυκλώματος πλήρης υψηλή στάθμη τάσης, μπορούμε να συνδέσουμε στις δύο εξόδους του κυκλώματος ισάριθμους αντιστροφείς CMOS αποκατάστασης σήματος, όπως παρουσιάζεται στο κύκλωμα του σχήματος που ακολουθεί:



Μετά την προσθήκη των αντιστροφέων αποκατάστασης σήματος, έχει γίνει εναλλαγή των κόμβων του κυκλώματος, στους οποίους λαμβάνουμε τις εξόδους G_0 και G_1 . Έτσι, η προσθήκη των αντιστροφέων δεν επηρεάζει την ορθή λογική λειτουργία του κυκλώματος.

Επισημαίνεται (χωρίς αυτό να είναι απαραίτητο για την απάντηση του εν λόγω ερωτήματος), ότι τα κυκλώματα με τρανζίστορ διέλευσης, υποφέρουν από κατανάλωση στατικής ενέργειας και μειωμένα περιθώρια θορύβου, λόγω του ότι η υψηλή στάθμη στην είσοδο του αντιστροφέα αποκατάστασης σήματος είναι μικρότερη α-



πό την υψηλή στάθμη τάσης. Μία τεχνική για τη λύση του προβλήματος αυτού βασίζεται στη χρήση ενός αποκαταστάτη στάθμης (level restorer), που είναι ένα τρανζίστορ PMOS, του οποίου η πύλη συνδέεται στην έξοδο του αντιστροφέα αποκατάστασης σήματος, η υποδοχή του συνδέεται στην είσοδο του αντιστροφέα και η πηγή του συνδέεται στην υψηλή στάθμη τάσης (V_{DD}), όπως παρουσιάζεται στο κύκλωμα του παραπάνω σχήματος.