



ΠΕΡΙΓΡΑΦΗ ΠΡΟΤΕΙΝΟΜΕΝΟΥ ΘΕΜΑΤΟΣ ΔΙΠΛΩΜΑΤΙΚΗΣ ΕΡΓΑΣΙΑΣ

| | |
|---|---|
| Τίτλος: Μελέτη, σχεδίαση και υλοποίηση ενός επεξεργαστή ανοικτής αρχιτεκτονικής συνόλου εντολών με βάση το πρότυπο RISC-V και χρήση VHDL. | |
| Επιβλέπων: Παρασκευάς Κίτσος, Αναπληρωτής Καθηγητής Συνεπικουρία: κ. Σταύρος Καλαπόθας (Υποψήφιος Διδάκτορας) | e-mails: kitsos@uop.gr s.kalapothis@go.uop.gr |
| | Άτομα 1 |
| Στόχοι Στόχος της εργασίας αποτελεί η υλοποίηση ενός επεξεργαστή RISC-V σε ένα FPGA ολοκληρωμένο. | |
| Αντικείμενο: Οι αρχιτεκτονικές RISC παρουσιάζουν αρκετά πλεονεκτήματα, έχουν ευρεία αποδοχή στη βιομηχανία πληροφορικής, όπως επίσης και στην ευρύτερη ερευνητική κοινότητα. Τα τελευταία χρόνια έχει αναπτυχθεί η 'ανοικτή' αρχιτεκτονική RISC-V που περιλαμβάνει ένα νέο σετ εντολών (ISA). Το προτεινόμενο θέμα αφορά την υλοποίησή ενός επεξεργαστή RISC-V πάνω σε ένα FPGA. Είναι δυνατόν να χρησιμοποιηθούν υπάρχουσες υλοποιήσεις (NEORV32, lowRISC, κ.α.) και να παραμετροποιηθούν κατάλληλα. Η ανάπτυξη θα γίνει με τα εργαλεία σύνθεσης κώδικα VHDL (Intel Quartus / Xilinx Vivado / Yosys) και αφού επαληθευθεί η λειτουργικότητα, θα ακολουθήσει υλοποίηση της αρχιτεκτονικής σε FPGA. Το παραγόμενο έργο θα αποτελέσει βάση για την κατανόηση των τεχνικών σχεδίασης και τα πλεονεκτήματα/μειονεκτήματα των αρχιτεκτονικών επεξεργαστών RISC-V. | |
| Βιβλιογραφία: 1. Kalapothis, S.; Galetakis, M.; Flamis, G.; Plessas, F.; Kitsos, P. A Survey on RISC-V-Based Machine Learning Ecosystem. <i>Information</i> 2023 , <i>14</i> , 64. https://doi.org/10.3390/info14020064 | |

Η εργασία περιλαμβάνει

- Θεωρητική μελέτη
- Υλοποίηση σε FPGA

Σχετιζόμενες γνώσεις

Πρωτεύοντα: Γνώση μιας γλώσσας περιγραφή υλικού (VHDL) , Γνώσεις σχεδιασμού ψηφιακών συστημάτων σε FPGAs

Δευτερεύουσες: Γνώσεις αρχιτεκτονικής επεξεργαστών

Υποχρεώσεις Παρουσίας:

ΟΧΙ