



ΠΕΡΙΓΡΑΦΗ ΠΡΟΤΕΙΝΟΜΕΝΟΥ ΘΕΜΑΤΟΣ ΔΙΠΛΩΜΑΤΙΚΗΣ ΕΡΓΑΣΙΑΣ

Τίτλος: Μελέτη, σχεδίαση και υλοποίηση βασικών επιπέδων Συνελικτικών Νευρωνικών Δικτύων σε FPGA.	
Επιβλέπων: Παρασκευάς Κίτσος, Αναπληρωτής Καθηγητής Συνεπικουρία: Μανώλης Γαλετάκης, ΕΤΕΠ	e-mails: kitsos@uop.gr mgaletakis@uop.gr
	Άτομα 2
Στόχοι Στόχος της εργασίας αποτελεί η υλοποίηση των βασικών επιπέδων ενός Συνελικτικού Νευρωνικού Δικτύου (Convolutional Neural Network) με τη χρήση HDL σε ένα FPGA ολοκληρωμένο.	
Αντικείμενο: Μία από τις δημοφιλέστερες τεχνικές με τις οποίες μπορεί να γίνει υλοποίηση ενός νευρωνικού συνελικτικού δικτύου (CNN) σε συσκευές προγραμματιζόμενης λογικής FPGAs ακολουθεί την αρχή του DIRECT HARDWARE MAPPING και πρόκειται για μια μετάφραση, μέσω βιβλιοθηκών και εργαλείων, των διαφορετικών επιπέδων ενός δικτύου καθώς και της διασύνδεσής τους σε κάποια γλώσσα περιγραφής υλικού (HDL) [1] έως [3]. Το προτεινόμενο θέμα αφορά την υλοποίησή μίας τέτοιας βιβλιοθήκης σε γλώσσα HDL κατά προτίμηση Verilog ή System Verilog. Ζητούμενο είναι η περιγραφή των βασικών δομικών επιπέδων δικτύων που υλοποιούν τις λειτουργίες convolution, depth wise convolution, batch normalization, activation, pooling κλπ σε παραμετροποιήσιμο κώδικα περιγραφής υλικού καθώς και του κώδικα ελέγχου τους (test benches). Η ανάπτυξη θα γίνει με τα εργαλεία σύνθεσης κώδικα HDL (Intel Quartus, Xilinx Vivado, Yosys κ.α) και αφού επαληθευθεί η λειτουργικότητα, θα ακολουθήσει υλοποίηση της αρχιτεκτονικής σε FPGA. Η ορθή λειτουργία της σχεδίασης θα ελεγχθεί αρχικά με τη διαδικασία της εξομοίωσης με τη χρήση των παραπάνω test benches και στη συνέχεια θα ακολουθήσει η υλοποίηση του συστήματος σε FPGA. Ο έλεγχος των αποτελεσμάτων θα γίνει σε σύγκριση με πρότυπα δεδομένα εισόδου – εξόδου (test vectors).	

Βιβλιογραφία – Αναφορές :

1. <https://ieeexplore.ieee.org/document/8741940>
2. <https://ieeexplore.ieee.org/document/9666161>
3. <https://github.com/DreamIP/haddoc2>

Η εργασία περιλαμβάνει

- Θεωρητική μελέτη
- Ανάπτυξη και έλεγχο καλής λειτουργίας (εξομοίωση)
- Υλοποίηση και έλεγχο καλής λειτουργίας σε FPGA

Σχετιζόμενες γνώσεις

Πρωτεύοντα: Γνώση μιας γλώσσας περιγραφή υλικού (HDL) , Γνώσεις σχεδιασμού ψηφιακών συστημάτων σε FPGAs, Γνώσεις βασικών δομικών επιπέδων νευρωνικών δικτύων.

Δευτερεύουσες: Γνώσεις προγραμματισμού c και python

Υποχρεώσεις Παρουσίας:

ΟΧΙ