ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ Ι

Λύσεις Θεμάτων Α' Εξεταστικής Περιόδου Χειμερινού Εξαμήνου 2011 - 12

ΘΕΜΑ 1ο *(3,0 μονάδες)*

α. Δίνεται η λογική συνάρτηση : f (x , y , z) = (x + y) (x z' + z) (y' + xz)' . Να συμπληρωθεί ο πίνακας αλήθειας της συνάρτησης, να απλοποιηθεί με άλγεβρα Boole και με πίνακα Karnaugh και να σχεδιαστεί το λογικό κύκλωμα που την υλοποιεί σε επίπεδο βασικών πυλών. *(2,0 μονάδες)*

β. Να υλοποιηθεί η συνάρτηση με έναν πολυπλέκτη 4-σε-1 και λογικές πύλες. *(1,0 μονάδα)*

Λύση:

α) f (x , y , z) = (x + y) (x z' + z) (y' + xz)' = (xxz' + xz + xyz' + yz) (y'') (xz)' =
= (xz' + xz + xyz' + yz) y (x' + z') = (x (z + z') + xyz' + yz) y (x' + z') =
= (x + xyz' + yz) y (x' + z') = (x (1 + yz') + yz) y (x' + z') = (x + yz) y (x' + z') =
= (xy + yyz) (x' + z ') = (xy + yz) (x' + z') = (xx'y + x'yz + xyz' + yzz') = x'yz + xyz'
= $m_3 + m_6$

Πίνακας Αλήθειας

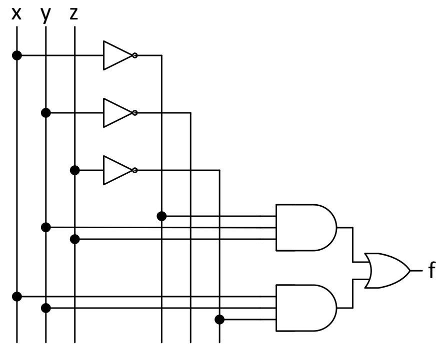
x	y	z	f	
0	0	0	0	
0	0	1	0	
0	1	0	0	
0	1	1	1	m_3
1	0	0	0	
1	0	1	0	
1	1	0	1	m_6
1	1	1	0	

Απλοποίηση με πίνακα Karnaugh

x \ yz	00	01	11	10
0	0	0	1	0
1	0	0	0	1

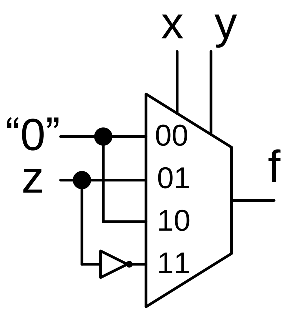
Καμία απλοποίηση!

Λογικό κύκλωμα



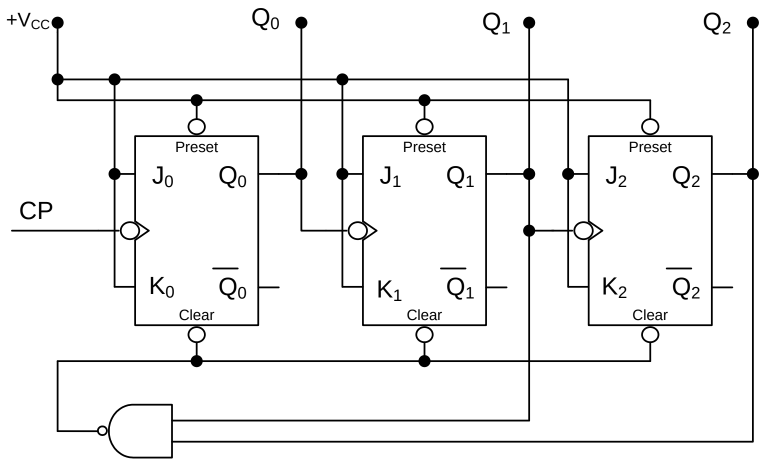
β)

x	y	z	f	
0	0	0	0	f = 0
0	0	1	0	
0	1	0	0	f = z
0	1	1	1	
1	0	0	0	f = 0
1	0	1	0	
1	1	0	1	f = z'
1	1	1	0	



ΘΕΜΑ 2ο *(3,0 μονάδες)*

Να αναλύσετε το λογικό κύκλωμα του σχήματος και να προσδιορίσετε τη λειτουργία του.



Λύση:

Έχουμε ένα ασύγχρονο ακολουθιακό κύκλωμα.

Τα flip-flops έχουν βραχυκυκλωμένες εισόδους JK που συνδέονται στο +Vcc (άρα λειτουργούν ως T flip-flop, με T = 1) και ενεργοποίηση στο κατερχόμενο μέτωπο των παλμών του ρολογιού. Επομένως σε κάθε κατερχόμενο μέτωπο του σήματος που εισέρχεται στην είσοδο του ρολογιού τους θα αλλάζουν κατάσταση.

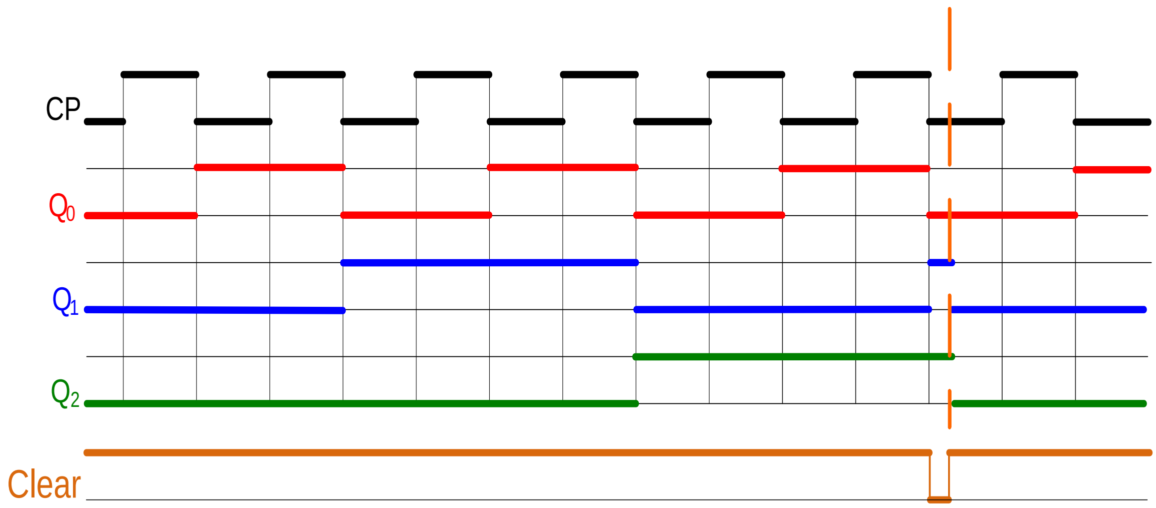
Το J_0K_0 flip-flop δέχεται στην είσοδο του ρολογιού του το σήμα του εξωτερικού ρολογιού CP.

Το J_1K_1 flip-flop δέχεται στην είσοδο του ρολογιού του το σήμα Q_0.

Το J_2K_2 flip-flop δέχεται στην είσοδο του ρολογιού του το σήμα Q_1.

Η πύλη NAND δέχεται στην είσοδό της τα σήματα Q_1 και Q_2. Η έξοδός της είναι '1' όσο $Q_2 = Q_1 = 0$ ή $Q_1 = 1$ και $Q_2 = 0$ ή $Q_1 = 0$ και $Q_2 = 1$, και θα γίνει '0' όταν τα $Q_1 = Q_2 = 1$. Τότε ενεργοποιείται η ασύγχρονη είσοδος Clear των flip-flops και οι έξοδοι όλων των flip-flops μηδενίζονται, δηλ. $Q_0 = Q_1 = Q_2 = 0$, οπότε και η έξοδος της πύλης NAND επανέρχεται στο '1'.

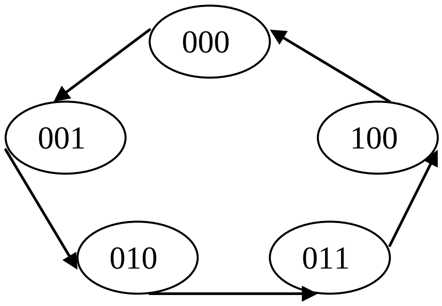
Το διάγραμμα χρονισμού του κυκλώματος είναι το ακόλουθο:



Από την παραπάνω ανάλυση προκύπτει ότι το κύκλωμα είναι ένας ασύγχρονος μετρητής MOD(6) με μέγιστο σημαντικό ψηφίο το Q_2 και ελάχιστο σημαντικό ψηφίο το Q_0. Απαριθμεί πλήρως τις καταστάσεις 000 – 001 – 010 – 011 – 100 – 101 και μηδενίζει μόλις εισέλθει στην κατάσταση $Q_2Q_1Q_0$ = 110.

ΘΕΜΑ 3^{ο} *(4,0 μονάδες)*

α. Να σχεδιαστεί με T flip flop **σύγχρονος** μετρητής που απαριθμεί την ακολουθία που περιγράφεται από το παρακάτω διάγραμμα καταστάσεων. *(3,0 μονάδες)*
β. Να εξεταστεί τι θα συμβεί αν το σύστημα βρεθεί στη μη χρησιμοποιούμενη κατάσταση ‘111’. *(1,0 μονάδα)*



Λύση:

α) Με βάση τον πίνακα διέγερσης του JK flip-flop συμπληρώνουμε τον πίνακα (μετάβασης) καταστάσεων:

Παρούσα Κατάσταση	Επόμενη Κατάσταση	Είσοδοι FF		
$Q_2Q_1Q_0$	$Q^+_2Q^+_1Q^+_0$	T_2	T_1	T_0
0 0 0	0 0 1	0	0	1
0 0 1	0 1 0	0	1	1
0 1 0	0 1 1	0	0	1
0 1 1	1 0 0	1	1	1
1 0 0	0 0 0	1	0	0

Οι μη χρησιμοποιούμενες καταστάσεις (101, 110 και 111) είναι αδιάφορες καταστάσεις (X).

Από τον πίνακα καταστάσεων προσδιορίζουμε τις συναρτήσεις των εισόδων των Flip-Flop, σε απλοποιημένη μορφή, με τη χρήση πινάκων Karnaugh:

Q_2 \ Q_1Q_0	00	01	11	10
0	0	0	1	0
1	1	X	X	X

$T_2 = Q_2 + Q_1Q_0$

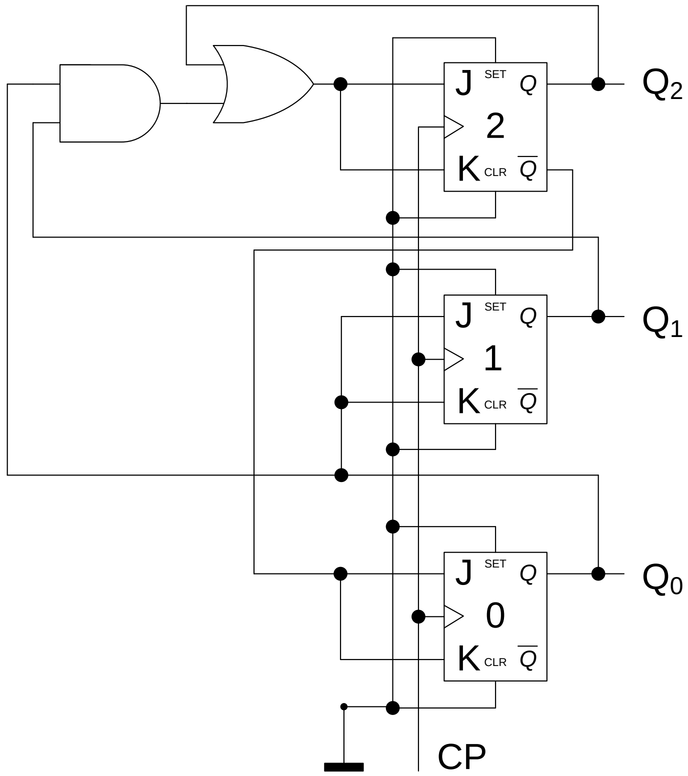
Q_2 \ Q_1Q_0	00	01	11	10
0	0	1	1	0
1	0	X	X	X

$T_1 = Q_0$

Q_2 \ Q_1Q_0	00	01	11	10
0	1	1	1	1
1	0	X	X	X

$T_0 = Q'_2$

Το κύκλωμα του μετρητή είναι το ακόλουθο:



β)

Παρούσα Κατάσταση			**Είσοδοι Flip-Flop**			**Επόμενη Κατάσταση**		
Q_2	Q_1	Q_0	$T_2 = Q_2 + Q_1Q_0$	$T_1 = Q_0$	$T_0 = Q'_2$	Q^+_2	Q^+_1	Q^+_0
1	1	1	1	1	0	0	0	1