

ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

Λύσεις Θεμάτων

Α' Εξεταστικής Περιόδου Εαρινού Εξαμήνου 2008-09 (Ομάδα Α)

ΘΕΜΑ 1° (25%)

Δίνεται η λογική συνάρτηση : $F(x, y, z) = y'z' + xyz' + yz$

1. Να εκφράσετε τη λογική συνάρτηση σε μορφή αθροίσματος ελαχιστόρων και να συμπληρωθεί ο πίνακας αλήθειας της λογικής συνάρτησης.
2. Να απλοποιηθεί η λογική συνάρτηση με άλγεβρα Boole και με πίνακα Karnaugh.
3. Να δείξετε πώς μπορεί να υλοποιηθεί η λογική συνάρτηση (είτε στην αρχική, είτε στην απλοποιημένη μορφή της) μόνο με πύλες NAND.
4. Να υλοποιηθεί το κύκλωμα της λογικής συνάρτησης με ένα κατάλληλο αποκωδικοποιητή και πύλες OR.

Λύση

1. $F(x, y, z) = (x + x')y'z' + xyz' + (x + x')yz = xy'z' + x'y'z' + xyz' + xyz + x'yz =$
 $= x'y'z' + x'yz + xy'z' + xyz' + xyz = m_0 + m_3 + m_4 + m_6 + m_7 =$
 $= \Sigma(0, 3, 4, 6, 7)$

x	y	z	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

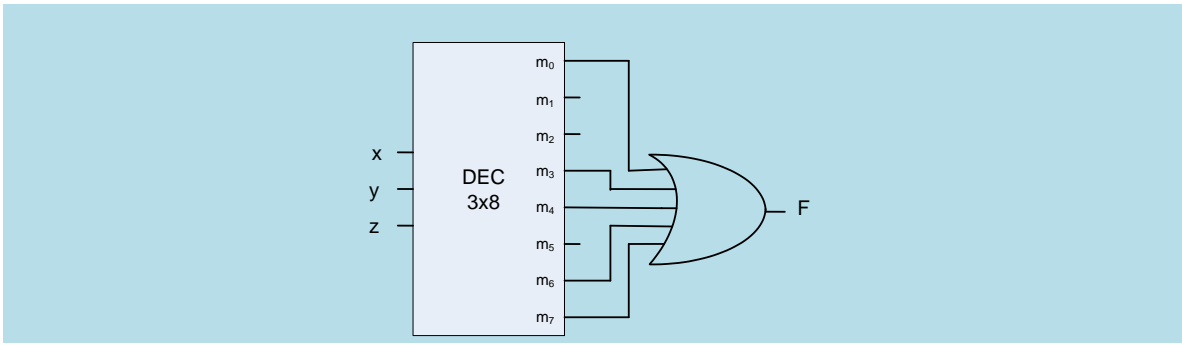
2. $F(x, y, z) = x'y'z' + x'yz + xy'z' + xyz' + xyz = x'y'z' + x'yz + xy'z' + xyz' + xyz + xyz =$
 $= (x'y'z' + xy'z') + (x'yz + xyz) + (xyz' + xyz) = (x'+x)y'z' + (x' + x)yz + xy(z' + z) =$
 $= y'z' + yz + xy$

		y			
		00	01	11	10
x	0	1	0	1	0
	1	1	0	1	1

$$F(x, y, z) = y'z' + yz + xy$$

3. $F(x, y, z) = F''(x, y, z) = (y'z' + yz + xy)'' = [(y'z')' \cdot (yz)' \cdot (xy)']'$

4. Επειδή έχουμε τρεις εισόδους, που παράγουν οκτώ ελαχιστόρους, χρειαζόμαστε έναν αποκωδικοποιητή 3 - σε - 8.



ΘΕΜΑ 2° (10%)

Να δείξετε πώς μπορεί ένας πολυπλέκτης 4-σε-1 να υλοποιηθεί με πολυπλέκτες 2-σε-1 και να σχεδιάσετε το κύκλωμα (χονδρικό διάγραμμα).

Λύση

Πίνακας αλήθειας και συνάρτηση πολυπλέκτη 4–σε–1:

E ₁	E ₀	F
0	0	x
0	1	y
1	0	z
1	1	w

$$F = E'_1E'_0x + E'_1E_0y + E_1E'_0z + E_1E_0w$$

Πίνακας αλήθειας και συνάρτηση πολυπλέκτη 2–σε–1:

E	G
0	a
1	b

$$G = E'a + Eb$$

Από τη συνάρτηση του πολυπλέκτη 4–σε–1 έχουμε:

$$F = E'_1E'_0x + E'_1E_0y + E_1E'_0z + E_1E_0w = E'_1(E'_0x + E_0y) + E_1(E'_0z + E_0w)$$

Έστω:

$$F_1 = E'_0x + E_0y$$

$$F_2 = E'_0z + E_0w$$

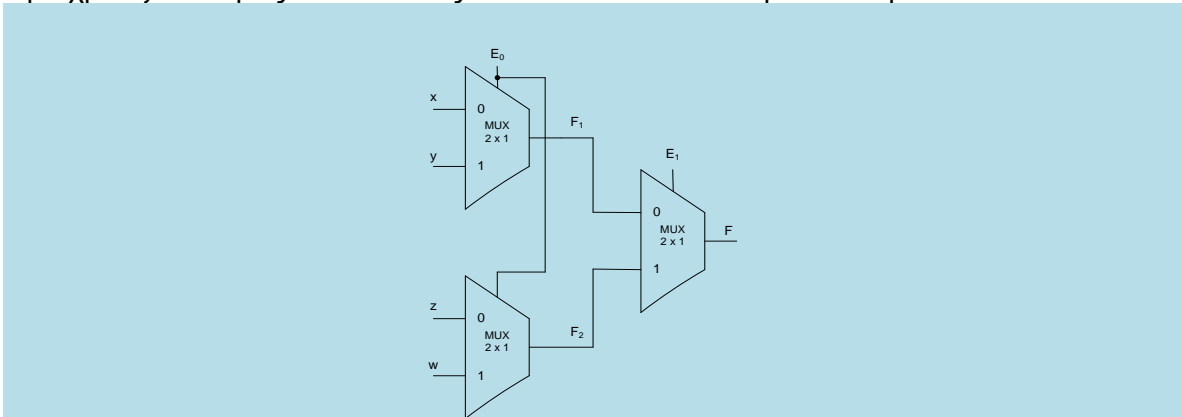
Άρα η F₁ είναι ή έξοδος ενός πολυπλέκτη 2–σε–1 με εισόδους x, y και είσοδο ελέγχου E₀ και η F₂ είναι ή έξοδος ενός πολυπλέκτη 2–σε–1 με εισόδους z, w και είσοδο ελέγχου E₀.

Η F γράφεται:

$$F = E'_1F_1 + E_1F_2$$

Επομένως η F είναι ή έξοδος ενός πολυπλέκτη 2–σε–1 με εισόδους F₁ και F₂ και είσοδο ελέγχου E₁.

Άρα χρειάζονται τρεις πολυπλέκτες 2–σε–1 και το ισοδύναμο κύκλωμα είναι το ακόλουθο:



ΘΕΜΑ 3^ο (30%)

Να σχεδιάσετε ΣΥΓΧΡΟΝΟ μετρητή MOD(6) με JK flip-flop.

Λύση

Αφού ο μετρητής είναι MOD(6), θα απαριθμεί συνολικά έξι καταστάσεις, δηλαδή:

$$0 - 1 - 2 - 3 - 4 - 5 - 0$$

Ο πίνακας (μετάβασης) καταστάσεων θα είναι ο ακόλουθος:

Παρούσα Κατάσταση	Επόμενη Κατάσταση	Είσοδοι FF				
		$Q_2Q_1Q_0$	$Q_2^+Q_1^+Q_0^+$	J_2K_2	J_1K_1	J_0K_0
0 0 0	0 0 1	0 0 0	0 0 1	0 X	0 X	1 X
0 0 1	0 1 0	0 0 1	0 1 0	0 X	1 X	X 1
0 1 0	0 1 1	0 1 0	0 1 1	0 X	X 0	1 X
0 1 1	1 0 0	0 1 1	1 0 0	1 X	X 1	X 1
1 0 0	1 0 1	1 0 0	1 0 1	X 0	0 X	1 X
1 0 1	0 0 0	1 0 1	0 0 0	X 1	0 X	X 1

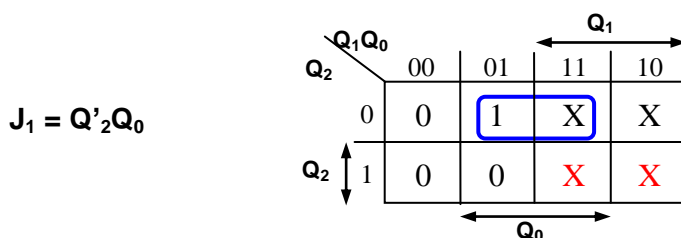
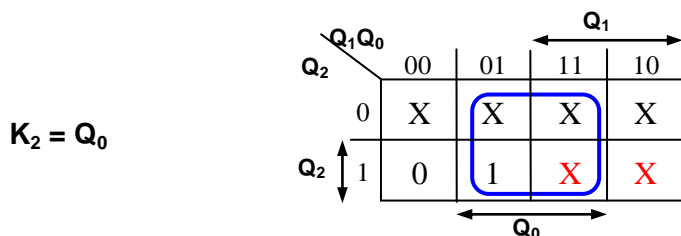
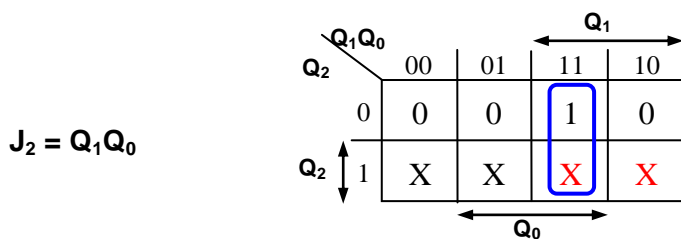
Οι μη χρησιμοποιούμενες καταστάσεις (110 και 111) είναι αδιάφορες καταστάσεις (X).

Από τον πίνακα καταστάσεων προσδιορίζουμε τις συναρτήσεις των εισόδων των Flip-Flop.

Βλέπουμε ότι τα J_0 και K_0 είναι παντού '1' ή 'X'. Άρα:

$$J_0 = 1 \text{ και } K_0 = 1$$

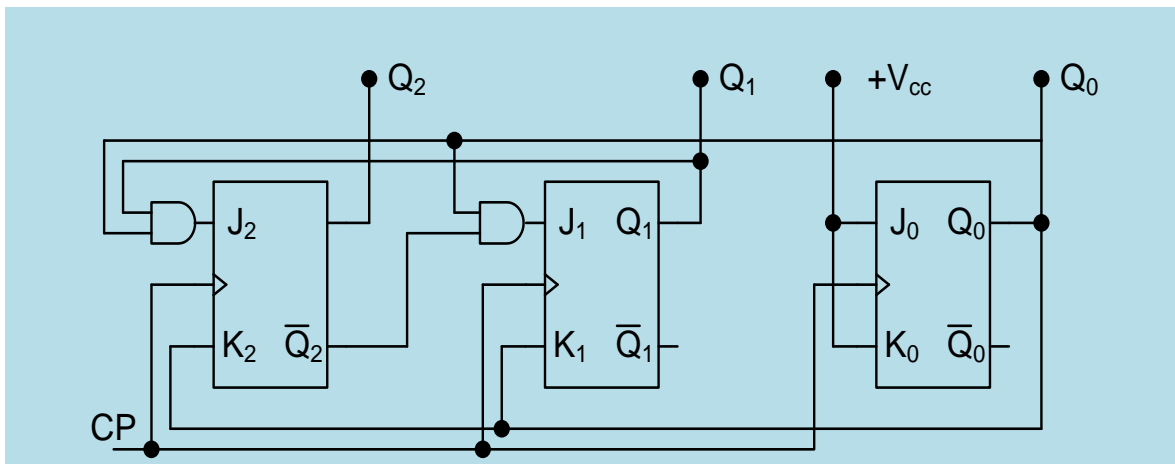
Για τις εισόδους των άλλων Flip-Flop προσδιορίζουμε τις απλοποιημένες συναρτήσεις τους με τη χρήση πινάκων Karnaugh:



$$K_1 = Q_0$$

		Q_1			
		00	01	11	10
Q_2	0	X	X	1	0
	1	X	X	X	X
		Q_0			

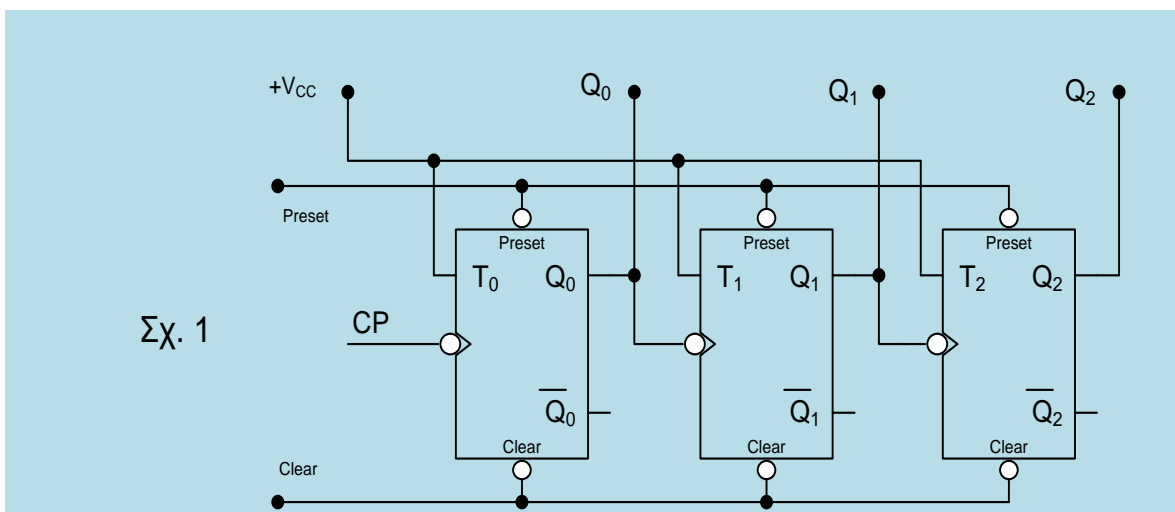
Το κύκλωμα του μετρητή είναι το ακόλουθο:



ΘΕΜΑ 4° (35%)

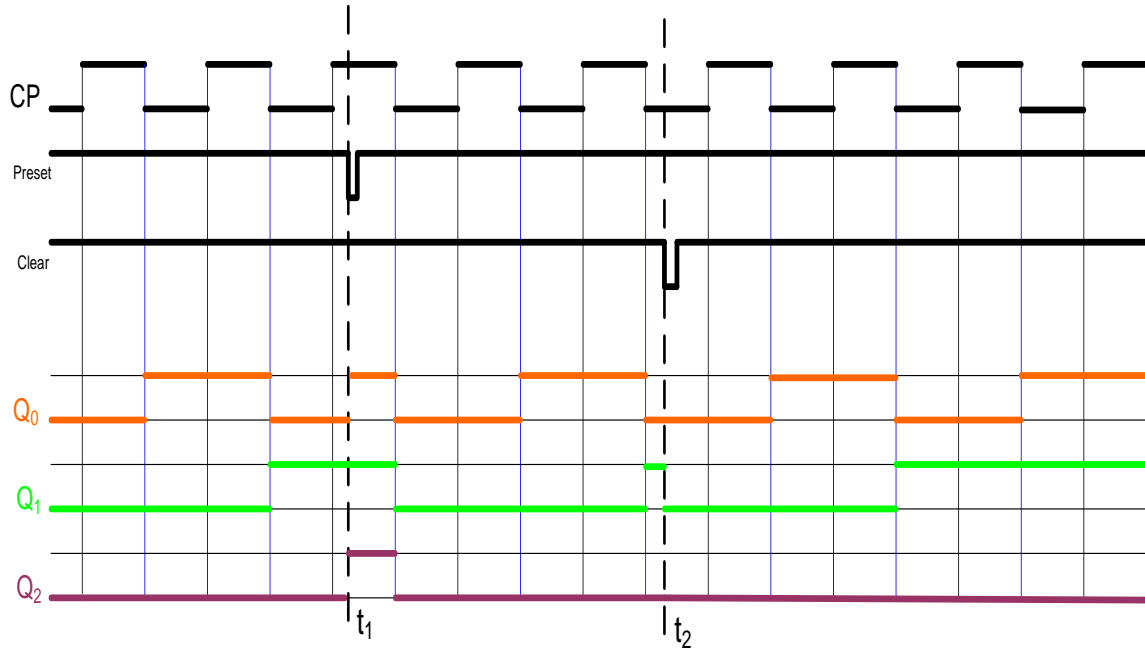
Δίνεται το κύκλωμα του ασύγχρονου μετρητή του σχήματος 1.

1. Αν στο Preset τη χρονική στιγμή t_1 και στο Clear τη χρονική στιγμή t_2 δοθούν τα σήματα που φαίνονται στο Σχήμα 2 της επόμενης σελίδα, να συμπληρώσετε το διάγραμμα χρονισμού του μετρητή.
2. Πού πρέπει να συνδεθεί το Preset και πού το Clear προκειμένου ο μετρητής να λειτουργήσει κανονικά ως ένας 3-bit μετρητής;
3. Να δείξετε πώς ο μετρητής αυτός μπορεί να μετατραπεί σε μετρητή MOD(6) και να συμπληρώσετε το αντίστοιχο διάγραμμα χρονισμού (Σχήμα 3 – επόμενη σελίδα).



Λύση

1.



2. Επειδή όπως βλέπουμε από το κύκλωμα το Preset και το Clear είναι **active low**, προκειμένου ο μετρητής να λειτουργήσει κανονικά ως ένας 3-bit μετρητής θα πρέπει το Preset και το Clear να συνδεθούν στο λογικό '1' (+V_{CC}).

3.

