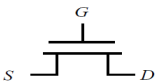
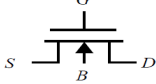


ΣΥΣΤΗΜΑΤΑ ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) – ΤΥΠΟΛΟΓΙΟ ΕΞΕΤΑΣΕΩΝ

Τιμές σταθερών			
Σταθερά	Σύμβολο	Τιμή	Μονάδες
Φορτίο ηλεκτρονίου	q	$1.6 \cdot 10^{-19}$	C
Διηλεκτρική σταθερά του Si	ϵ_{Si}	$1.05 \cdot 10^{-12}$	F/cm
Διηλεκτρική σταθερά του SiO ₂	ϵ_{ox}	$3.5 \cdot 10^{-13}$	F/cm

Κόστος ολοκληρωμένων κυκλωμάτων (IC) και απόδοση ψηφίδας	Σύμβολα MOSFET
μεταβλητό κόστος ανά IC = $\frac{\text{κόστος ψηφίδας} + \text{κόστος ελέγχου ψηφίδας} + \text{κόστος συσκευασίας}}{\text{απόδοση ψηφίδας}}$ κόστος ανά IC = μεταβλητό κόστος + $\frac{\text{σταθερό κόστος ψηφίδας}}{\text{όγκος παραγωγής}}$ κόστος ψηφίδας = $\frac{\text{κόστος δισκίου}}{\text{πλήθος ψηφίδων ανά δισκίο} + \text{απόδοση ψηφίδας}}$ ψηφίδες ανά δισκίο = $\frac{\pi \times (\text{διάμετρος δισκίου} / 2)^2}{\text{επιφάνεια ψηφίδας}} - \frac{\pi \times \text{διάμετρος δισκίου}}{\sqrt{2} \times \text{επιφάνεια ψηφίδας}}$ απόδοση ψηφίδας = $\frac{\text{πλήθος ψηφίδων ανά δισκίο που λειτουργούν}}{\text{συνολικό πλήθος ψηφίδων ανά δισκίο}} \times 100 =$ α: παράμετρος διεργασίας κατασκευής $\left(1 + \frac{\text{ατέλειες ανά μονάδα επιφάνειας} \times \text{επιφάνεια ψηφίδας}}{a}\right)^{-a} \times 100$	NMOS  PMOS 

Τάση κατωφλίου τρανζίστορ MOSFET
$V_T = V_{T0} \pm \gamma \cdot \left(\sqrt{ -2 \cdot \phi_F + V_{SB} } - \sqrt{ -2 \cdot \phi_F } \right)$ (+ για τρανζίστορ NMOS και - για τρανζίστορ PMOS) V_{T0}: τάση κατωφλίου για $V_{SB} = 0$, V_{SB}: τάση πηγής-υποστρώματος, ϕ_F: δυναμικό Fermi, t_{ox}: πάχος οξειδίου, N: πυκνότητα συγκέντρωσης προσμείξεων υποστρώματος (νόθευση υποστρώματος) $\gamma = \frac{t_{ox}}{\epsilon_{ox}} \cdot \sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N}$: συντελεστής φαινομένου σώματος

Ρεύμα υποδοχής τρανζίστορ NMOS και PMOS μεγάλου μήκους καναλιού	
$I_{DN} = k_n \cdot \left[(V_{GS} - V_{Tn}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right], \quad V_{GS} \geq V_{Tn}, V_{DS} < V_{GS} - V_{Tn}, \quad \text{Γραμμική περιοχή}$ $\frac{k_n}{2} \cdot (V_{GS} - V_{Tn})^2 \cdot (1 + \lambda_n \cdot V_{DS}), \quad V_{GS} \geq V_{Tn}, V_{DS} \geq V_{GS} - V_{Tn}, \quad \text{Περιοχή κορεσμού}$ $I_{DP} = k_p \cdot \left[(V_{GS} - V_{Tp}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right], \quad V_{GS} \leq V_{Tp}, V_{DS} > V_{GS} - V_{Tp}, \quad \text{Γραμμική περιοχή}$ $\frac{k_p}{2} \cdot (V_{GS} - V_{Tp})^2 \cdot (1 + \lambda_p \cdot V_{DS}), \quad V_{GS} \leq V_{Tp}, V_{DS} \leq V_{GS} - V_{Tp}, \quad \text{Περιοχή κορεσμού}$	Συντελεστές κέρδους των τρανζίστορ: $k_n = k'_n \cdot \frac{W_n}{L_n}, \quad k'_n = \mu_n \cdot C_{ox}$ $k_p = k'_p \cdot \frac{W_p}{L_p}, \quad k'_p = \mu_p \cdot C_{ox}$ W, L: πλάτος, μήκος καναλιού των τρανζίστορ $\mu_{n(p)}$: κινητικότητα ηλεκτρονίων (οπών) λ: συντελεστής διαμόρφωσης μήκους καναλιού των τρανζίστορ

Ρεύμα υποδοχής τρανζίστορ NMOS και PMOS μικρού μήκους καναλιού	
$I_{DN} = k_n \cdot \left[(V_{GS} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] \cdot (1 + \lambda_n \cdot V_{DS}), \quad V_{DS} \geq V_{DSATn}$	V_{DSAT}: τάση υποδοχής-πηγής, στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων.
$I_{DP} = k_p \cdot \left[(V_{GS} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \cdot (1 + \lambda_p \cdot V_{DS}), \quad V_{DS} \leq V_{DSATp}$	Για $V_{DS} < V_{DSATn}$ και $V_{DS} > V_{DSATp}$, ισχύουν οι σχέσεις της γραμμικής περιοχής των τρανζίστορ NMOS και PMOS μεγάλου μήκους καναλιού

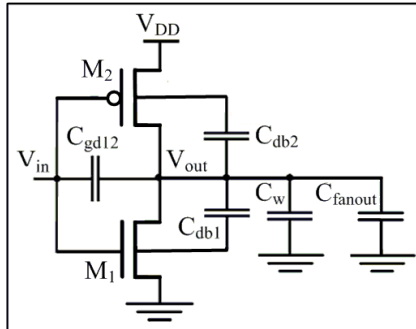
Ισοδύναμη αντίσταση του MOSFET	
$R_{eq} = \frac{1}{2} \cdot \left[\frac{V_{DD}}{I_{DSAT} \cdot (1 + \lambda \cdot V_{DD})} + \frac{V_{DD}/2}{I_{DSAT} \cdot (1 + \lambda \cdot V_{DD}/2)} \right] \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSAT}} \cdot \left(1 - \frac{5}{6} \cdot \lambda \cdot V_{DD} \right)$	I_{DSAT} : ρεύμα υποδοχής του τρανζίστορ στον κορεσμό ταχύτητας των φορέων για $V_{GS} = V_{DD}$ και $\lambda = 0$, V_{DD} : τάση τροφοδοσίας

Χωρητικότητες του MOSFET					
Χωρητικότητα πύλης: $C_G = C_{GC} + C_{GDO} + C_{GSO}$ Χωρητικότητα πύλης-καναλιού: $C_{GC} = C_{GCB} + C_{GCS} + C_{GCD}$					C_{GC}: κυμαίνεται από $(2/3) \cdot C_{ox} \cdot W \cdot L$ έως $C_{ox} \cdot W \cdot L$, αλλά κατά προσέγγιση μπορεί να θεωρείται ίση με $C_{ox} \cdot W \cdot L$ σε όλες τις περιοχές $C_{ox} = \epsilon_{ox} / t_{ox}$: χωρητικότητα οξειδίου πύλης (SiO₂) ανά μονάδα επιφάνειας C_{gso}, C_{gdo}: χωρητικότητες επικάλυψης ανά μονάδα πλάτους καναλιού, μεταξύ πύλης και πηγής και μεταξύ πύλης και υποδοχής.
Περιοχή	C_{GCB}	C_{GCS}	C_{GCD}	C_{GC}	
Αποκοπή	$C_{ox} \cdot W \cdot L$	0	0	$C_{ox} \cdot W \cdot L$	
Γραμμική	0	$C_{ox} \cdot W \cdot L / 2$	$C_{ox} \cdot W \cdot L / 2$	$C_{ox} \cdot W \cdot L$	
Κορεσμός	0	$(2/3) \cdot C_{ox} \cdot W \cdot L$	0	$(2/3) \cdot C_{ox} \cdot W \cdot L$	

ΣΥΣΤΗΜΑΤΑ ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) – ΤΥΠΟΛΟΓΙΟ ΕΞΕΤΑΣΕΩΝ

Χωρητικότητες του MOSFET (συνέχεια)	
Χωρητικότητες επικάλυψης: $C_{GSO} = C_{gso} \cdot W$ και $C_{GDO} = C_{gdo} \cdot W$	C_j : χωρητικότητα επαφής ανά μονάδα επιφάνειας,
Χωρητικότητα επαφής πηγής-υποστρώματος ή υποδοχής-υποστρώματος, (χωρητικότητα περιοχής διάχυσης) = χωρητικότητα βάσης επαφής + χωρητικότητα περιφερειακών πλευρών επαφής	C_{jsw} : χωρητικότητα επαφής ανά μονάδα περιφέρειας,
Χωρητικότητα βάσης επαφής: $C_{bottom} = C_j \cdot W \cdot L_s$	L_s : μήκος επαφής,
Χωρητικότητα περιφερειακών πλευρών επαφής: $C_{sidewall} = C_{jsw} \cdot (W + 2L_s)$	V_j : τάση (πώλωση) επαφής,
$C_j = C_{j0} \cdot \left(1 - \frac{V_j}{\phi_b}\right)^{-m_j}, \quad C_{jsw} = C_{jsw0} \cdot \left(1 - \frac{V_j}{\phi_b}\right)^{-m_{jsw}}$	C_{j0} : χωρητικότητα βάσης επαφής για $V_j = 0$,
	C_{jsw0} : χωρητικότητα περιφερειακών πλευρών επαφής για $V_j = 0$,
	ϕ_b : ενσωματωμένο δυναμικό επαφής (0.6 έως 1 V),
	m_j, m_{jsw} : εκθετικοί συντελεστές (0.3 έως 0.5).

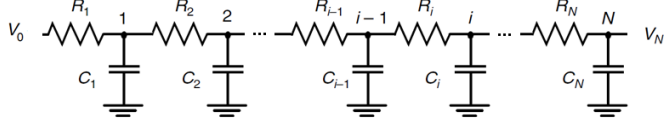
Αντιστροφέας CMOS	
Κατώφλι μετάβασης: $V_M \approx \frac{r \cdot V_{DD}}{1+r}, \quad r = \frac{k_p \cdot V_{DSATp}}{k_n \cdot V_{DSATn}}$	V_{OL}, V_{OH} : στάθμες τάσης
Περιθώρια θορύβου: $NM_H = V_{OH} - V_{IH}, \quad NM_L = V_{IL} - V_{OL}$	g : κέρδος ή κλίση μέσου σημείου
$V_{IH} = V_M + \frac{V_M}{ g }, \quad V_{IL} = V_M - \frac{V_{DD} - V_M}{ g }$	C_{db} : χωρητικότητα περιοχής υποδοχής
$g = \frac{dV_{out}}{dV_{in}} \Big _{V_{in}=V_{out}} \approx -\frac{1+r}{(V_M - V_{Tn} - V_{DSATn}/2) \cdot (\lambda_n - \lambda_p)}$	C_w : χωρητικότητα διασυνδέσεων = (χωρητικότητα ανά μονάδα επιφάνειας γραμμής διασύνδεσης) $\times$ (επιφάνεια γραμμής διασύνδεσης)
Χωρητικότητα εξόδου: $C_L = C_{db1} + C_{db2} + C_{gd12} + C_w + C_{fanout}$	C_{fanout} : χωρητικότητα φορτίου εξόδου
$C_{gd12} = 2 \cdot C_{gd0n} \cdot W_n + 2 \cdot C_{gd0p} \cdot W_p, \quad C_{db} = W \cdot L_s \cdot C_j + (W + 2 \cdot L_s) \cdot C_{jsw}$	V_{high}, V_{low} : τιμές μεταξύ των οποίων κυμαίνεται η τάση επαφής υποστρώματος-υποδοχής, κατά τη μετάβαση της τάσης εξόδου
$C_j = C_{j0} \cdot K_{eq} = C_{j0} \cdot \frac{(1 - V_{high}/\phi_b)^{-m_j} + (1 - V_{low}/\phi_b)^{-m_j}}{2}$	t_{pHL} : καθυστέρηση διάδοσης για μετάβαση της εξόδου του αντιστροφέα από την υψηλή στη χαμηλή στάθμη
$C_{jsw} = C_{jsw0} \cdot K_{eqsw} = C_{jsw0} \cdot \frac{(1 - V_{high}/\phi_b)^{-m_{jsw}} + (1 - V_{low}/\phi_b)^{-m_{jsw}}}{2}$	t_{pLH} : καθυστέρηση διάδοσης για μετάβαση της εξόδου του αντιστροφέα από τη χαμηλή στην υψηλή στάθμη
Καθυστέρηση διάδοσης:	I_{av-n} : μέση τιμή ρεύματος του NMOS, κατά τη μετάβαση της τάσης εξόδου από την υψηλή στη χαμηλή στάθμη
$t_p = \frac{t_{pHL} + t_{pLH}}{2}$	I_{av-p} : μέση τιμή ρεύματος του PMOS, κατά τη μετάβαση της τάσης εξόδου από τη χαμηλή στην υψηλή στάθμη
$t_{pHL} = 0.69 \cdot R_{eqn} \cdot C_L$	$\alpha_{0 \rightarrow 1}$: πιθανότητα μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μία μετάβαση της εξόδου (0 $\rightarrow$ 1) που προκαλεί κατανάλωση ενέργειας (δραστηριότητα μεταβάσεων)
$t_{pLH} = 0.69 \cdot R_{eqp} \cdot C_L$	f : συχνότητα σήματος ρολογιού
$t_{pHL} = \frac{(V_{DD}/2) \cdot C_L}{I_{av-n}}, \quad t_{pLH} = \frac{(V_{DD}/2) \cdot C_L}{I_{av-p}}$	t_{sc} : χρονικό διάστημα κατά το οποίο άγουν και τα δύο τρανζίστορ του αντιστροφέα
Χωρητική ισχύς: $P_{dyn} = C_L \cdot V_{DD}^2 \cdot \alpha_{0 \rightarrow 1} \cdot f$	I_{peak} : μέγιστη τιμή ρεύματος βραχυκυκλώματος
Στατική ισχύς: $P_{stat} = I_{stat} \cdot V_{DD}$	I_{stat} : ρεύμα που ρέει μεταξύ της τροφοδοσίας και της γείωσης, όταν δεν υφίσταται μεταβατική δραστηριότητα
Ισχύς βραχυκυκλώματος: $P_{dp} = t_{sc} \cdot V_{DD} \cdot I_{peak} \cdot f$	α : παράμετρος τεχνολογίας
Γινόμενο ενέργειας-καθυστέρησης:	
$EDP = \frac{C_L \cdot V_{DD}^2}{2} \cdot t_p \approx \frac{\alpha \cdot C_L^2 \cdot V_{DD}^3}{2 \cdot (V_{DD} - V_T - V_{DSAT}/2)}$	



Αλυσίδα αντιστροφέων CMOS	
Καθυστέρηση αντιστροφέα: $t_{pi} = t_{p0} \cdot \left(1 + \frac{C_{ext}}{\gamma \cdot C_g}\right) = t_{p0} \cdot (1 + f/\gamma), \quad f = \frac{C_{ext}}{C_g}$	f : ενεργός φόρτος εξόδου αντιστροφέα
Καθυστέρηση αλυσίδας N αντιστροφέων: $t_p = t_{p0} \cdot \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma \cdot C_{g,j}}\right), \quad C_{g,N+1} = C_L$	C_{ext} : χωρητικότητα εξωτερικού φορτίου αντιστροφέα
Ενεργός φόρτος εξόδου (f) που ελαχιστοποιεί την καθυστέρηση: $f = \sqrt[N]{F}$	C_g : χωρητικότητα εισόδου αντιστροφέα
Συνολικός ενεργός φόρτος αλυσίδας: $F = C_L / C_{g,1}$	C_{int} : ενδογενής χωρητικότητα αντιστροφέα
	$\gamma = C_{int} / C_g$
	t_{p0} : ενδογενής καθυστέρηση αντιστροφέα ή καθυστέρηση χωρίς εξωτερικό φορτίο

ΣΥΣΤΗΜΑΤΑ ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) – ΤΥΠΟΛΟΓΙΟ ΕΞΕΤΑΣΕΩΝ

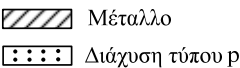
Αλυσίδα αντιστροφών CMOS (συνέχεια)
Ελάχιστη καθυστέρηση αλυσίδας: $t_{p\min} = N \cdot t_{p0} \cdot \left(1 + \frac{\sqrt[N]{F}}{\gamma}\right)$ Βέλτιστο πλήθος βαθμίδων αλυσίδας (για ελάχιστη καθυστέρηση): $N = \ln(F)$ Για βέλτιστο πλήθος βαθμίδων, ο ενεργός φόρτος εξόδου των αντιστροφών γίνεται: $f = \sqrt[N]{F} = \sqrt[N]{e^N} = e = 2.7183$

Καθυστέρηση αλυσίδας Elmore
 $\tau = \sum_{i=1}^N (C_i \cdot \sum_{j=1}^i R_j)$, δηλαδή $\tau_i = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + \dots + C_i \cdot (R_1 + R_2 + \dots + R_i)$

Δικτύωμα πυλών CMOS	
Καθυστέρηση πύλης: $t_p = t_{p0} \cdot (p + g \cdot f / \gamma)$ $p = N$, N: πλήθος εισόδων πύλης $g_{\text{αντιστροφή}} = 1$, $g_{\text{NAND}} = (N + 2) / 3$, $g_{\text{NOR}} = (2 \cdot N + 1) / 3$ Συνολική καθυστέρηση μιας διαδρομής N πυλών: $D = \sum_{j=1}^N t_{p,j} = t_{p0} \cdot \sum_{j=1}^N \left(p_j + \frac{f_j \cdot g_j}{\gamma} \right)$ Λογική προσπάθεια διαδρομής: $G = g_1 \cdot g_2 \cdot \dots \cdot g_N$ Ηλεκτρική προσπάθεια διαδρομής: $F = f_1 \cdot f_2 \cdot \dots \cdot f_N = C_L / C_{g,1}$ Προσπάθεια διακλάδωσης πύλης: $b_j = (C_{\text{on-path}} + C_{\text{off-path}}) / C_{\text{on-path}}$ Προσπάθεια διακλάδωσης διαδρομής: $B = b_1 \cdot b_2 \cdot \dots \cdot b_N$ Συνολική προσπάθεια διαδρομής: $H = G \cdot F \cdot B$ Προσπάθεια πύλης για ελάχιστη καθυστέρηση διαδρομής: $h = \sqrt[N]{H}$ Ελάχιστη καθυστέρηση διαδρομής: $D_{\min} = t_{p0} \cdot \sum_{j=1}^N \left(p_j + \frac{N \cdot \sqrt[N]{H}}{\gamma} \right)$	f: η ενεργός φόρτος εξόδου ή ηλεκτρική προσπάθεια πύλης p: λόγος της ενδογενούς καθυστέρησης (χωρίς φορτίο) πύλης προς την ενδογενή καθυστέρηση του αντιστροφέα g: λογική προσπάθεια, δηλαδή πόσο μεγαλύτερη χωρητικότητα εισόδου πρέπει να διαθέτει μια πύλη, ώστε να παράξει το ίδιο ρεύμα εξόδου με έναν αντιστροφή Η λογική προσπάθεια των πυλών υπολογίζεται με βάση αντιστροφέα αναφοράς με λόγο πλατών για τα PMOS και NMOS τρανζίστορ ίσο με 2 f_j: ηλεκτρική προσπάθεια πύλης j της διαδρομής p_j: λόγος της ενδογενούς καθυστέρησης της πύλης j της διαδρομής προς την ενδογενή καθυστέρηση ενός αντιστροφέα g_j: λογική προσπάθεια της πύλης j $C_{\text{on-path}}$: χωρητικότητα φορτίου πύλης κατά μήκος της υπό ανάλυση διαδρομής. $C_{\text{off-path}}$: χωρητικότητα συνδέσεων εκτός της υπό ανάλυση διαδρομής.

Δραστηριότητα μεταβάσεων στατικών πυλών CMOS	
$\alpha_{0 \rightarrow 1} = p_0 \cdot p_1 = p_0 \cdot (1 - p_0)$ Υπόθεση: στατιστικά ανεξάρτητες και ομοιόμορφα κατανεμημένες εισόδους: $\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N} = \frac{N_0 \cdot (2^N - N_0)}{2^{2 \cdot N}}$ Χωρίς την παραπάνω υπόθεση (παράδειγμα: πύλη NOR 2 εισόδων A, B): $p_1 = p_{(A=0)} \cdot p_{(B=0)} = (1 - p_A) \cdot (1 - p_B)$ $p_0 = 1 - p_1 = 1 - (1 - p_A) \cdot (1 - p_B)$ $\alpha_{0 \rightarrow 1} = p_0 \cdot p_1 = [1 - (1 - p_A) \cdot (1 - p_B)] \cdot (1 - p_A) \cdot (1 - p_B)$	$\alpha_{0 \rightarrow 1}$: δραστηριότητα μεταβάσεων εξόδου της πύλης p_0: πιθανότητα η έξοδος της πύλης να είναι σε κατάσταση 0 σε έναν κύκλο p_1: πιθανότητα η έξοδος της πύλης να είναι σε κατάσταση 1 στον επόμενο κύκλο N_0 (N_1): πλήθος των μηδενικών (μονάδων) στήλης εξόδου του πίνακα αλήθειας της πύλης. N: πλήθος εισόδων της πύλης p_A: πιθανότητα η είσοδος A να έχει λογική τιμή 1. p_B: πιθανότητα η είσοδος B να έχει λογική τιμή 1. $p_{(A=0)}$: πιθανότητα η είσοδος A να έχει λογική τιμή 0. $p_{(B=0)}$: πιθανότητα η είσοδος B να έχει λογική τιμή 0.

Χωρητικότητα και αντίσταση γραμμών διασύνδεσης κυκλωμάτων CMOS	
Χωρητικότητα γραμμής διασύνδεσης: $C_w = W \cdot L \cdot C_{w0}$	W: πλάτος γραμμής διασύνδεσης L: μήκος γραμμής διασύνδεσης H: πάχος γραμμής διασύνδεσης C_{w0} : χωρητικότητα υλικού γραμμής ανά μονάδα επιφάνειας γραμμής
Αντίσταση γραμμής διασύνδεσης: $R_w = \frac{\rho \cdot L}{H \cdot W}$	ρ : ειδική αντίσταση υλικού γραμμής

Βασικά στοιχεία για το σχεδιασμό συμβολικών διαγραμμάτων (stick diagrams) κυκλωμάτων CMOS
 Μέταλλο Διάχυση τύπου n Διάχυση τύπου p Πολυκρυσταλλικό πυρίτιο ■ Επαφή