

## ΣΥΣΤΗΜΑΤΑ ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) – ΤΥΠΟΛΟΓΙΟ ΕΞΕΤΑΣΕΩΝ

Τιμές σταθερών			
Σταθερά	Σύμβολο	Τιμή	Μονάδες
Φορτίο ηλεκτρονίου	q	$1.6 \cdot 10^{-19}$	C
Διηλεκτρική σταθερά του Si	$\epsilon_{Si}$	$1.05 \cdot 10^{-12}$	F/cm
Διηλεκτρική σταθερά του SiO <sub>2</sub>	$\epsilon_{ox}$	$3.5 \cdot 10^{-13}$	F/cm

Κόστος ολοκληρωμένων κυκλωμάτων (IC) και απόδοση ψηφίδας	Σύμβολα MOSFET
<p>μεταβλητό κόστος ανά IC = <math>\frac{\text{κόστος ψηφίδας} + \text{κόστος ελέγχου ψηφίδας} + \text{κόστος συσκευασίας}}{\text{απόδοση ψηφίδας}}</math></p> <p>κόστος ανά IC = μεταβλητό κόστος + <math>\frac{\text{σταθερό κόστος ψηφίδας}}{\text{όγκος παραγωγής}}</math></p> <p>κόστος ψηφίδας = <math>\frac{\text{κόστος δισκίου}}{\text{πλήθος ψηφίδων ανά δισκίο} + \text{απόδοση ψηφίδας}}</math></p> <p>ψηφίδες ανά δισκίο = <math>\frac{\pi \times (\text{διάμετρος δισκίου} / 2)^2}{\text{επιφάνεια ψηφίδας}} - \frac{\pi \times \text{διάμετρος δισκίου}}{\sqrt{2} \times \text{επιφάνεια ψηφίδας}}</math></p> <p>απόδοση ψηφίδας = <math>\frac{\text{πλήθος ψηφίδων ανά δισκίο που λειτουργούν}}{\text{συνολικό πλήθος ψηφίδων ανά δισκίο}} \times 100 =</math></p> <p>α: παράμετρος διεργασίας κατασκευής <math>\left( 1 + \frac{\text{ατέλειες ανά μονάδα επιφάνειας} \times \text{επιφάνεια ψηφίδας}}{\alpha} \right)^{-\alpha} \times 100</math></p>	<p><b>Σύμβολα MOSFET</b></p> <p>NMOS</p>

Τάση κατωφλίου τρανζίστορ MOSFET	
$V_T = V_{T0} \pm \gamma \cdot \left( \sqrt{ -2 \cdot \phi_F + V_{SB} } - \sqrt{ -2 \cdot \phi_F } \right)$ <p>(+ για τρανζίστορ NMOS και - για τρανζίστορ PMOS)</p>	<p><math>V_{T0}</math>: τάση κατωφλίου για <math>V_{SB} = 0</math>, <math>V_{SB}</math>: τάση πηγής-υποστρώματος, <math>\phi_F</math>: δυναμικό Fermi, <math>t_{ox}</math>: πάχος οξειδίου, N: πυκνότητα συγκέντρωσης προσμείξεων υποστρώματος (νόθευση υποστρώματος)</p> <p><math>\gamma = \frac{t_{ox}}{\epsilon_{ox}} \cdot \sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N}</math> : συντελεστής φαινομένου σώματος</p>

Ρεύμα υποδοχής τρανζίστορ NMOS και PMOS μεγάλου μήκους καναλιού	
$I_{DN} = k_n \cdot \left[ (V_{GS} - V_{Tn}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right], \quad V_{GS} \geq V_{Tn}, V_{DS} < V_{GS} - V_{Tn}, \quad \text{Γραμμική περιοχή}$ $I_{DN} = \frac{k_n}{2} \cdot (V_{GS} - V_{Tn})^2 \cdot (1 + \lambda_n \cdot V_{DS}), \quad V_{GS} \geq V_{Tn}, V_{DS} \geq V_{GS} - V_{Tn}, \quad \text{Περιοχή κορεσμού}$ $I_{DP} = k_p \cdot \left[ (V_{GS} - V_{Tp}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right], \quad V_{GS} \leq V_{Tp}, V_{DS} > V_{GS} - V_{Tp}, \quad \text{Γραμμική περιοχή}$ $I_{DP} = \frac{k_p}{2} \cdot (V_{GS} - V_{Tp})^2 \cdot (1 + \lambda_p \cdot V_{DS}), \quad V_{GS} \leq V_{Tp}, V_{DS} \leq V_{GS} - V_{Tp}, \quad \text{Περιοχή κορεσμού}$	<p>Συντελεστές κέρδους των τρανζίστορ:</p> $k_n = k'_n \cdot \frac{W_n}{L_n}, \quad k'_n = \mu_n \cdot C_{ox}$ $k_p = k'_p \cdot \frac{W_p}{L_p}, \quad k'_p = \mu_p \cdot C_{ox}$ <p>W, L: πλάτος, μήκος καναλιού των τρανζίστορ  <math>\mu_{n(p)}</math>: κινητικότητα ηλεκτρονίων (οπών)  <math>\lambda</math>: συντελεστής διαμόρφωσης μήκους καναλιού των τρανζίστορ</p>

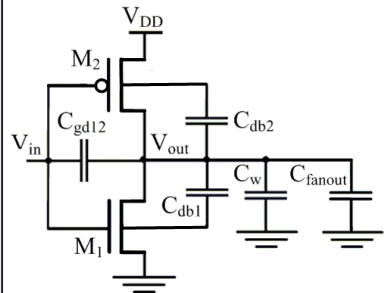
Ρεύμα υποδοχής τρανζίστορ NMOS και PMOS μικρού μήκους καναλιού	
$I_{DN} = k_n \cdot \left[ (V_{GS} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] \cdot (1 + \lambda_n \cdot V_{DS}), \quad V_{DS} \geq V_{DSATn}$ $I_{DP} = k_p \cdot \left[ (V_{GS} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \cdot (1 + \lambda_p \cdot V_{DS}), \quad V_{DS} \leq V_{DSATp}$	<p><math>V_{DSAT}</math>: τάση υποδοχής-πηγής, στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων.</p> <p>Για <math>V_{DS} &lt; V_{DSATn}</math> και <math>V_{DS} &gt; V_{DSATp}</math>, ισχύουν οι σχέσεις της γραμμικής περιοχής των τρανζίστορ NMOS και PMOS μεγάλου μήκους καναλιού</p>

Ισοδύναμη αντίσταση του MOSFET	
$R_{eq} = \frac{1}{2} \cdot \left[ \frac{V_{DD}}{I_{DSAT} \cdot (1 + \lambda \cdot V_{DD})} + \frac{V_{DD}/2}{I_{DSAT} \cdot (1 + \lambda \cdot V_{DD}/2)} \right] \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSAT}} \cdot \left( 1 - \frac{5}{6} \cdot \lambda \cdot V_{DD} \right)$	<p><math>I_{DSAT}</math>: ρεύμα υποδοχής του τρανζίστορ στον κορεσμό ταχύτητας των φορέων για <math>V_{GS} = V_{DD}</math> και <math>\lambda = 0</math>, <math>V_{DD}</math>: τάση τροφοδοσίας</p>

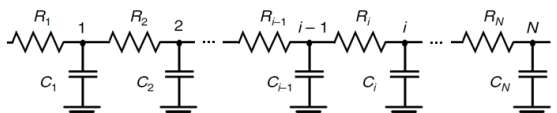
Χωρητικότητες του MOSFET				
Χωρητικότητα πύλης: $C_G = C_{GC} + C_{GDO} + C_{GSO}$				
Χωρητικότητα πύλης-καναλιού: $C_{GC} = C_{GCB} + C_{GCS} + C_{GCD}$				
Περιοχή	C <sub>GCB</sub>	C <sub>GCS</sub>	C <sub>GCD</sub>	C <sub>GC</sub>
Αποκοπή	$C_{ox} \cdot W \cdot L$	0	0	$C_{ox} \cdot W \cdot L$
Γραμμική	0	$C_{ox} \cdot W \cdot L / 2$	$C_{ox} \cdot W \cdot L / 2$	$C_{ox} \cdot W \cdot L$
Κορεσμός	0	$(2/3) \cdot C_{ox} \cdot W \cdot L$	0	$(2/3) \cdot C_{ox} \cdot W \cdot L$
<p><math>C_{GC}</math>: κυμαίνεται από <math>(2/3) \cdot C_{ox} \cdot W \cdot L</math> έως <math>C_{ox} \cdot W \cdot L</math>, αλλά κατά προσέγγιση μπορεί να θεωρείται ίση με <math>C_{ox} \cdot W \cdot L</math> σε όλες τις περιοχές</p> <p><math>C_{ox} = \epsilon_{ox} / t_{ox}</math>: χωρητικότητα οξειδίου πύλης (SiO<sub>2</sub>) ανά μονάδα επιφάνειας</p> <p><math>C_{gso}, C_{gdo}</math>: χωρητικότητες επικάλυψης ανά μονάδα πλάτους καναλιού, μεταξύ πύλης και πηγής και μεταξύ πύλης και υποδοχής.</p>				

## ΣΥΣΤΗΜΑΤΑ ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI) – ΤΥΠΟΛΟΓΙΟ ΕΞΕΤΑΣΕΩΝ

<b>Χωρητικότητες του MOSFET (συνέχεια)</b>	
<p>Χωρητικότητες επικάλυψης: <math>C_{GSO} = C_{gso} \cdot W</math> και <math>C_{GDO} = C_{gd} \cdot W</math></p> <p>Χωρητικότητα επαφής πηγής-υποστρώματος ή υποδοχής-υποστρώματος, (χωρητικότητα περιοχής διάχυσης) = χωρητικότητα βάσης επαφής + χωρητικότητα περιφερειακών πλευρών επαφής</p> <p>Χωρητικότητα βάσης επαφής: <math>C_{bottom} = C_j \cdot W \cdot L_s</math></p> <p>Χωρητικότητα περιφερειακών πλευρών επαφής: <math>C_{sidewall} = C_{jsw} \cdot (W + 2L_s)</math></p> $C_j = C_{j0} \cdot \left(1 - \frac{V_j}{\phi_b}\right)^{-m_j}, \quad C_{jsw} = C_{jsw0} \cdot \left(1 - \frac{V_j}{\phi_b}\right)^{-m_{jsw}}$	<p><math>C_j</math>: χωρητικότητα επαφής ανά μονάδα επιφάνειας,  <math>C_{jsw}</math>: χωρητικότητα επαφής ανά μονάδα περιφέρειας,  <math>L_s</math>: μήκος επαφής,  <math>V_j</math>: τάση (πώλωση) επαφής,  <math>C_{j0}</math>: χωρητικότητα βάσης επαφής για <math>V_j = 0</math>,  <math>C_{jsw0}</math>: χωρητικότητα περιφερειακών πλευρών επαφής για <math>V_j = 0</math>,  <math>\phi_b</math>: ενσωματωμένο δυναμικό επαφής (0.6 έως 1 V),  <math>m_j, m_{jsw}</math>: εκθετικοί συντελεστές (0.3 έως 0.5).</p>

<b>Αντιστροφέας CMOS</b>	
<p>Κατώφλι μετάβασης: <math>V_M \approx \frac{r \cdot V_{DD}}{1+r}, \quad r = \frac{k_p \cdot V_{DSATp}}{k_n \cdot V_{DSATn}}</math></p> <p>Περιθώρια θορύβου: <math>NM_H = V_{OH} - V_{IH}, \quad NM_L = V_{IL} - V_{OL}</math></p> $V_{IH} = V_M + \frac{V_M}{ g }, \quad V_{IL} = V_M - \frac{V_{DD} - V_M}{ g }$ $g = \frac{dV_{out}}{dV_{in}} \Big _{V_{in}=V_{out}} \approx -\frac{1+r}{(V_M - V_{Tn} - V_{DSATn}/2) \cdot (\lambda_n - \lambda_p)}$ <p>Χωρητικότητα εξόδου: <math>C_L = C_{db1} + C_{db2} + C_{gd12} + C_w + C_{fanout}</math></p> $C_{gd12} = 2 \cdot C_{gdon} \cdot W_n + 2 \cdot C_{gdop} \cdot W_p, \quad C_{db} = W \cdot L_s \cdot C_j + (W + 2 \cdot L_s) \cdot C_{jsw}$ $C_j = C_{j0} \cdot K_{eq} = C_{j0} \cdot \frac{(1 - V_{high} / \phi_b)^{-m_j} + (1 - V_{low} / \phi_b)^{-m_j}}{2}$ $C_{jsw} = C_{jsw0} \cdot K_{eqsw} = C_{jsw0} \cdot \frac{(1 - V_{high} / \phi_b)^{-m_{jsw}} + (1 - V_{low} / \phi_b)^{-m_{jsw}}}{2}$ <p>Καθυστερήση διάδοσης:</p> $t_p = \frac{t_{pHL} + t_{pLH}}{2},$ $t_{pHL} = 0.69 \cdot R_{eqn} \cdot C_L$ $t_{pLH} = 0.69 \cdot R_{eqp} \cdot C_L$ $t_{pHL} = \frac{(V_{DD}/2) \cdot C_L}{I_{av-n}}, \quad t_{pLH} = \frac{(V_{DD}/2) \cdot C_L}{I_{av-p}}$	<p><math>V_{OL}, V_{OH}</math>: στάθμες τάσης</p> <p><math>g</math>: κέρδος ή κλίση μέσου σημείου</p> <p><math>C_{db}</math>: χωρητικότητα περιοχής υποδοχής</p> <p><math>C_w</math>: χωρητικότητα διασυνδέσεων = (χωρητικότητα ανά μονάδα επιφάνειας γραμμής διασύνδεσης) × (επιφάνεια γραμμής διασύνδεσης)</p> <p><math>C_{fanout}</math>: χωρητικότητα φορτίου εξόδου</p> <p><math>V_{high}, V_{low}</math>: τιμές μεταξύ των οποίων κυμαίνεται η τάση επαφής υποστρώματος-υποδοχής, κατά τη μετάβαση της τάσης εξόδου</p> <p><math>t_{pHL}</math>: καθυστέρηση διάδοσης για μετάβαση της εξόδου του αντιστροφέα από την υψηλή στη χαμηλή στάθμη</p> <p><math>t_{pLH}</math>: καθυστέρηση διάδοσης για μετάβαση της εξόδου του αντιστροφέα από τη χαμηλή στην υψηλή στάθμη</p> <p><math>I_{av-n}</math>: μέση τιμή ρεύματος του NMOS, κατά τη μετάβαση της τάσης εξόδου από την υψηλή στη χαμηλή στάθμη</p> <p><math>I_{av-p}</math>: μέση τιμή ρεύματος του PMOS, κατά τη μετάβαση της τάσης εξόδου από τη χαμηλή στην υψηλή στάθμη</p>
	

<b>Αλυσίδα αντιστροφέων CMOS</b>	
<p>Καθυστερήση αντιστροφέα: <math>t_{pi} = t_{p0} \cdot \left(1 + \frac{C_{ext}}{\gamma \cdot C_g}\right) = t_{p0} \cdot (1 + f/\gamma), \quad f = \frac{C_{ext}}{C_g}</math></p> <p>Καθυστερήση αλυσίδας N αντιστροφέων: <math>t_p = t_{p0} \cdot \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma \cdot C_{g,j}}\right), \quad C_{g,N+1} = C_L</math></p> <p>Ενεργός φόρτος εξόδου (f) που ελαχιστοποιεί την καθυστέρηση: <math>f = \sqrt[N]{F}</math></p> <p>Συνολικός ενεργός φόρτος αλυσίδας: <math>F = C_L / C_{g,1}</math></p> <p>Ελάχιστη καθυστέρηση αλυσίδας: <math>t_{pmin} = N \cdot t_{p0} \cdot \left(1 + \frac{\sqrt[N]{F}}{\gamma}\right)</math></p> <p>Βέλτιστο πλήθος βαθμίδων αλυσίδας (για ελάχιστη καθυστέρηση): <math>N = \ln(F)</math></p>	<p><math>f</math>: ενεργός φόρτος εξόδου αντιστροφέα</p> <p><math>C_{ext}</math>: χωρητικότητα εξωτερικού φορτίου αντιστροφέα</p> <p><math>C_g</math>: χωρητικότητα εισόδου αντιστροφέα</p> <p><math>C_{int}</math>: ενδογενής χωρητικότητα αντιστροφέα</p> <p><math>\gamma = C_{int} / C_g</math></p> <p><math>t_{p0}</math>: ενδογενής καθυστέρηση αντιστροφέα ή καθυστέρηση χωρίς εξωτερικό φορτίο</p>

<b>Καθυστερήση αλυσίδας Elmore για τον υπολογισμό της καθυστέρησης σειριακά συνδεδεμένων MOSFET</b>	
	$\tau = \sum_{i=1}^N (C_i \cdot \sum_{j=1}^i R_j), \quad \text{δηλαδή}$ $\tau_i = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + \dots + C_i \cdot (R_1 + R_2 + \dots + R_i)$

<b>Βασικά στοιχεία για το σχεδιασμό συμβολικών διαγραμμάτων (stick diagrams) κυκλωμάτων CMOS</b>	
