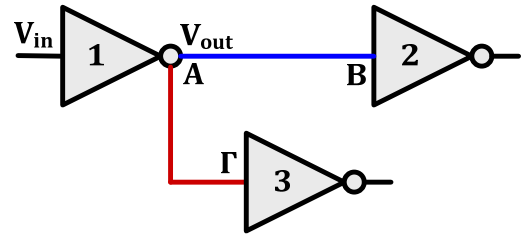


**ΘΕΜΑ 1ο** (1.5 + 1.5 = 3 μονάδες)

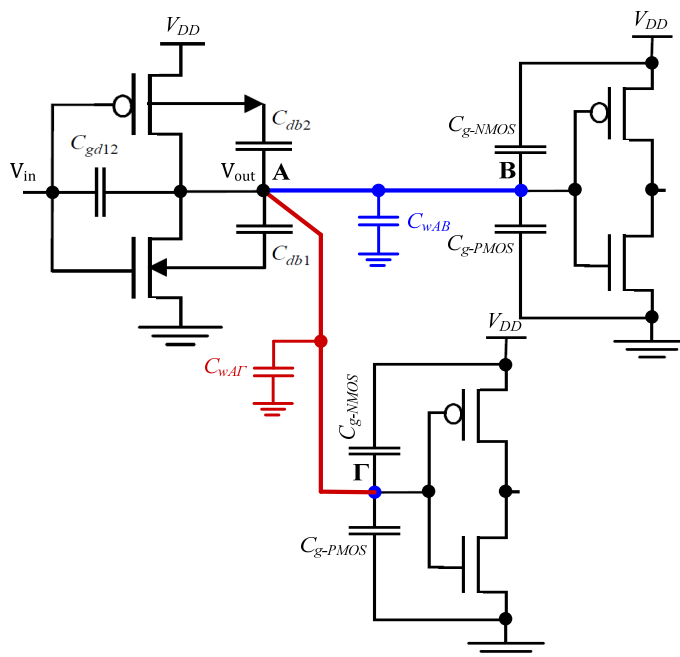
Στο παρακάτω σχήμα δίνεται κύκλωμα που περιλαμβάνει τρεις αντιστροφείς CMOS (1, 2, 3). Ο αντιστροφέας 1 συνδέεται με τον αντιστροφέα 2 μέσω της γραμμής μετάλλου AB και με τον αντιστροφέα 3 μέσω της γραμμής πολυκρυσταλλικού πυριτίου ΑΓ. Η τάση τροφοδοσίας του κυκλώματος είναι  $V_{DD} = 2.5 \text{ V}$ . Για το τρανζίστορ NMOS του αντιστροφέα 1 δίνονται ο συντελεστής κέρδους  $k'_n = 100 \mu\text{A} / \text{V}^2$ , η τάση υποδοχής-πηγής στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων  $V_{DSATn} = 0.7 \text{ V}$ , η τάση κατωφλίου  $V_{Tn} = 0.4 \text{ V}$  και ο συντελεστής διαμόρφωσης μήκους καναλιού  $\lambda_n = 0.1 \text{ V}^{-1}$ . Στον αντιστροφέα 1, οι χωρητικότητες των περιοχών υποδοχής των δύο τρανζίστορ για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης είναι  $C_{db1} = 2 \text{ fF}$  και  $C_{db2} = 5 \text{ fF}$ . Οι διαστάσεις των τρανζίστορ NMOS των τριών αντιστροφέων είναι  $W_n = 1 \mu\text{m}$  και  $L_n = 0.5 \mu\text{m}$ , ενώ οι διαστάσεις των τρανζίστορ PMOS είναι  $W_p = 3 \mu\text{m}$  και  $L_p = 0.5 \mu\text{m}$ . Οι χωρητικότητες επικάλυψης μεταξύ πύλης και υποδοχής και μεταξύ πύλης και πηγής ανά μονάδα πλάτους καναλιού των δύο τρανζίστορ στους τρεις αντιστροφείς είναι  $C_{gdon} = C_{gdop} = C_{gson} = C_{gsop} = 0.3 \text{ fF} / \mu\text{m}$  και η χωρητικότητα οξειδίου πύλης ανά μονάδα επιφάνειας των δύο τρανζίστορ στους τρεις αντιστροφείς είναι  $C_{ox} = 6 \text{ fF} / \mu\text{m}^2$ . Το μήκος της γραμμής διασύνδεσης μετάλλου AB είναι  $10 \mu\text{m}$  και το πλάτος της είναι  $1 \mu\text{m}$ , ενώ όμοιες είναι και οι διαστάσεις της γραμμής πολυκρυσταλλικού πυριτίου ΑΓ. Η χωρητικότητα μιας γραμμής διασύνδεσης μετάλλου ανά μονάδα επιφάνειας είναι  $0.03 \text{ fF} / \mu\text{m}^2$ , ενώ η αντίστοιχη χωρητικότητα μιας γραμμής διασύνδεσης πολυκρυσταλλικού πυριτίου είναι  $0.09 \text{ fF} / \mu\text{m}^2$ . Θεωρήστε ότι η χωρητικότητα των επαφών διασύνδεσης που χρησιμοποιούνται είναι αμελητέα.

- α) Να υπολογίσετε τη χωρητικότητα εξόδου του αντιστροφέα 1, υποθέτοντας ότι όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα, συγκεντρώνονται σε μία μόνο χωρητικότητα  $C_L$ , που συνδέεται μεταξύ της εξόδου του αντιστροφέα και της γείωσης (συγκεντρωτικό μοντέλο).
- β) Να υπολογίσετε την καθυστέρηση διάδοσης του αντιστροφέα 1, για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης.



**ΛΥΣΗ**

- α) Η χωρητικότητα εξόδου του αντιστροφέα 1 για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης, θεωρώντας ότι όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα συγκεντρώνονται σε μία μόνο χωρητικότητα  $C_L$ , που συνδέεται μεταξύ της εξόδου του αντιστροφέα και της γείωσης (συγκεντρωτικό μοντέλο), έχει ως εξής:



$$C_L = C_{db1} + C_{db2} + C_{gd12} + C_{wAB} + C_{wAG} + C_{fanout}$$

όπου  $C_{db1}$  είναι η χωρητικότητα περιοχής υποδοχής του τρανζίστορ NMOS του αντιστροφέα 1,  $C_{db2}$  είναι η χωρητικότητα της περιοχής υποδοχής του τρανζίστορ PMOS του αντιστροφέα 1,  $C_{gd12}$  είναι η χωρητικότητα που αφορά την επίδραση των χωρητικοτήτων επικάλυψης πύλης-υποδοχής των δύο τρανζίστορ του αντιστροφέα 1,  $C_{wAB}$  είναι η χωρητικότητα της γραμμής διασύνδεσης μετάλλου AB,  $C_{wAG}$  είναι η χωρητικότητα της γραμμής διασύνδεσης πολυκρυσταλλικού πυριτίου AG και  $C_{fanout}$  είναι η συνολική χωρητικότητα εισόδου των αντιστροφέων 2 και 3, που έχει ως εξής:

$$C_{fanout} = 2 \cdot C_{g-NMOS} + 2 \cdot C_{g-PMOS}$$

Η χωρητικότητα  $C_{gd12}$ , που αφορά την επίδραση των χωρητικοτήτων επικάλυψης πύλης-υποδοχής των δύο τρανζίστορ, υπολογίζεται ως εξής:

$$C_{gd12} = 2 \cdot C_{gdon} \cdot W_n + 2 \cdot C_{gdop} \cdot W_p = 2 \cdot \frac{0.3 \text{ fF}}{\mu\text{m}} \cdot 1 \mu\text{m} + 2 \cdot \frac{0.3 \text{ fF}}{\mu\text{m}} \cdot 3 \mu\text{m} = (0.6 + 1.8) \text{ fF} = 2.4 \text{ fF}$$

Η χωρητικότητα  $C_{wAB}$  της γραμμής διασύνδεσης μετάλλου AB, υπολογίζεται ως εξής:

$$C_{wAB} = (\text{χωρητικότητα γραμμής ανά μονάδα επιφάνειας}) \cdot (\text{επιφάνεια γραμμής AB}) = 0.03 \frac{\text{fF}}{\mu\text{m}^2} \cdot 1 \mu\text{m} \cdot 10 \mu\text{m} = 0.3 \text{ fF}$$

Αντίστοιχα, η χωρητικότητα  $C_{wAG}$  της γραμμής διασύνδεσης πολυκρυσταλλικού πυριτίου AB, είναι:

$$C_{wAG} = 0.09 \frac{\text{fF}}{\mu\text{m}^2} \cdot 1 \mu\text{m} \cdot 10 \mu\text{m} = 0.9 \text{ fF}$$

Η χωρητικότητα πύλης των τρανζίστορ NMOS ( $C_{g-NMOS}$ ) των αντιστροφέων 2 και 3, είναι:

$$C_{g-NMOS} = C_{gso} \cdot W_n + C_{gdo} \cdot W_n + W_n \cdot L_n \cdot C_{ox} = 0.3 \frac{\text{fF}}{\mu\text{m}} \cdot 1 \mu\text{m} + 0.3 \frac{\text{fF}}{\mu\text{m}} \cdot 1 \mu\text{m} + 1 \mu\text{m} \cdot 0.5 \mu\text{m} \cdot 6 \frac{\text{fF}}{\mu\text{m}^2} = 3.6 \text{ fF}$$

Η χωρητικότητα πύλης των τρανζίστορ PMOS ( $C_{g-PMOS}$ ) του αντιστροφέα 2, είναι:

$$C_{g-PMOS} = C_{gso} \cdot W_p + C_{gdo} \cdot W_p + W_p \cdot L_p \cdot C_{ox} = 0.3 \frac{\text{fF}}{\mu\text{m}} \cdot 3 \mu\text{m} + 0.3 \frac{\text{fF}}{\mu\text{m}} \cdot 3 \mu\text{m} + 3 \mu\text{m} \cdot 0.5 \mu\text{m} \cdot 6 \frac{\text{fF}}{\mu\text{m}^2} = 10.8 \text{ fF}$$

Αφού υπολογίσαμε τις συνιστώσες της χωρητικότητας εξόδου του αντιστροφέα, υπολογίζουμε τη ζητούμενη χωρητικότητα εξόδου του αντιστροφέα:

$$C_L = C_{db1} + C_{db2} + C_{gd12} + C_{wAB} + C_{wAG} + C_{fanout} \Rightarrow C_L = C_{db1} + C_{db2} + C_{gd12} + C_{wAB} + C_{wAG} + 2 \cdot C_{g-NMOS} + 2 \cdot C_{g-PMOS} \Rightarrow C_L = 2 \text{ fF} + 5 \text{ fF} + 2.4 \text{ fF} + 0.3 \text{ fF} + 0.9 \text{ fF} + 2 \cdot 3.6 \text{ fF} + 2 \cdot 10.8 \text{ fF} \Rightarrow C_L = 39.4 \text{ fF}$$

- β) Η καθυστέρηση διάδοσης του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης, υπολογίζεται χρησιμοποιώντας την ισοδύναμη αντίσταση αγωγής ( $R_{eqn}$ ) του τρανζίστορ NMOS και δίνεται από την ακόλουθη σχέση:

$$\tau_{pHL} = \ln(2) \cdot R_{eqn} \cdot C_L = 0.69 \cdot R_{eqn} \cdot C_L$$

Η χωρητικότητα εξόδου του αντιστροφέα υπολογίστηκε στο ερώτημα (α), ενώ η ισοδύναμη αντίσταση αγωγής του τρανζίστορ NMOS, δίνεται από την ακόλουθη σχέση:

$$R_{eqn} \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSATn}} \cdot \left(1 - \frac{5}{6} \cdot \lambda_n \cdot V_{DD}\right)$$

όπου  $I_{DSATn}$  είναι το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για  $V_{GSn} = V_{DD}$  και  $\lambda_n = 0$ ,  $V_{DD}$  είναι η τάση τροφοδοσίας και  $\lambda_n$  είναι ο συντελεστής διαμόρφωσης μη-κούς καναλιού του τρανζίστορ NMOS.



Το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για  $V_{GSn} = V_{DD}$  και  $\lambda_n = 0$ , υπολογίζεται ως εξής:

$$I_{DSATn} = k'_n \cdot \frac{W_n}{L_n} \cdot \left[ (V_{DD} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] = 100 \frac{\mu A}{V^2} \cdot \frac{1 \mu m}{0.5 \mu m} \cdot \left[ (2.5 V - 0.4 V) \cdot 0.7 V - \frac{(0.7 V)^2}{2} \right]$$

$$\Rightarrow I_{DSATn} = 245 \mu A = 0.245 mA.$$

Στη συνέχεια υπολογίζουμε την ισοδύναμη αντίσταση του τρανζίστορ NMOS:

$$R_{eqn} = \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSATn}} \cdot \left( 1 - \frac{5}{6} \cdot \lambda_n \cdot V_{DD} \right) = \frac{3}{4} \cdot \frac{2.5 V}{0.245 mA} \cdot \left( 1 - \frac{5}{6} \cdot 0.1 V^{-1} \cdot 2.5 V \right) = 6.06 k\Omega.$$

Αντικαθιστώντας την ισοδύναμη αντίσταση του τρανζίστορ NMOS και τη χωρητικότητα εξόδου του αντιστροφέα [που υπολογίστηκε στο ερώτημα (α)] στη σχέση υπολογισμού της καθυστέρησης διάδοσης του αντιστροφέα 1 για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης:

$$t_{pHL} = 0.69 \cdot R_{eqn} \cdot C_L = 0.69 \cdot 6.06 k\Omega \cdot 39.4 fF = 164.75 \cdot 10^{-12} s = 164.75 ps.$$

### ΘΕΜΑ 2ο (3.5 + 1 + 0.5 = 5 μονάδες)

Μια σύνθετη πύλη χρησιμοποιείται για την ανίχνευση της κανονικής λειτουργίας ενός φωτεινού σηματοδότη κυκλοφορίας. Η πύλη λαμβάνει 3 εισόδους A, B, C, μία από κάθε λάμπα (πράσινη, πορτοκαλί, κόκκινη) του φαναριού. Κάθε είσοδος λαμβάνει λογική τιμή 1, όταν η αντίστοιχη λάμπα είναι αναμμένη και λογική τιμή 0, όταν η αντίστοιχη λάμπα είναι σβηστή. Η έξοδος F της πύλης λαμβάνει λογική τιμή 1, όταν ανιχνεύεται κανονική λειτουργία, ενώ όταν η λειτουργία του σηματοδότη είναι εσφαλμένη, λαμβάνει λογική τιμή 0. Είναι γνωστό ότι σε κανονική λειτουργία, μόνο μια από τις 3 λάμπες του σηματοδότη είναι αναμμένη και οποιοσδήποτε άλλος συνδυασμός οδηγεί σε εσφαλμένη λειτουργία.

- Αφού καταστρώσετε τον πίνακα αλήθειας της συνάρτησης F και εξάγετε την κατάλληλη απλοποιημένη μορφή της, να σχεδιάσετε το διάγραμμα σε επίπεδο τρανζίστορ μιας συμπληρωματικής πύλης CMOS, μιας πύλης ψεύδο-NMOS λογικής και ενός κυκλώματος που απαρτίζεται από πύλες διέλευσης (transmission gates), που να ανιχνεύουν την κανονική λειτουργία του φωτεινού σηματοδότη.
- Να σχεδιάσετε το λογικό κύκλωμα της σύνθετης πύλης που ανιχνεύει την κανονική λειτουργία του σηματοδότη, χρησιμοποιώντας μόνο σύμβολα λογικών πυλών NAND.

Κατά τη σχεδίαση των παραπάνω κυκλωμάτων να θεωρήσετε ότι εκτός των εισόδων A, B, C, είναι διαθέσιμες και οι συμπληρωματικές τους μορφές A', B', C' και να μεριμνήσετε για το μικρότερο δυνατό κόστος υλοποίησης.

- Να συγκρίνετε τις υλοποιήσεις των ερωτημάτων (α) και (β), διατυπώνοντας με σύντομο τρόπο τα συμπεράσματά σας. Κατά τη σύγκριση να θεωρήσετε ότι για την υλοποίηση των πυλών NAND στο ερώτημα (β), χρησιμοποιείται η συμπληρωματική λογική CMOS.

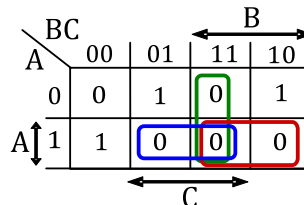
### ΛΥΣΗ

- Ο πίνακας αλήθειας της συνάρτησης που ανιχνεύει την προβλεπόμενη λειτουργία του φωτεινού σηματοδότη έχει ως εξής:

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Από τον πίνακα αλήθειας, χρησιμοποιώντας τον χάρτη Karnaugh της συνάρτησης, μπορούμε να καταλήξουμε στην απλοποιημένη μορφή της λογικής συνάρτησης της εξόδου F. Επίσης, επειδή η συμπληρωματική λογική CMOS και η λογική ψεύδο-NMOS υλοποιούν αντιστρέφουσες (συμπληρωματικές) συναρτήσεις, είναι αναγκαίο να εξάγουμε την συμπληρωματική συνάρτηση της εξόδου (F').

Από τον πίνακα αλήθειας της συνάρτησης της εξόδου F, καταστρώνουμε τον ακόλουθο χάρτη Karnaugh που περιγράφει τη συνάρτηση της εξόδου F.



Από τα τετράγωνα του χάρτη που περιέχουν μονάδες (τα οποία δεν ομαδοποιούνται), καταλήγουμε στην λογική συνάρτηση της εξόδου F της σύνθετης πύλης:

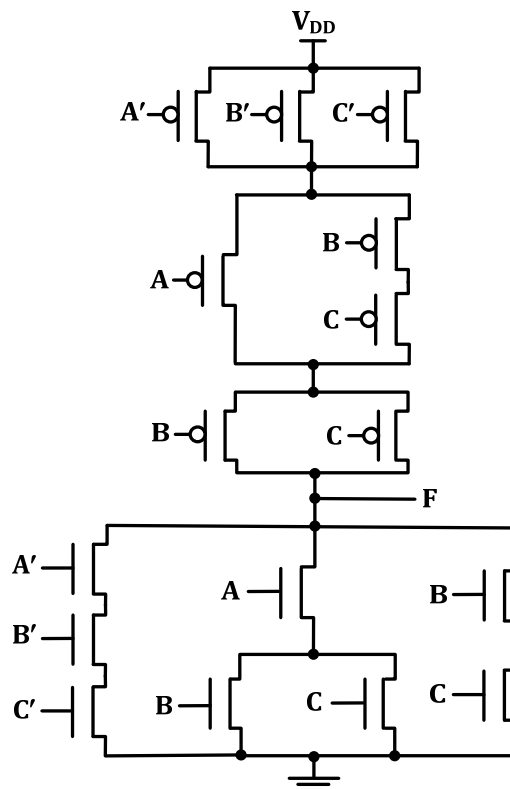
$$F = A \cdot B' \cdot C' + A' \cdot B' \cdot C + A' \cdot B \cdot C' = (A \cdot C' + A' \cdot C) \cdot B' + A' \cdot B \cdot C'$$

Ομαδοποιώντας 3 ζεύγη τετραγώνων που περιέχουν μηδενικά, καταλήγουμε στην ελαχιστοποιημένη μορφή της συνάρτησης της εξόδου F' της σύνθετης πύλης:

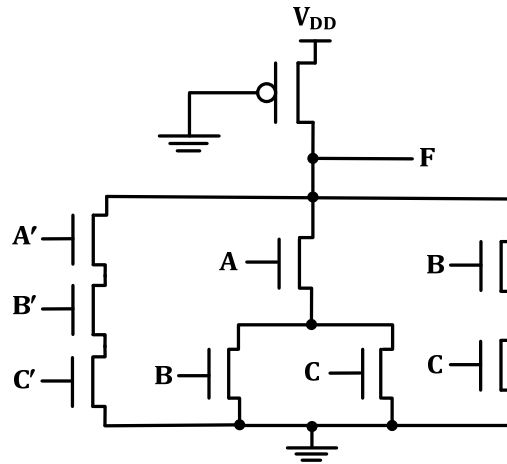
$$F' = A' \cdot B' \cdot C' + A \cdot B + A \cdot C + B \cdot C = A' \cdot B' \cdot C' + A \cdot (B + C) + B \cdot C \Rightarrow F = [A' \cdot B' \cdot C' + A \cdot (B + C) + B \cdot C]'$$

Το πρώτο βήμα σχεδίασης του διαγράμματος του κυκλώματος μιας συμπληρωματικής πύλης CMOS σε επίπεδο τρανζίστορ, η οποία υλοποιεί τη λογική συνάρτηση της εξόδου F είναι να σχεδιάσουμε το δικτύωμα PDN, βασιζόμενοι στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τη συνάρτηση AND και παράλληλα υλοποιούν τη συνάρτηση OR. Το επόμενο βήμα είναι να χρησιμοποιήσουμε την αρχή του δυϊσμού για να παράγουμε το δικτύωμα PUN, αντικαθιστώντας τα σειριακά τρανζίστορ NMOS του δικτύωματος PDN με παράλληλα τρανζίστορ PMOS και τα παράλληλα τρανζίστορ NMOS του δικτύωματος PDN με σειριακά τρανζίστορ PMOS. Η πύλη CMOS που παράγεται είναι συμπληρωματική, υλοποιώντας το συνολικό συμπλήρωμα που εμφανίζεται στη συνάρτηση  $F = [A' \cdot B' \cdot C' + A \cdot (B + C) + B \cdot C]'$ .

Με βάση τα παραπάνω, το κυκλωματικό διάγραμμα παρουσιάζεται στο παρακάτω σχήμα.



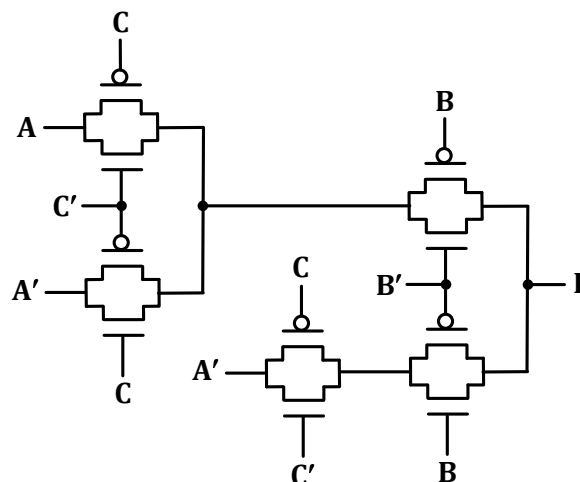
Στην λογική ψεύδο-NMOS, το δικτύωμα PUN αντικαθίσταται από ένα τρανζίστορ PMOS με γειωμένο τον ακροδέκτη πύλης. Έτσι, με βάση το κυκλωματικό διάγραμμα που προέκυψε στην απάντηση του ερωτήματος (α<sub>1</sub>), το διάγραμμα του κυκλώματος μιας πύλης ψεύδο-NMOS λογικής σε επίπεδο τρανζίστορ, η οποία να υλοποιεί τη λογική συνάρτηση της εξόδου F, παρουσιάζεται στο παρακάτω σχήμα.



Τα σήματα ελέγχου σε μια πύλη διέλευσης είναι συμπληρωματικά (π.χ. X και X'), επιτρέποντας στο σήμα εισόδου να διέλθει μέσω της πύλης όταν X = 1 (άγουν και τα δυο τρανζίστορ της πύλης) και να περάσει στην έξοδο (είσοδος = έξοδος) ή δημιουργώντας ανοικτό κύκλωμα μεταξύ εισόδου και εξόδου όταν X = 0 (τα τρανζίστορ της πύλης δεν άγουν).

Παρατηρώντας τη λογική συνάρτηση της εξόδου  $F = (A \cdot C' + A' \cdot C) \cdot B' + A' \cdot B \cdot C'$ , διαπιστώνουμε ότι η λογική έκφραση της παρένθεσης ισούται με A όταν C = 0 και με A' όταν C = 1. Επομένως, χρησιμοποιώντας δύο πύλες διέλευσης με εισόδους A και A', σήματα ελέγχου C' και C, αντίστοιχα και συνδεδεμένες μεταξύ τους τις εξόδους τους, μπορούμε να υλοποιήσουμε την λογική έκφραση που βρίσκεται στην παρένθεση.

Παρομοίως, παρατηρούμε ότι η συνάρτηση της εξόδου F λαμβάνει την τιμή της λογικής έκφρασης της παρένθεσης όταν B = 0 και την τιμή του λογικού γινομένου A'C' όταν B = 1. Επομένως, χρησιμοποιώντας δύο πύλες διέλευσης με εισόδους την έξοδο του κυκλώματος που υλοποιεί την λογική έκφραση της παρένθεσης και το λογικό γινόμενο A'C', σήματα ελέγχου B' και B, αντίστοιχα και συνδεδεμένες μεταξύ τους τις εξόδους τους, μπορούμε να υλοποιήσουμε την λογική συνάρτηση της εξόδου F. Το λογικό γινόμενο A'C' υλοποιείται με μία ακόμη πύλη διέλευσης, όπως παρουσιάζεται στο παρακάτω συνολικό κύκλωμα.

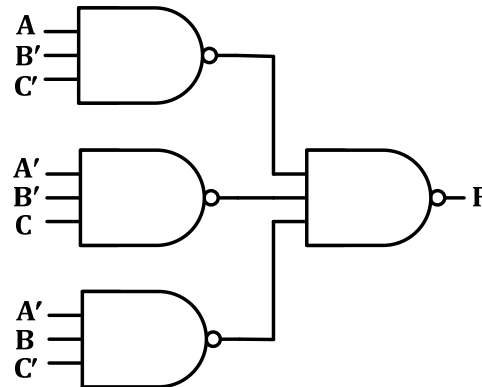


- γ) Η συνάρτηση της εξόδου F με εφαρμογή των θεωρημάτων διπλής άρνησης και De Morgan της άλγεβρας Boole μπορεί να γραφτεί ως εξής:

$$F = A \cdot B' \cdot C' + A' \cdot B' \cdot C + A' \cdot B \cdot C' = [(A \cdot B' \cdot C' + A' \cdot B' \cdot C + A' \cdot B \cdot C')]' =$$

$$= [(A \cdot B' \cdot C')' \cdot (A' \cdot B' \cdot C)' \cdot (A' \cdot B \cdot C')]'$$

και να υλοποιηθεί με 4 πύλες NAND τριών εισόδων, όπως παρουσιάζεται στο παρακάτω λογικό διάγραμμα.



Κάθε πύλη NAND τριών εισόδων αποτελείται από 6 τρανζίστορ, συνεπώς το παραπάνω λογικό κύκλωμα υλοποιείται με 24 τρανζίστορ.

δ) Συγκρίνοντας τις υλοποιήσεις των ερωτημάτων (α) και (β) διαπιστώνουμε τα ακόλουθα:

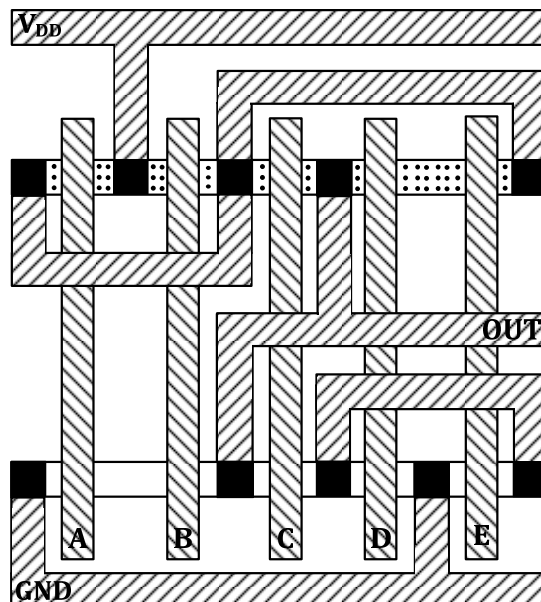
- ✓ Η σύνθετη συμπληρωματική πύλη CMOS περιλαμβάνει 16 τρανζίστορ.
- ✓ Η πύλη ψεύδο-NMOS λογικής περιλαμβάνει 9 τρανζίστορ.
- ✓ Το κύκλωμα που απαρτίζεται από πύλες διέλευσης περιλαμβάνει 10 τρανζίστορ.
- ✓ Το κύκλωμα με τις διακριτές πύλες NAND τριών εισόδων περιλαμβάνει 24 τρανζίστορ.

Αν και η πύλη ψεύδο-NMOS λογικής είναι η οικονομικότερη, δεν αποτελεί την πιο αποδοτική υλοποίηση, διότι παρουσιάζει βασικά μειονεκτήματα, όπως η στατική κατανάλωση ενέργειας (όταν η τάση εξόδου είναι στη χαμηλή στάθμη υφίσταται απευθείας διαδρομή ρεύματος μεταξύ τροφοδοσίας και γείωσης) και η περιορισμένη στιβαρότητα λόγω των μειωμένων περιθωρίων θορύβου.

Επομένως, λαμβάνοντας υπόψη το χαμηλό κόστος του κυκλώματος που απαρτίζεται από πύλες διέλευσης, συμπεραίνουμε ότι για την εν λόγω εφαρμογή, είναι προτιμότερη η υλοποίηση αυτή.

### ΘΕΜΑ 3ο (2 μονάδες)

Στο παρακάτω σχήμα παρουσιάζεται το συμβολικό διάγραμμα του φυσικού σχεδίου σύνθετης πύλης συμπληρωματικής λογικής CMOS με 5 εισόδους (A, B, C, D) και έξοδο OUT. Να σχεδιάσετε το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ και να εξάγετε τη λογική συνάρτηση της εξόδου (OUT) της πύλης, εξηγώντας σύντομα τις απαντήσεις σας.

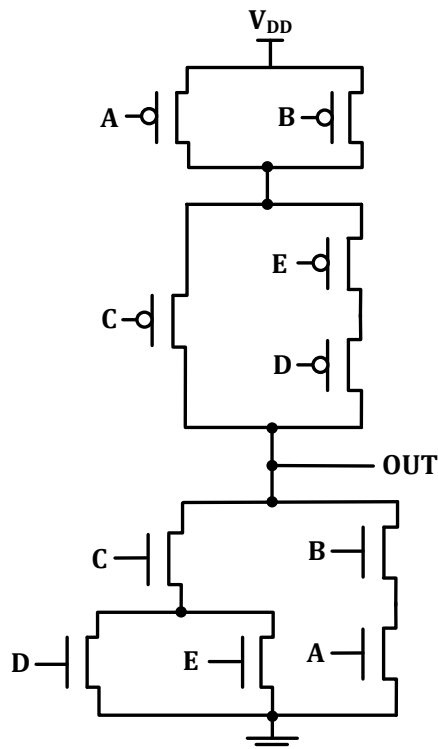


**ΛΥΣΗ**

Παρατηρώντας τις διασυνδέσεις των τρανζίστορ NMOS στο φυσικό σχέδιο της σύνθετης πύλης, διαπιστώνουμε ότι τα τρανζίστορ, στις πύλες πολυκρυσταλλικού πυριτίου των οποίων τίθενται οι εισοδοί A και B, είναι συνδεδεμένα σε σειρά (έχουν μία κοινή περιοχή διάχυσης). Η μη κοινή περιοχή διάχυσης του τρανζίστορ στην πύλη του οποίου τίθεται η εισόδος A συνδέεται στη γείωση και η μη κοινή περιοχή του τρανζίστορ στην πύλη του οποίου τίθεται η εισόδος B συνδέεται σε περιοχή διάχυσης του τρανζίστορ στην πύλη του οποίου τίθεται η εισόδος C και στην έξοδο της πύλης. Τα τρανζίστορ, στις πύλες πολυκρυσταλλικού πυριτίου των οποίων τίθενται οι εισοδοί D και E είναι συνδεδεμένα παράλληλα, αφού η μία περιοχή διάχυσης και των δύο συνδέεται στην γείωση και οι άλλες δύο περιοχές διάχυσης συνδέονται μεταξύ τους και με την περιοχή διάχυσης του τρανζίστορ στην πύλη του οποίου τίθεται η εισόδος C.

Όσον αφορά το δικτύωμα των τρανζίστορ PMOS, με παρόμοιο τρόπο προκύπτει ότι είναι δυϊκό του δικτύωματος των τρανζίστορ NMOS, δηλαδή υπάρχει εναλλαγή σειριακών και παράλληλων συνδέσεων των τρανζίστορ στα δύο δικτύωματα, με τις σειριακές συνδέσεις στο δικτύωμα των τρανζίστορ NMOS να γίνονται παράλληλες στο δικτύωμα των τρανζίστορ PMOS και τις παράλληλες συνδέσεις στο δικτύωμα των τρανζίστορ NMOS να γίνονται σειριακές στο δικτύωμα των τρανζίστορ PMOS.

Με βάση τις παραπάνω διαπιστώσεις, το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ, παρουσιάζεται στο παρακάτω σχήμα.



Για την εξαγωγή της λογικής συνάρτησης της εξόδου της σύνθετης πύλης, λαμβάνουμε υπόψη ότι τρανζίστορ NMOS συνδεδεμένα σε σειρά αντιστοιχούν σε συνάρτηση AND, αφού όταν όλες οι εισοδοί είναι σε υψηλή στάθμη, η σειριακή διάταξη άγει και η τιμή από το ένα άκρο της διάταξης μεταφέρεται στο άλλο, ενώ τρανζίστορ NMOS συνδεδεμένα παράλληλα αντιστοιχούν σε συνάρτηση OR, αφού υπάρχει μία αγωγίμη διαδρομή μεταξύ των ακροδεκτών εισόδου και εξόδου εάν τουλάχιστον μία από τις εισόδους είναι σε υψηλή στάθμη. Τέλος, λαμβάνουμε υπόψη ότι οι στατικές πύλες συμπληρωματικής λογικής είναι από τη φύση τους (λόγω του τρόπου σχεδιασμού τους) αντιστρέφουσες, δηλαδή υλοποιούν συμπληρωματικές λογικές συναρτήσεις.

Με βάση τα παραπάνω, η λογική συνάρτηση της εξόδου OUT της σύνθετης πύλης, έχει ως εξής:

$$\text{OUT} = [A \cdot B + C \cdot (D + E)]'$$

=====