



ΘΕΜΑ 1ο (1 + 0.5 + 0.5 = 2 μονάδες)

Ένα δισκίο (wafer) με διάμετρο 30 cm περιλαμβάνει ψηφίδες (dies) με επιφάνεια 2 cm^2 η καθεμία. Κατά την παραγωγή του δισκίου παρουσιάζεται στις ψηφίδες μία ατέλεια ανά cm^2 και η παράμετρος α της διεργασίας κατασκευής που επηρεάζει την απόδοση ισούται με 2. Δίνεται ότι $\pi = 3.14$.

- Να υπολογίσετε το πλήθος των ψηφίδων του δισκίου.
- Να υπολογίσετε την απόδοση ψηφίδας.
- Να υπολογίσετε το πλήθος των λειτουργικών ψηφίδων του δισκίου.

ΛΥΣΗ

- Το πλήθος των ψηφίδων του δισκίου προκύπτει από τη διαίρεση της επιφάνειας του δισκίου προς την επιφάνεια της ψηφίδας, λαμβάνοντας υπόψη ότι επειδή το δισκίο έχει κυκλικό σχήμα και οι ψηφίδες τετραγωνικό, οι ψηφίδες γύρω από την περίμετρο του δισκίου δεν μπορούν να χρησιμοποιηθούν και συνεπώς δε συνυπολογίζονται στο πλήθος των ψηφίδων που προκύπτει από το δισκίο:

$$\text{Πλήθος ψηφίδων ανά δισκίο} = \frac{\pi \times (\text{διάμετρος δισκίου} / 2)^2}{\text{επιφάνεια ψηφίδας}} - \frac{\pi \times \text{διάμετρος δισκίου}}{\sqrt{2} \times \text{επιφάνεια ψηφίδας}} \Rightarrow$$

$$\text{Πλήθος ψηφίδων ανά δισκίο} = \frac{3.14 \times 15^2 \text{ cm}^2}{2 \text{ cm}^2} - \frac{3.14 \times 30 \text{ cm}}{\sqrt{2} \times 2 \text{ cm}^2} \Rightarrow$$

$$\text{Πλήθος ψηφίδων ανά δισκίο} = 353.25 - 47.1 = 306.15.$$

Το παραπάνω αποτέλεσμα σημαίνει ότι από το δισκίο προκύπτουν 306 πιθανά λειτουργικές ψηφίδες.

- Η απόδοση ψηφίδας, δηλαδή το ποσοστό των ψηφίδων που προέκυψαν από το δισκίο, οι οποίες είναι λειτουργικές προκύπτει από την παρακάτω σχέση:

$$\text{Απόδοση ψηφίδας} = \left(1 + \frac{\text{ατέλειες ανά μονάδα επιφάνειας} \times \text{επιφάνεια ψηφίδας}}{\alpha} \right)^{-\alpha} \times 100 \Rightarrow$$

$$\text{Απόδοση ψηφίδας} = \left(1 + \frac{1 \frac{\text{ατέλεια}}{\text{cm}^2} \times 2 \text{ cm}^2}{2} \right)^{-2} \times 100 \Rightarrow \text{απόδοση ψηφίδας} = 0.25 \times 100 = 25\% .$$

- Το παραπάνω αποτέλεσμα σημαίνει ότι από τις πιθανώς λειτουργικές ψηφίδες (δηλαδή, από τις ψηφίδες που προέκυψαν από το δισκίο και μπορούν να χρησιμοποιηθούν, μόνο το 25% είναι λειτουργικές. Συνεπώς το πλήθος των λειτουργικών ψηφίδων του δισκίου είναι:

$$0.25 \times 306 = 76.5, \text{ δηλαδή } 76 \text{ ψηφίδες.}$$

ΘΕΜΑ 2ο (1 + 2.5 + 1.5 = 5 μονάδες)

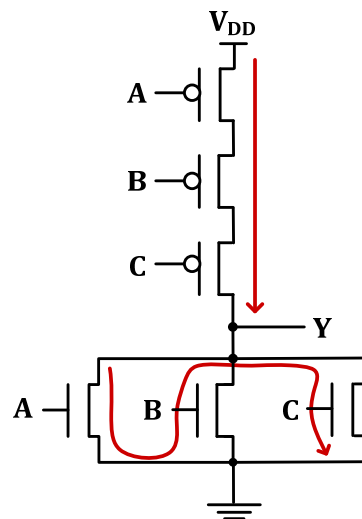
- Να σχεδιάσετε το διάγραμμα του κυκλώματος σε επίπεδο τρανζίστορ μιας πύλης NOR συμπληρωματικής λογικής CMOS με τρεις εισόδους A, B, C και έξοδο Y.
- Με βάση το κυκλωματικό διάγραμμα της πύλης που σχεδιάσατε στο προηγούμενο ερώτημα και αφού υποδείξετε σε αυτό μια κοινή διαδρομή Euler στα δικτυώματα PDN και PUN, να σχεδιάσετε το συμβολικό διάγραμμα του φυσικού σχεδίου της πύλης. Για το σχεδιασμό να χρησιμοποιήσετε τα βασικά στοιχεία που δίνονται στο τέλος του τυπολογίου και να μην συμπεριλάβετε πηγάδια (wells) τύπου n ή p.
- Να υπολογίσετε την καθυστέρηση διάδοσης της πύλης που σχεδιάσατε για μετάβαση της εξόδου της από την χαμηλή στην υψηλή στάθμη τάσης (t_{pLH}). Δίνεται ότι η ισοδύναμη αντίσταση κάθε τρανζίστορ PMOS της πύλης είναι $R = 10 \text{ k}\Omega$, η χωρητικότητα μεταξύ δύο σειριακά συνδεδεμένων τρανζίστορ PMOS είναι $C = 3 \text{ fF}$, καθώς και ότι η χωρητικότητα στον κόμβο εξόδου της πύλης NOR είναι $C_L = 6 \cdot C$.

ΛΥΣΗ

- α) Το πρώτο βήμα σχεδίασης του κυκλωματικού διαγράμματος μιας λογικής πύλης είναι να σχεδιάσουμε το δικτύωμα PDN, βασιζόμενοι στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τη συνάρτηση AND και παράλληλα υλοποιούν τη συνάρτηση OR.

Το επόμενο βήμα είναι να χρησιμοποιήσουμε την αρχή του δυϊσμού για να παράγουμε το δικτύωμα PUN, αντικαθιστώντας τα σειριακά τρανζίστορ NMOS του δικτυώματος PDN με παράλληλα τρανζίστορ PMOS και τα παράλληλα τρανζίστορ NMOS του δικτυώματος PDN με σειριακά τρανζίστορ PMOS. Η πύλη CMOS που παράγεται είναι συμπληρωματική, υλοποιώντας το συνολικό συμπλήρωμα που εμφανίζεται στη συνάρτηση.

Με βάση τα παραπάνω, μια πύλη NOR τριών εισόδων που υλοποιεί τη συνάρτηση $Y = (A + B + C)'$, περιλαμβάνει 3 τρανζίστορ NMOS συνδεδεμένα παράλληλα και 3 τρανζίστορ PMOS συνδεδεμένα σε σειρά. Το ζητούμενο κυκλωματικό διάγραμμα παρουσιάζεται στο παρακάτω σχήμα.



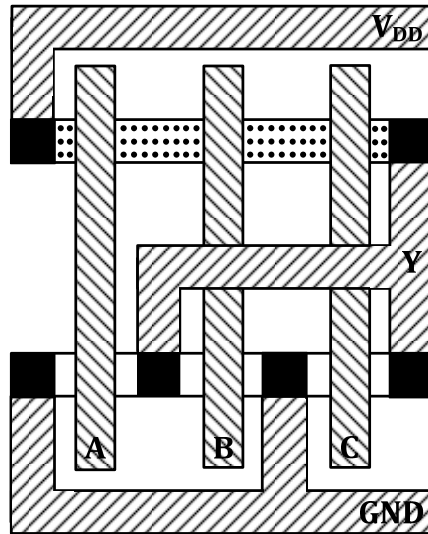
- β) Μία διαδρομή Euler σε ένα κυκλωματικό διάγραμμα είναι μια διαδρομή που διατρέχει όλα τα τρανζίστορ ενός δικτυώματος (PDN ή PUN), έτσι ώστε κάθε τρανζίστορ να διατρέχεται μόνο μία φορά. Ο προσδιορισμός μιας τέτοιας διαδρομής είναι σημαντικός, αφού η τοποθέτηση των εισόδων σε μία σειρά που οδηγεί σε μη διακοπτόμενη λωρίδα διάχυσης για τα τρανζίστορ ενός τύπου, είναι δυνατή μόνο όταν υπάρχει μία διαδρομή Euler στον κυκλωματικό διάγραμμα του αντίστοιχου δικτυώματος. Οι διαδρομές Euler δεν είναι μοναδικές. Η ακολουθία των εισόδων σε διαδρομή Euler είναι όμοια με τη σειρά τοποθέτησης των εισόδων στο φυσικό σχέδιο της πύλης.

Για να επιτύχουμε την ίδια σειρά τοποθέτησης και στα δύο δικτύωματα (PDN και PUN), πράγμα απαραίτητο αφού πρόκειται να χρησιμοποιήσουμε μία και μόνο κατακόρυφη λωρίδα πολυκρυσταλλικού πυριτίου για κάθε είσοδο της λογικής πύλης, πρέπει να συμφωνούν οι διαδρομές Euler των δύο λογικών γραφημάτων, που σημαίνει ότι πρέπει να διατρέχουν την ίδια ακολουθία εισόδων. Μια κοινή διαδρομή Euler στην πύλη που σχεδιάστηκε είναι η ABC, που υποδεικνύεται στο παραπάνω σχήμα.

Για να σχεδιάσουμε το συμβολικό διάγραμμα του φυσικού σχεδίου της σύνθετης πύλης, τοποθετούμε τις κατακόρυφες λωρίδες πολυκρυσταλλικού πυριτίου με βάση την ακολουθία εισόδων της κοινής διαδρομής Euler. Χρησιμοποιούμε δύο οριζόντιες λωρίδες από μέταλλο: γείωση στο κάτω άκρο του διαγράμματος και τροφοδοσία στην κορυφή.

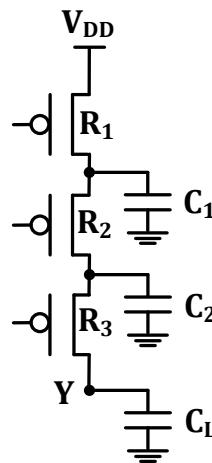
Στη συνέχεια, σχεδιάζονται δύο οριζόντιες λωρίδες: διάχυση τύπου n κοντά στη λωρίδα της γείωσης και διάχυση τύπου p κοντά στη λωρίδα της τροφοδοσίας.

Τέλος, χρησιμοποιώντας επαφές, διενεργούμε τις κατάλληλες μεταλλικές συνδέσεις, ανάλογα με τον τρόπο που είναι συνδεδεμένα τα τρανζίστορ στα δύο δικτύωματα. Το ζητούμενο συμβολικό διάγραμμα παρουσιάζεται στο παρακάτω σχήμα:



Μέταλλο
 Διάχυση τύπου n
 Διάχυση τύπου p
 Πολυκρυσταλλικό πυρίτιο
 Επαφή

- γ) Η καθυστέρηση διάδοσης μιας πύλης κατά την μετάβαση της εξόδου της από την χαμηλή στην υψηλή στάθμη τάσης, είναι ο χρόνος που απαιτείται για την μετάβαση της τάσης εξόδου της πύλης από 0 έως $(V_{DD} / 2)$ και ισούται με $0.69 \cdot \tau$, όπου τ είναι η σταθερά χρόνου του δικτυώματος, μέσω του οποίου εκφορτίζεται ο κόμβος εξόδου της πύλης. Στην περίπτωση της πύλης NOR 3 εισόδων, η καθυστέρηση είναι ανάλογη της σταθεράς χρόνου του δικτυώματος που περιλαμβάνει τρία τρανζίστορ PMOS συνδεδεμένα σε σειρά.



Η σταθερά χρόνου τ του παραπάνω δικτυώματος υπολογίζεται από τον τύπο του Elmore, ως εξής:

$$\tau = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + C_L \cdot (R_1 + R_2 + R_3) \Rightarrow$$

$$\tau = C \cdot R + 2 \cdot C \cdot R + 3 \cdot 6 \cdot C \cdot R \Rightarrow \tau = 21 \cdot C \cdot R.$$

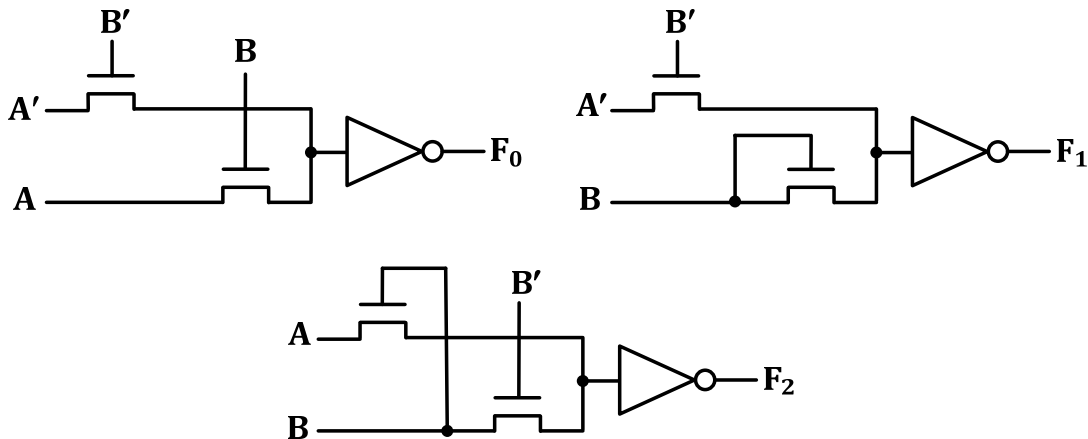
Η ζητούμενη καθυστέρηση t_{pLH} , υπολογίζεται ως εξής:

$$t_{pLH} = 0.69 \cdot 21 \cdot C \cdot R \Rightarrow t_{pLH} = (14.49 \cdot 3 \cdot 10^{-15} \cdot 10 \cdot 10^3) \text{ s} \Rightarrow t_{pLH} = 434.7 \cdot 10^{-12} \text{ s} \Rightarrow$$

$$\Rightarrow t_{pLH} = 434.7 \text{ ps}.$$

ΘΕΜΑ 3ο (3 μονάδες)

Να προσδιορίσετε τις λογικές συναρτήσεις εξόδου F_0 , F_1 και F_2 των κυκλωμάτων του παρακάτω σχήματος, εξηγώντας τις απαντήσεις σας.



ΛΥΣΗ

Στα τρία κυκλώματα χρησιμοποιείται λογική τρανζίστορ-διέλευσης (pass transistor logic) με τρανζίστορ NMOS, η οποία στοχεύει στη μείωση του πλήθους των τρανζίστορ, επιτρέποντας στις εισόδους που αντιστοιχούν στις μεταβλητές μιας λογικής συνάρτησης, να οδηγούν εκτός από ακροδέκτες πύλης και ακροδέκτες πηγής και υποδοχής των τρανζίστορ. Τα τρανζίστορ διέλευσης λειτουργούν ως διακόπτες. Όταν στον ακροδέκτη πύλης ενός τρανζίστορ NMOS εφαρμοστεί τάση που αντιστοιχεί στη λογική τιμή 1, τότε αυτό λειτουργεί ως κλειστός διακόπτης, διαφορετικά λειτουργεί ως ανοιχτός διακόπτης.

Ο απλούστερος τρόπος αντιμετώπισης του θέματος αυτού, είναι να καταγράψουμε σε έναν πίνακα τους 4 συνδυασμούς λογικών τιμών των εισόδων A και B και να υπολογίσουμε τη λογική τιμή της εξόδου κάθε κυκλώματος για κάθε συνδυασμό λογικών τιμών των εισόδων, με βάση τα προαναφερόμενα.

A	B	F ₀
0	0	0
0	1	1
1	0	1
1	1	0

A	B	F ₁
0	0	0
0	1	1
1	0	1
1	1	1

A	B	F ₂
0	0	1
0	1	1
1	0	1
1	1	0

Από τους παραπάνω πίνακες διαπιστώνουμε ότι $F_0 = A' \cdot B + A \cdot B' = A \oplus B$, $F_1 = A + B$ και $F_2 = (A \cdot B)'$, δηλαδή ότι το πρώτο κύκλωμα υλοποιεί τη λογική πράξη XOR (αποκλειστικό OR) δύο μεταβλητών, το δεύτερο κύκλωμα τη λογική πράξη OR (λογικό άθροισμα) δύο μεταβλητών και το τρίτο κύκλωμα τη λογική πράξη NAND (συμπλήρωμα λογικού γινομένου) δύο μεταβλητών.

=====