

ΘΕΜΑ 1ο (1,5 + 2 = 3,5 μονάδες)

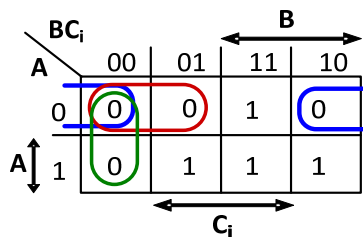
Δίνεται ο πίνακας αλήθειας της συνάρτησης του κρατούμενου εξόδου (C_o) ενός πλήρους αθροιστή (full adder) που προσθέτει 3 ψηφία (δύο ψηφία-προσθετέους A, B και το κρατούμενο εισόδου C_i).

A	B	C_i	C_o
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

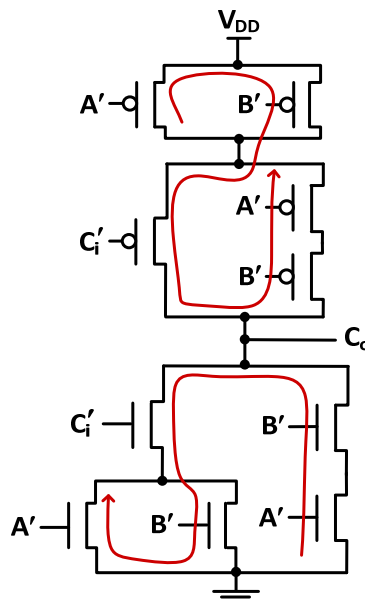
- α) Χρησιμοποιώντας το μικρότερο δυνατό πλήθος τρανζίστορ, να σχεδιάσετε το διάγραμμα του κυκλώματος μιας σύνθετης συμπληρωματικής πύλης CMOS σε επίπεδο τρανζίστορ, η οποία να υλοποιεί τη συνάρτηση του κρατούμενου εξόδου C_o . Για την σχεδίαση του κυκλώματος, εκτός των εισόδων A, B, C_i , είναι διαθέσιμες και οι συμπληρωματικές τους μορφές A' , B' , C'_i .
- β) Με βάση το κυκλωματικό διάγραμμα της σύνθετης πύλης και αφού υποδείξετε σε αυτό μια κοινή διαδρομή Euler στα δικτυώματα PDN και PUN, να σχεδιάσετε το συμβολικό διάγραμμα του φυσικού σχεδίου της πύλης. Για την σχεδίαση να χρησιμοποιήσετε τα βασικά στοιχεία που δίνονται στο τέλος του τυπολογίου και να μην συμπεριλάβετε πηγάδια (wells) τύπου n ή p.

ΑΠΑΝΤΗΣΗ

- α) Από τον πίνακα αλήθειας, χρησιμοποιώντας τον χάρτη Karnaugh της συνάρτησης, μπορούμε να καταλήξουμε στην απλοποιημένη μορφή της λογικής συνάρτησης C_o . Επειδή η συμπληρωματική λογική CMOS υλοποιεί αντιστρέφουσες (συμπληρωματικές) συναρτήσεις, είναι αναγκαίο να εξάγουμε την συμπληρωματική συνάρτηση C'_o . Από τον πίνακα αλήθειας της συνάρτησης C_o , καταστρώνουμε τον ακόλουθο χάρτη Karnaugh που περιγράφει την συνάρτηση.



Ομαδοποιώντας σε τρία ζεύγη τα τετράγωνα του χάρτη που περιέχουν μηδενικά, καταλήγουμε στην ελαχιστοποιημένη μορφή της συνάρτησης C'_o : $C'_o = A' \cdot B' + B' \cdot C'_i + A' \cdot C'_i = A' \cdot B' + (A' + B') \cdot C'_i$ και στη συνέχεια, στην ακόλουθη μορφή της συνάρτησης C_o , που οδηγεί σε υλοποίηση με το μικρότερο δυνατό πλήθος τρανζίστορ: $C_o = [A' \cdot B' + (A' + B') \cdot C'_i]'$.



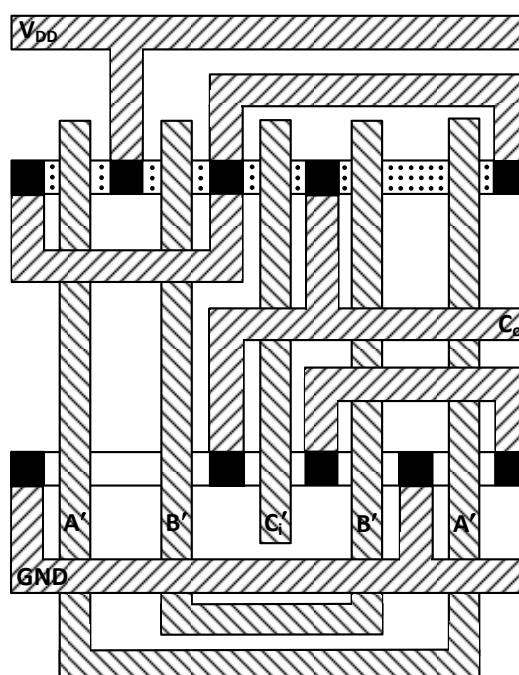
Το πρώτο βήμα σχεδίασης του διαγράμματος του κυκλώματος μιας συμπληρωματικής πύλης CMOS σε επίπεδο τρανζίστορ, η οποία υλοποιεί τη λογική συνάρτηση C_0 , είναι να σχεδιάσουμε το δικτύωμα PDN, βασιζόμενοι στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τις λογικές πράξεις AND της συνάρτησης και παράλληλα υλοποιούν τις λογικές πράξεις OR της συνάρτησης. Το επόμενο βήμα είναι να χρησιμοποιήσουμε την αρχή του δυϊσμού για να παράγουμε το δικτύωμα PUN, αντικαθιστώντας τα σειριακά συνδεδεμένα τρανζίστορ NMOS του δικτύωματος PDN με παράλληλα συνδεδεμένα τρανζίστορ PMOS και τα παράλληλα συνδεδεμένα τρανζίστορ NMOS του δικτύωματος PDN με σειριακά συνδεδεμένα τρανζίστορ PMOS. Η πύλη CMOS που παράγεται είναι συμπληρωματική, υλοποιώντας το συνολικό συμπλήρωμα $[A' \cdot B' + (A' + B') \cdot C'_i]$ που εμφανίζεται στη συνάρτηση. Το κυκλωματικό διάγραμμα παρουσιάζεται στο παραπάνω σχήμα.

- β) Μία διαδρομή Euler σε ένα κυκλωματικό διάγραμμα είναι μια διαδρομή που διατρέχει όλα τα τρανζίστορ ενός δικτύωματος (PDN ή PUN), έτσι ώστε κάθε τρανζίστορ να διατρέχεται μόνο μία φορά. Ο προσδιορισμός μιας τέτοιας διαδρομής είναι σημαντικός, αφού η τοποθέτηση των εισόδων σε μία σειρά που οδηγεί σε μη διακοπτόμενη λωρίδα διάχυσης για τα τρανζίστορ ενός τύπου, είναι δυνατή μόνο όταν υπάρχει μία διαδρομή Euler στον κυκλωματικό διάγραμμα του αντίστοιχου δικτύωματος.

Οι διαδρομές Euler δεν είναι μοναδικές. Η ακολουθία των εισόδων σε μία διαδρομή Euler είναι όμοια με τη σειρά τοποθέτησης των εισόδων στο φυσικό σχέδιο της πύλης. Για να επιτύχουμε την ίδια σειρά τοποθέτησης και στα δύο δικτυώματα (PDN και PUN), πράγμα απαραίτητο αφού πρόκειται να χρησιμοποιήσουμε μία και μόνο κατακόρυφη λωρίδα πολυκρυσταλλικού πυριτίου για κάθε είσοδο της πύλης, πρέπει να συμφωνούν οι διαδρομές Euler των δύο λογικών γραφημάτων, που σημαίνει ότι πρέπει να διατρέχουν την ίδια ακολουθία εισόδων. Μια κοινή διαδρομή Euler στην πύλη που σχεδιάστηκε είναι η διαδρομή $A'B'C'_iB'A'$, που υποδεικνύεται στο παραπάνω σχήμα.

Για να σχεδιάσουμε το συμβολικό διάγραμμα του φυσικού σχεδίου της σύνθετης πύλης, τοποθετούμε τις κατακόρυφες λωρίδες πολυκρυσταλλικού πυριτίου με βάση την ακολουθία εισόδων της κοινής διαδρομής Euler. Χρησιμοποιούμε δύο οριζόντιες λωρίδες από μέταλλο: γείωση στο κάτω άκρο του διαγράμματος και τροφοδοσία στην κορυφή. Στην συνέχεια, σχεδιάζονται δύο οριζόντιες λωρίδες: διάχυση τύπου n κοντά στη λωρίδα της γείωσης και διάχυση τύπου p κοντά στη λωρίδα της τροφοδοσίας. Τέλος, χρησιμοποιώντας επαφές, διενεργούμε τις κατάλληλες μεταλλικές συνδέσεις, ανάλογα με τον τρόπο που είναι συνδεδεμένα τα τρανζίστορ στα δύο δικτυώματα.

Το ζητούμενο συμβολικό διάγραμμα παρουσιάζεται στο παρακάτω σχήμα.



Μέταλλο
 Διάχυση τύπου n
 Διάχυση τύπου p
 Πολυκρυσταλλικό πυριτίο
 Επαφή

ΘΕΜΑ 2ο (3 + 0,5 = 3,5 μονάδες)

- α) Να σχεδιάσετε το διάγραμμα σε επίπεδο τρανζίστορ μιας σύνθετης πύλης ψεύδο-NMOS λογικής και ενός κυκλώματος που απαρτίζεται μόνο από πύλες διέλευσης (transmission gates), που να υλοποιούν την λογική συνάρτηση XOR τριών μεταβλητών (A, B, C), δηλαδή την συνάρτηση $F = A \oplus B \oplus C = (A \oplus B) \oplus C = (A \oplus B) \cdot C' + (A \oplus B)' \cdot C$. Για την σχεδίαση των κυκλωμάτων που ζητούνται, εκτός των μεταβλητών (εισόδων) A, B, C, είναι διαθέσιμες και οι συμπληρωματικές τους μορφές A', B', C'. Να μεριμνήσετε για τη χρησιμοποίηση του μικρότερου δυνατού πλήθους τρανζίστορ.
- β) Ποιο από τα δύο κυκλώματα που σχεδιάσατε στο ερώτημα (α) θα επιλέγατε και γιατί; Απαντήσεις χωρίς αιτιολόγηση δεν γίνονται δεκτές.

ΑΠΑΝΤΗΣΗ

- α) Η συνάρτηση XOR 3 μεταβλητών, αναλύεται ως εξής:

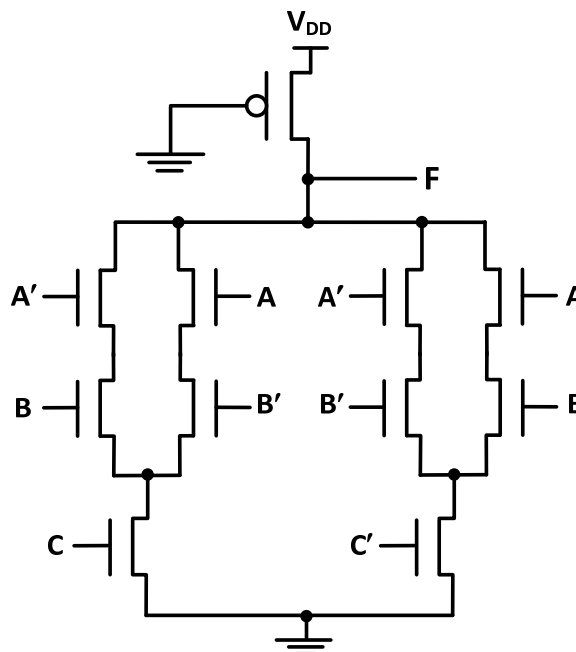
$$F = A \oplus B \oplus C = (A \oplus B) \oplus C = (A \oplus B) \cdot C' + (A \oplus B)' \cdot C = (A \cdot B' + A' \cdot B) \cdot C' + (A \cdot B + A' \cdot B') \cdot C = A \cdot B' \cdot C' + A' \cdot B \cdot C' + A \cdot B \cdot C + A' \cdot B' \cdot C.$$

Εάν προσπαθήσουμε να απλοποιήσουμε την παραπάνω συνάρτηση, θα διαπιστώσουμε ότι δεν απλοποιείται. Μια σύνθετη πύλη λογικής ψεύδο-NMOS είναι συμπληρωματική, δηλαδή υλοποιεί αντιστρέφουσες συναρτήσεις. Έτσι, πριν σχεδιάσουμε την ζητούμενη σύνθετη πύλη, θα πρέπει να εξάγουμε την συμπληρωματική μορφή της συνάρτησης XOR 3 μεταβλητών (δηλαδή την συνάρτηση XNOR 3 μεταβλητών). Όπως προέκυψε παραπάνω, η συνάρτηση XOR 3 μεταβλητών περιλαμβάνει 4 ελαχιστόρους (δηλαδή, λογικά γινόμενα που περιλαμβάνουν όλες τις μεταβλητές της συνάρτησης). Η συμπληρωματική συνάρτηση περιλαμβάνει τους ελαχιστόρους που απουσιάζουν από την αρχική συνάρτηση. Έτσι, μπορούμε να γράψουμε ότι:

$$F' = A' \cdot B' \cdot C' + A' \cdot B \cdot C + A \cdot B' \cdot C + A \cdot B \cdot C' = (A' \cdot B' + A \cdot B) \cdot C' + (A' \cdot B + A \cdot B') \cdot C \Rightarrow F = [(A' \cdot B' + A \cdot B) \cdot C' + (A' \cdot B + A \cdot B') \cdot C]'$$

Στην λογική ψεύδο-NMOS, το δικτύωμα PUN περιλαμβάνει μόνο ένα τρανζίστορ PMOS με γειωμένο τον ακροδέκτη πύλης. Για να σχεδιάσουμε το δικτύωμα PDN, βασιζόμαστε στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τις λογικές πράξεις AND και παράλληλα υλοποιούν τις λογικές πράξεις OR της παραπάνω συνάρτησης. Η σύνθετη πύλη CMOS που παράγεται είναι συμπληρωματική, υλοποιώντας το συνολικό συμπλήρωμα $[(A' \cdot B' + A \cdot B) \cdot C' + (A' \cdot B + A \cdot B') \cdot C]'$ της συνάρτησης.

Το κυκλωματικό διάγραμμα της σύνθετης πύλης ψεύδο-NMOS, παρουσιάζεται στο παρακάτω σχήμα.



Το πλήθος των τρανζίστορ στο δικτύωμα PDN της σύνθετης πύλης του παραπάνω σχήματος, μπορεί να μειωθεί κατά 2, εάν αφαιρέσουμε ένα τρανζίστορ NMOS με είσοδο A και ένα τρανζίστορ NMOS με είσοδο A' και διενεργήσουμε τις κατάλληλες συνδέσεις των τρανζίστορ NMOS με εισόδους A και A' που απομένουν, με τα τρανζίστορ NMOS με εισόδους B και B'. Ωστόσο, η ενέργεια αυτή προσθέτει πολυπλοκότητα στην φυσική σχεδίαση της σύνθετης πύλης (δυσκολία στη χρήση μη διακοπτόμενων λωρίδων διάχυσης κ.ά.).

Για την σχεδίαση του κυκλώματος που περιλαμβάνει μόνο πύλες διέλευσης, χρησιμοποιούμε την μορφή της συνάρτησης που προέκυψε στην αρχή της απάντησης του θέματος:

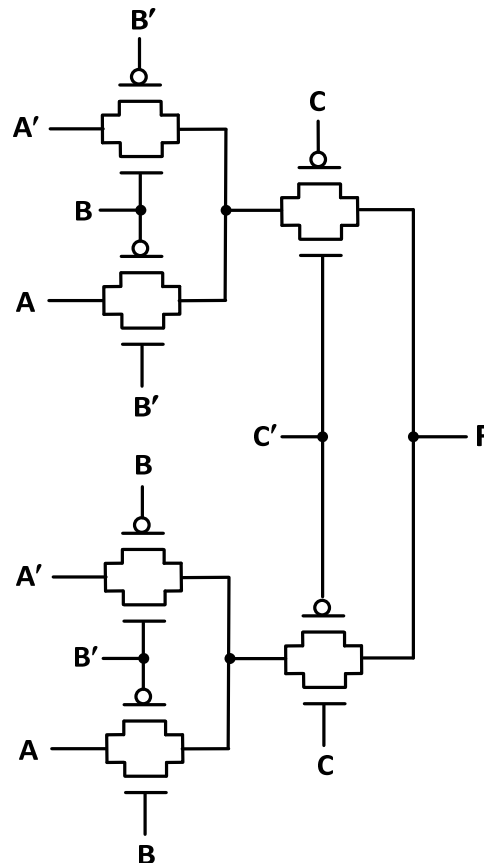
$$F = (A \cdot B' + A' \cdot B) \cdot C' + (A \cdot B + A' \cdot B') \cdot C.$$

Τα σήματα ελέγχου σε μια πύλη διέλευσης είναι συμπληρωματικά (π.χ. X και X'), επιτρέποντας στο σήμα εισόδου να διέλθει μέσω της πύλης όταν $X = 1$ (άγουν και τα δυο τρανζίστορ της πύλης) και να περάσει στην έξοδο (είσοδος = έξοδος) ή δημιουργώντας ανοικτό κύκλωμα μεταξύ εισόδου και εξόδου όταν $X = 0$ (τα τρανζίστορ της πύλης δεν άγουν).

Παρατηρώντας την παραπάνω μορφή της συνάρτησης F, διαπιστώνουμε ότι για την υλοποίηση του αθροίσματος γινομένων $A \cdot B' + A' \cdot B$, μπορούμε να χρησιμοποιήσουμε δύο πύλες διέλευσης με εισόδους A και A', σήματα ελέγχου B' και B, αντίστοιχα και συνδεδεμένες μεταξύ τους τις εξόδους τους. Με όμοιο τρόπο υλοποιείται και το άθροισμα γινομένων $A \cdot B + A' \cdot B'$, αν χρησιμοποιήσουμε δύο πύλες διέλευσης με εισόδους A και A', σήματα ελέγχου B και B', αντίστοιχα και συνδεδεμένες μεταξύ τους τις εξόδους τους.

Στην συνέχεια, χρησιμοποιούμε ακόμη δύο πύλες διέλευσης με εισόδους τις εξόδους που λαμβάνουμε από τα δύο ζεύγη πυλών διέλευσης, με τα οποία υλοποιήσαμε τα προαναφερόμενα αθροίσματα γινομένων. Στην πρώτη από αυτές θέτουμε ως σήμα ελέγχου C', αφού θα πρέπει να υλοποιήσουμε το γινόμενο $(A \cdot B' + A' \cdot B) \cdot C'$ και στην δεύτερη θέτουμε ως σήμα ελέγχου C, αφού θα πρέπει να υλοποιήσουμε το γινόμενο $(A \cdot B + A' \cdot B') \cdot C$.

Μετά τα παραπάνω, το ζητούμενο κύκλωμα με πύλες διέλευσης που υλοποιεί την συνάρτηση XOR 3 μεταβλητών παρουσιάζεται στο σχήμα που ακολουθεί.



- β) Συγκρίνοντας τις υλοποιήσεις του ερωτήματος (α), διαπιστώνουμε ότι η πύλη ψεύδο-NMOS λογικής περιλαμβάνει 11 τρανζίστορ, ενώ το κύκλωμα που απαρτίζεται από πύλες διέλευσης περιλαμβάνει 12 τρανζίστορ.

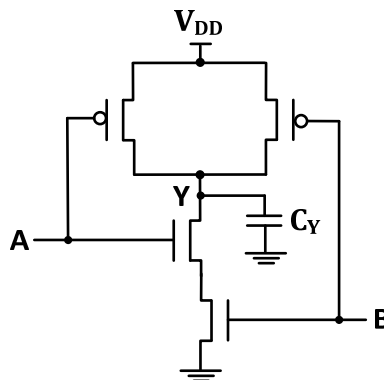
Αν και η πύλη ψεύδο-NMOS λογικής είναι ελαφρώς οικονομικότερη (περιλαμβάνει μικρότερο πλήθος τρανζίστορ), δεν αποτελεί την πιο αποδοτική υλοποίηση, διότι παρουσιάζει βασικά μειονεκτήματα, όπως η στατική κατανάλωση ενέργειας (όταν η τάση εξόδου είναι στη χαμηλή στάθμη υφίσταται απευθείας διαδρομή ρεύματος μεταξύ τροφοδοσίας και γείωσης) και η περιορισμένη στιβαρότητα λόγω των μειωμένων περιθωρίων θορύβου. Επομένως, λαμβάνοντας υπόψη το παρόμοιο κόστος του κυκλώματος που απαρτίζεται από πύλες διέλευσης, συμπεραίνουμε ότι για την εν λόγω εφαρμογή, είναι προτιμότερη η υλοποίηση αυτή.

ΘΕΜΑ 3ο (1 + 2 = 3 μονάδες)

Στο παρακάτω σχήμα δίνεται το κυκλωματικό διάγραμμα σε επίπεδο τρανζίστορ, μιας συμπληρωματικής πύλης CMOS NAND 2 εισόδων, της οποίας το εξωτερικό φορτίο (χωρητικότητα εισόδου των πυλών που οδηγεί) είναι C_Y .

- α) Ποια από τις παρακάτω περιπτώσεις έχει ως αποτέλεσμα την μικρότερη και ποια την μεγαλύτερη καθυστέρηση της πύλης, για μετάβαση της εξόδου Y από την χαμηλή στην υψηλή στάθμη τάσης ($Y: 0 \rightarrow 1$);
1. οι εισόδους A και B μεταβαίνουν από την υψηλή στην χαμηλή στάθμη ($A: 1 \rightarrow 0, B: 1 \rightarrow 0$),
 2. η είσοδος A είναι μόνιμα σε υψηλή στάθμη και η είσοδος B μεταβαίνει από την υψηλή στην χαμηλή στάθμη ($A = 1, B: 1 \rightarrow 0$),
 3. η είσοδος B είναι μόνιμα σε υψηλή στάθμη και η είσοδος A μεταβαίνει από την υψηλή στην χαμηλή στάθμη ($B = 1, A: 1 \rightarrow 0$).

Όλα τα τρανζίστορ της πύλης έχουν όμοιες διαστάσεις και ο χρόνος μετάβασης των εισόδων της πύλης είναι μηδενικός. Να αιτιολογήσετε τις απαντήσεις σας. Απαντήσεις χωρίς αιτιολόγηση δεν γίνονται δεκτές.



- β) Για την πύλη NAND του παραπάνω σχήματος, δίνεται ότι το μήκος καναλιού όλων των τρανζίστορ είναι $L = 0,25 \mu\text{m}$. Το πλάτος καναλιού των τρανζίστορ είναι $W_N = 2 \mu\text{m}$ (NMOS) και $W_P = 1 \mu\text{m}$ (PMOS). Η αντίσταση αγωγής (R) ενός τρανζίστορ NMOS με ίδιο μήκος και πλάτος καναλιού είναι $16 \text{ k}\Omega$, η χωρητικότητα πύλης-πηγής (C_{gs}) και πύλης-υποδοχής (C_{gd}) για όλα τα τρανζίστορ είναι 1 fF ανά μm πλάτους καναλιού και η χωρητικότητα των περιοχών πηγής (C_s) και υποδοχής (C_d) για όλα τα τρανζίστορ είναι 1 fF ανά μm πλάτους καναλιού. Η πύλη οδηγεί εξωτερική χωρητικότητα $C_Y = 10 \text{ fF}$. Αφού σχεδιάσετε το κατάλληλο ισοδύναμο δικτύωμα RC της πύλης, να υπολογίσετε την καθυστέρηση της πύλης για μετάβαση της εξόδου Y από την υψηλή στην χαμηλή στάθμη τάσης ($1 \rightarrow 0$), όταν η είσοδος B είναι μόνιμα σε υψηλή στάθμη ($B = 1$) και η είσοδος A μεταβαίνει από την χαμηλή στην υψηλή στάθμη ($A: 0 \rightarrow 1$), καθώς και όταν η είσοδος A είναι μόνιμα σε υψηλή στάθμη ($A = 1$) και η είσοδος B μεταβαίνει από την υψηλή στην χαμηλή στάθμη ($B: 0 \rightarrow 1$). Ο χρόνος μετάβασης των εισόδων είναι μηδενικός.

ΑΠΑΝΤΗΣΗ

- α) Στην περίπτωση 1 ($A, B: 1 \rightarrow 0$), κατά την μετάβαση της εξόδου από την χαμηλή στην υψηλή στάθμη η φόρτιση της χωρητικότητας C_Y , αλλά και των χωρητικότητων πηγής-υποδοχής και περιοχής υποδοχής των δύο τρανζίστορ PMOS και του τρανζίστορ NMOS με είσοδο A , γίνεται μέσω των δύο παράλληλα συνδεδεμένων τρανζί-

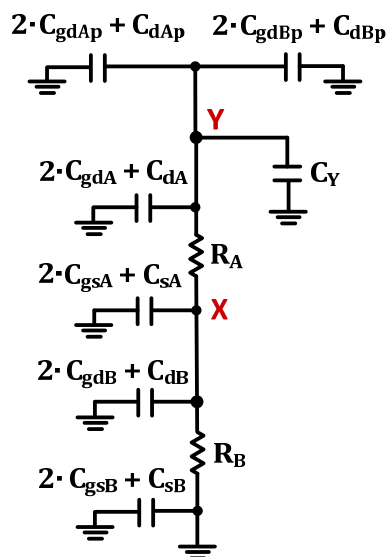
στον PMOS. Επομένως, η αντίσταση της αγώγιμης διαδρομής, μέσω της οποίας φορτίζεται το σύνολο των χωρητικότητων που συγκεντρώνονται στον κόμβο εξόδου της πύλης (C_L), ισούται με το μισό της αντίστασης αγωγής (R_{PMOS}) ενός τρανζίστορ PMOS και η καθυστέρηση ισούται με: $0,69 \cdot (R_{PMOS} / 2) \cdot C_L$.

Στις περιπτώσεις 2 και 3, λόγω του ότι το ένα από τα δύο τρανζίστορ PMOS είναι σε αποκοπή (ανοικτός διακόπτης), η φόρτιση της χωρητικότητας C_Y , αλλά και των χωρητικότητας πηγής-υποδοχής και περιοχής υποδοχής των δύο τρανζίστορ PMOS και του τρανζίστορ NMOS με είσοδο A, γίνεται μέσω ενός μόνο τρανζίστορ PMOS. Επομένως, η αντίσταση της αγώγιμης διαδρομής, μέσω της οποίας φορτίζεται το σύνολο των χωρητικότητων που συγκεντρώνονται στον κόμβο εξόδου της πύλης (C_L), ισούται με την αντίσταση αγωγής (R_{PMOS}) ενός τρανζίστορ PMOS και η καθυστέρηση στις περιπτώσεις 2 και 3 είναι μεγαλύτερη από εκείνη της περίπτωσης 1.

Στην περίπτωση 2 ($A = 1, B: 1 \rightarrow 0$), μέσω του τρανζίστορ PMOS με είσοδο B, εκτός από το σύνολο των χωρητικότητων που συγκεντρώνονται στον κόμβο εξόδου της πύλης (C_L), φορτίζονται και οι χωρητικότητες που συγκεντρώνονται στον κόμβο ανάμεσα στα σειριακά συνδεδεμένα τρανζίστορ NMOS, γεγονός που αυξάνει την καθυστέρηση της πύλης. Αντίθετα στην περίπτωση 3 ($B = 1, A: 1 \rightarrow 0$), μέσω του τρανζίστορ PMOS με είσοδο A, δεν φορτίζονται οι χωρητικότητες που συγκεντρώνονται στον κόμβο ανάμεσα στα σειριακά συνδεδεμένα τρανζίστορ NMOS, αφού το τρανζίστορ NMOS με είσοδο A είναι σε αποκοπή.

Από τα παραπάνω προκύπτει ότι για την περίπτωση 2 παρουσιάζεται η μεγαλύτερη καθυστέρηση, ενώ για την περίπτωση 1 παρουσιάζεται η μικρότερη καθυστέρηση της πύλης.

- β) Στο σχήμα που ακολουθεί παρουσιάζεται το πλήρες ισοδύναμο δικτύωμα RC, του τμήματος της πύλης που συμμετέχει στην μετάβαση $1 \rightarrow 0$ της εξόδου. Λόγω του ότι και στις δύο περιπτώσεις που θα εξετάσουμε, η μία είσοδος λαμβάνει λογική τιμή 1 και η άλλη μεταβαίνει στην λογική τιμή 1, τα τρανζίστορ PMOS λειτουργούν ως ανοικτοί διακόπτες (αποκοπή) και επομένως οι ισοδύναμες αντιστάσεις τους και οι χωρητικότητές τους C_{gs} και C_s αποσυνδέονται από το υπόλοιπο κύκλωμα και δεν επηρεάζουν την καθυστέρηση για μετάβαση της εξόδου από την υψηλή στην χαμηλή στάθμη.



Η επίδραση των χωρητικότητων C_{gs} και C_{gd} των τρανζίστορ, διπλασιάζεται λόγω του φαινομένου Miller. Αρχικά, υπολογίζουμε τις ισοδύναμες αντιστάσεις αγωγής των τρανζίστορ NMOS:

$$R_A = R_B = R \cdot (L/W) = 16 \cdot (0,25/2) \text{ k}\Omega = 2 \text{ k}\Omega, \text{ αφού } W_{An} = W_{Bn} = 2 \text{ }\mu\text{m}.$$

Οι συνολικές χωρητικότητες του κόμβου εξόδου Y (C_L) και του κόμβου X (C_X), υπολογίζονται ως εξής:

$$C_L = 2 \cdot C_{gdAp} + C_{dAp} + 2 \cdot C_{gdBp} + C_{dBp} + C_Y + 2 \cdot C_{gdA} + C_{dA} \Rightarrow$$

$$C_L = 2 \cdot C_{gd} \cdot W_{Ap} + C_d \cdot W_{Ap} + 2 \cdot C_{gd} \cdot W_{Bp} + C_d \cdot W_{Bp} + C_Y + 2 \cdot C_{gd} \cdot W_{An} + C_d \cdot W_{An} \Rightarrow$$

$$C_L = (2 \cdot 1 \cdot 1 + 1 \cdot 1 + 2 \cdot 1 \cdot 1 + 1 \cdot 1 + 10 + 2 \cdot 1 \cdot 2 + 1 \cdot 2) \text{ fF} \Rightarrow C_L = 22 \text{ fF}.$$

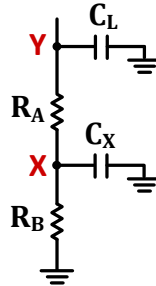


$$C_X = 2 \cdot C_{gsA} + C_{sA} + 2 \cdot C_{gdB} + C_{dB} \Rightarrow C_X = 2 \cdot C_{gs} \cdot W_{An} + C_s \cdot W_{An} + 2 \cdot C_{gd} \cdot W_{Bn} + C_d \cdot W_{Bn} \Rightarrow$$

$$C_X = (2 \cdot 1 \cdot 2 + 1 \cdot 2 + 2 \cdot 1 \cdot 2 + 1 \cdot 2) \text{ fF} \Rightarrow C_X = 12 \text{ fF}.$$

Οι χωρητικότητες που βρίσκονται κάτω από την αντίσταση αγωγής R_B δεν εκφορτίζονται κατά την μετάβαση $1 \rightarrow 0$ της εξόδου, συνεπώς δεν συμμετέχουν στον υπολογισμό της καθυστέρησης.

Μετά τα παραπάνω, το δικτύωμα μπορεί να απλοποιηθεί, ως εξής:



Στην πρώτη περίπτωση ($B = 1$ και $A: 0 \rightarrow 1$) η χωρητικότητα C_X , εκφορτίζεται πριν την μετάβαση της εξόδου από την υψηλή στην χαμηλή στάθμη, αφού το τρανζίστορ NMOS με είσοδο B είναι μόνιμα σε αγωγή (κλειστός διακόπτης). Επομένως, κατά την μετάβαση της εξόδου από την υψηλή στην χαμηλή στάθμη, εκφορτίζεται μόνο η χωρητικότητα C_L . Η συνολική αντίσταση της αγωγίσιμης διαδρομής από την έξοδο στην γείωση, που συνιστούν οι αντιστάσεις αγωγής των δύο τρανζίστορ NMOS, υπολογίζεται ως εξής:

$$R_{EQ} = R_A + R_B = 2 \text{ k}\Omega + 2 \text{ k}\Omega = 4 \text{ k}\Omega.$$

Επομένως, η καθυστέρηση της πύλης για την πρώτη περίπτωση, υπολογίζεται ως εξής:

$$t_{pHL} = 0,69 \cdot C_L \cdot R_{EQ} \Rightarrow t_{pHL} = (0,69 \cdot 22 \cdot 4) \text{ ps} \Rightarrow t_{pHL} = \mathbf{60,7 \text{ ps}}.$$

Στην δεύτερη περίπτωση ($A = 1$ και $B: 0 \rightarrow 1$), εκτός από την χωρητικότητα C_L , εκφορτίζεται και η χωρητικότητα C_X . Η αγωγή διαδρομή από την έξοδο στην γείωση περιλαμβάνει τις αντιστάσεις R_A και R_B και η ζητούμενη καθυστέρηση υπολογίζεται με χρήση του τύπου καθυστέρησης του Elmore, ως εξής:

$$t_{pHL} = 0,69 \cdot [C_X \cdot R_B + C_L \cdot (R_A + R_B)] \Rightarrow$$

$$t_{pHL} = 0,69 \cdot [12 \cdot 2 + 22 \cdot (2 + 2)] \text{ ps} \Rightarrow t_{pHL} = \mathbf{77,3 \text{ ps}}.$$

=====