



**ΘΕΜΑ 1ο** (1 + 0,5 + 0,5 = 2 μονάδες)

Ένα δισκίο (wafer) με διάμετρο 30 cm περιλαμβάνει ψηφίδες (dies) με επιφάνεια 2 cm<sup>2</sup> η καθεμία. Κατά την παραγωγή του δισκίου παρουσιάζεται στις ψηφίδες μία ατέλεια ανά cm<sup>2</sup> και η παράμετρος α της διεργασίας κατασκευής που επηρεάζει την απόδοση ισούται με 2. Δίνεται ότι π = 3,14.

- Να υπολογίσετε το πλήθος των ψηφίδων του δισκίου.
- Να υπολογίσετε την απόδοση ψηφίδας.
- Να υπολογίσετε το πλήθος των λειτουργικών ψηφίδων του δισκίου.

**Απάντηση**

- Το πλήθος των ψηφίδων του δισκίου προκύπτει από τη διαίρεση της επιφάνειας του δισκίου προς την επιφάνεια της ψηφίδας, λαμβάνοντας υπόψη ότι επειδή το δισκίο έχει κυκλικό σχήμα και οι ψηφίδες τετραγωνικό, οι ψηφίδες γύρω από την περίμετρο του δισκίου δεν μπορούν να χρησιμοποιηθούν και συνεπώς δε συνυπολογίζονται στο πλήθος των ψηφίδων που προκύπτει από το δισκίο:

$$\text{Πλήθος ψηφίδων ανά δισκίο} = \frac{\pi \times (\text{διάμετρος δισκίου} / 2)^2}{\text{επιφάνεια ψηφίδας}} - \frac{\pi \times \text{διάμετρος δισκίου}}{\sqrt{2} \times \text{επιφάνεια ψηφίδας}} \Rightarrow$$

$$\text{Πλήθος ψηφίδων ανά δισκίο} = \frac{3,14 \times 15^2 \text{ cm}^2}{2 \text{ cm}^2} - \frac{3,14 \times 30 \text{ cm}}{\sqrt{2} \times 2 \text{ cm}^2} \Rightarrow$$

$$\text{Πλήθος ψηφίδων ανά δισκίο} = 353,25 - 47,1 = 306,15.$$

Το παραπάνω αποτέλεσμα σημαίνει ότι από το δισκίο προκύπτουν 306 πιθανά λειτουργικές ψηφίδες.

- Η απόδοση ψηφίδας, δηλαδή το ποσοστό των ψηφίδων που προέκυψαν από το δισκίο, οι οποίες είναι λειτουργικές προκύπτει από την παρακάτω σχέση:

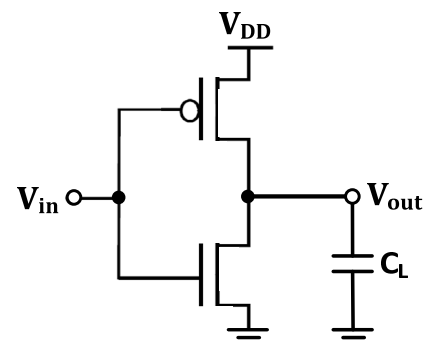
$$\text{Απόδοση ψηφίδας} = \left( 1 + \frac{\text{ατέλειες ανά μονάδα επιφάνειας} \times \text{επιφάνεια ψηφίδας}}{\alpha} \right)^{-\alpha} \times 100 \Rightarrow$$

$$\text{Απόδοση ψηφίδας} = \left( 1 + \frac{1 \frac{\text{ατέλεια}}{\text{cm}^2} \times 2 \text{ cm}^2}{2} \right)^{-2} \times 100 \Rightarrow \text{απόδοση ψηφίδας} = 0,25 \times 100 = 25\% .$$

- Το παραπάνω αποτέλεσμα σημαίνει ότι από τις πιθανώς λειτουργικές ψηφίδες (δηλαδή, από τις ψηφίδες που προέκυψαν από το δισκίο και μπορούν να χρησιμοποιηθούν, μόνο το 25% είναι λειτουργικές. Συνεπώς το πλήθος των λειτουργικών ψηφίδων του δισκίου είναι: 0,25 × 306 = 76,5, δηλαδή 76 ψηφίδες.

**ΘΕΜΑ 2ο** (3 μονάδες)

Στο διπλανό σχήμα δίνεται ένας αντιστροφέας CMOS. Η τάση τροφοδοσίας του είναι V<sub>DD</sub> = 2,5 V και η χωρητικότητα εξόδου του είναι C<sub>L</sub> = 25 fF. Η χωρητικότητα εξόδου που συνδέεται μεταξύ της εξόδου του αντιστροφέα και της γείωσης, συγκεντρώνει όλες τις χωρητικότητες που συνδέονται στην έξοδό του. Για το τρανζίστορ NMOS του αντιστροφέα δίνονται οι διαστάσεις καναλιού L<sub>n</sub> = 0,25 μm και W<sub>n</sub> = 1,5 μm, ο συντελεστής κέρδους k'<sub>n</sub> = 85 μA/V<sup>2</sup>, η τάση υποδοχής – πηγής στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων V<sub>DSATn</sub> = 0,65 V, η τάση κατωφλίου V<sub>Tn</sub> = 0,35 V και ο συντελεστής διαμόρφωσης μήκους καναλιού λ<sub>n</sub> = 0,1 V<sup>-1</sup>. Να υπολογίσετε την καθυστέρηση διάδοσης του αντιστροφέα, για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης.



### Απάντηση

Η καθυστέρηση διάδοσης του αντιστροφέα για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης, υπολογίζεται χρησιμοποιώντας την ισοδύναμη αντίσταση αγωγής ( $R_{eqn}$ ) του τρανζίστορ NMOS και δίνεται από την ακόλουθη σχέση:

$$t_{pHL} = \ln 2 \cdot R_{eqn} \cdot C_L = 0,69 \cdot R_{eqn} \cdot C_L,$$

όπου  $C_L$  είναι η χωρητικότητα εξόδου του αντιστροφέα και  $R_{eqn}$  η ισοδύναμη αντίσταση αγωγής του τρανζίστορ NMOS, η οποία δίνεται από την ακόλουθη σχέση:

$$R_{eqn} \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSATn}} \cdot \left(1 - \frac{5}{6} \cdot \lambda_n \cdot V_{DD}\right)$$

όπου  $I_{DSATn}$  είναι το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για  $V_{GSn} = V_{DD}$  και  $\lambda_n = 0$ ,  $V_{DD}$  είναι η τάση τροφοδοσίας και  $\lambda_n$  είναι ο συντελεστής διαμόρφωσης μήκους καναλιού του τρανζίστορ NMOS.

Το ρεύμα υποδοχής του τρανζίστορ NMOS στην περιοχή του κορεσμού της ταχύτητας των φορέων για  $V_{GSn} = V_{DD}$  και  $\lambda_n = 0$ , υπολογίζεται ως εξής:

$$\begin{aligned} I_{DSATn} &= k'_n \cdot \frac{W_n}{L_n} \cdot \left[ (V_{DD} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] = 85 \frac{\mu A}{V^2} \cdot \frac{1,5 \mu m}{0,25 \mu m} \cdot \left[ (2,5 V - 0,35 V) \cdot 0,65 V - \frac{(0,65 V)^2}{2} \right] = \\ &= 605 \mu A = 0,605 mA. \end{aligned}$$

Αντικαθιστώντας το ρεύμα  $I_{DSATn}$  στη σχέση της ισοδύναμης αντίστασης, υπολογίζουμε την ισοδύναμη αντίσταση του τρανζίστορ NMOS:

$$R_{eqn} = \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSATn}} \cdot \left(1 - \frac{5}{6} \cdot \lambda_n \cdot V_{DD}\right) = \frac{3}{4} \cdot \frac{2,5 V}{0,605 mA} \cdot \left(1 - \frac{5}{6} \cdot 0,1 V^{-1} \cdot 2,5 V\right) = 2,45 k\Omega.$$

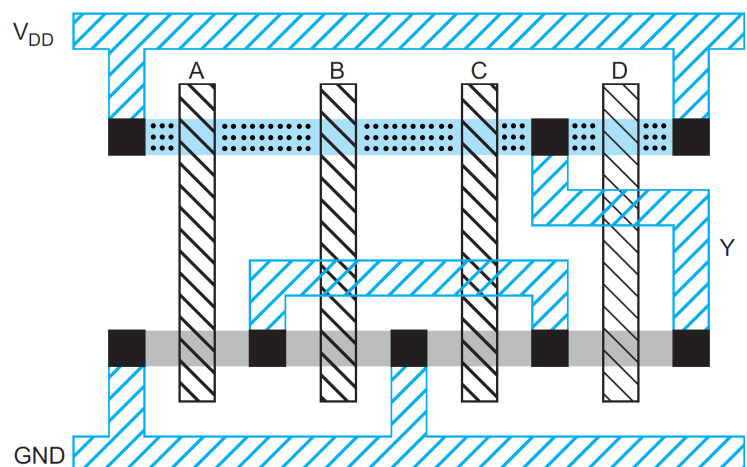
Αντικαθιστώντας στη σχέση υπολογισμού της καθυστέρησης, την ισοδύναμη αντίσταση του τρανζίστορ NMOS και τη χωρητικότητα εξόδου που δίνεται στην εκφώνηση, υπολογίζουμε τη ζητούμενη καθυστέρηση διάδοσης του αντιστροφέα, για τη μετάβαση της τάσης εξόδου του από την υψηλή στη χαμηλή στάθμη τάσης:

$$t_{pHL} = 0,69 \cdot R_{eqn} \cdot C_L = 0,69 \cdot 2,45 k\Omega \cdot 25 fF = 42,26 \cdot 10^{-12} s = 42,26 ps.$$

### ΘΕΜΑ 3ο (2 + 1 = 3 μονάδες)

Στο διπλανό σχήμα δίνεται το συμβολικό διάγραμμα του φυσικού σχεδίου μιας σύνθετης πύλης συμπληρωματικής λογικής CMOS με 4 εισόδους (A, B, C, D) και έξοδο Y.

- Να σχεδιάσετε το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ.
- Να εξαγάγετε τη λογική συνάρτηση της εξόδου (Y) της πύλης, εξηγώντας σύντομα την απάντησή σας.

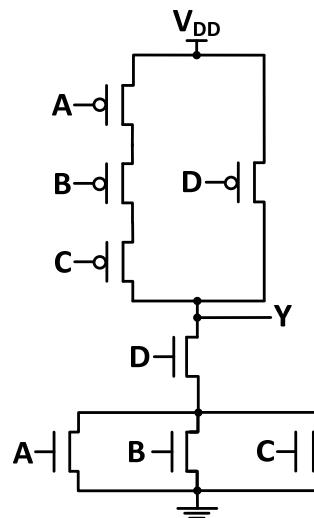


### Απάντηση

- α) Παρατηρώντας τις διασυνδέσεις των τρανζίστορ PMOS στο φυσικό σχέδιο της σύνθετης πύλης, διαπιστώνουμε ότι τα τρανζίστορ, στις πύλες πολυκρυσταλλικού πυριτίου των οποίων τίθενται οι εισοδοί A, B και C είναι συνδεδεμένα σε σειρά (έχουν μία κοινή περιοχή διάχυσης). Διαπιστώνουμε επίσης ότι η μη κοινή περιοχή διάχυσης του τρανζίστορ PMOS, στην πύλη του οποίου τίθεται η είσοδος A, συνδέεται μέσω στρώσης μετάλλου στην στρώση μετάλλου της τάσης τροφοδοσίας ( $V_{DD}$ ). Σε ότι αφορά το τρανζίστορ PMOS στην πύλη του οποίου τίθεται η είσοδος D, αυτό έχει μια κοινή περιοχή διάχυσης με το τρανζίστορ PMOS στην πύλη του οποίου τίθεται η είσοδος C, η οποία οδηγείται μέσω στρώσης μετάλλου στην έξοδο Y της σύνθετης πύλης, ενώ η άλλη περιοχή διάχυσής του συνδέεται μέσω στρώσης μετάλλου στην στρώση μετάλλου της τάσης τροφοδοσίας ( $V_{DD}$ ). Προκύπτει λοιπόν ότι τα τρία σειριακά συνδεδεμένα τρανζίστορ PMOS συνδέονται παράλληλα με το τρανζίστορ PMOS στην πύλη του οποίου τίθεται η είσοδος D.

Όσον αφορά το δικτύωμα των τρανζίστορ NMOS, με παρόμοιο τρόπο προκύπτει ότι είναι δυικό του δικτύωμα των τρανζίστορ PMOS, δηλαδή υπάρχει εναλλαγή σειριακών και παράλληλων συνδέσεων των τρανζίστορ στα δύο δικτυώματα, με τις σειριακές συνδέσεις στο δικτύωμα των τρανζίστορ PMOS να γίνονται παράλληλες στο δικτύωμα των τρανζίστορ NMOS και τις παράλληλες συνδέσεις στο δικτύωμα των τρανζίστορ PMOS να γίνονται σειριακές στο δικτύωμα των τρανζίστορ NMOS.

Με βάση τις παραπάνω διαπιστώσεις, το κυκλωματικό διάγραμμα της σύνθετης πύλης σε επίπεδο τρανζίστορ, παρουσιάζεται στο παρακάτω σχήμα.



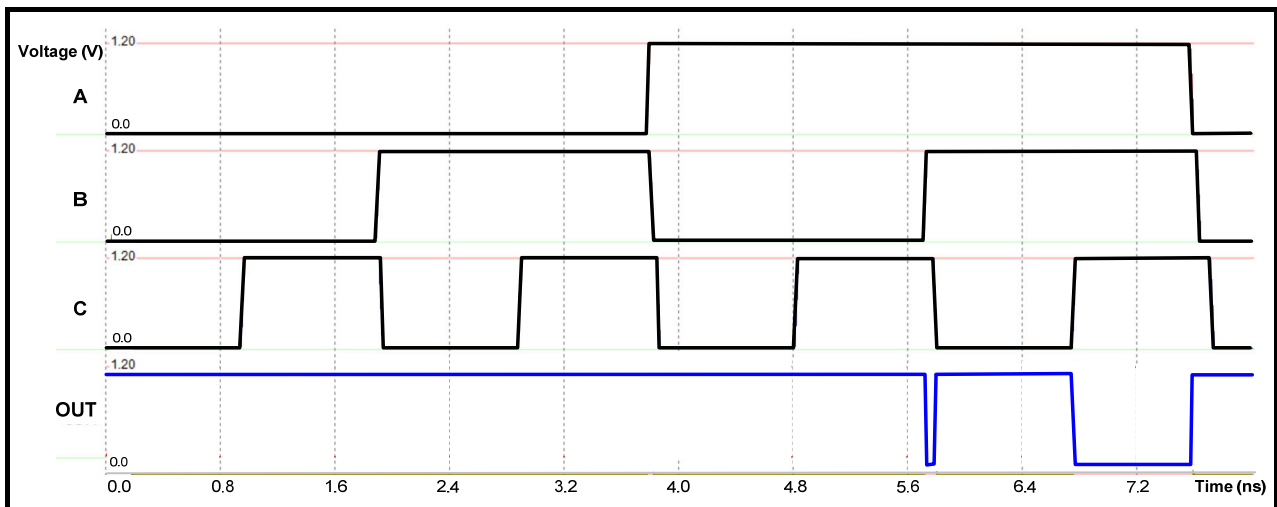
- β) Για την εξαγωγή της λογικής συνάρτησης της εξόδου της σύνθετης πύλης, λαμβάνουμε υπόψη ότι τρανζίστορ NMOS συνδεδεμένα σε σειρά αντιστοιχούν σε συνάρτηση AND, αφού όταν όλες οι εισοδοί είναι σε υψηλή στάθμη, η σειριακή διάταξη άγει και η τιμή από το ένα άκρο της διάταξης μεταφέρεται στο άλλο, ενώ τρανζίστορ NMOS συνδεδεμένα παράλληλα αντιστοιχούν σε συνάρτηση OR, αφού υπάρχει μία αγώγιμη διαδρομή μεταξύ των ακροδεκτών εισόδου και εξόδου εάν τουλάχιστον μία από τις εισόδους είναι σε υψηλή στάθμη. Τέλος, λαμβάνουμε υπόψη ότι οι στατικές πύλες συμπληρωματικής λογικής είναι από τη φύση τους (λόγω του τρόπου σχεδιασμού τους) αντιστρέφουσες, δηλαδή υλοποιούν συμπληρωματικές λογικές συναρτήσεις. Με βάση τα παραπάνω, η λογική συνάρτηση της εξόδου Y της σύνθετης πύλης, έχει ως εξής:

$$Y = [(A + B + C) \cdot D]'$$

#### ΘΕΜΑ 4ο (1 + 1 = 2 μονάδες)

Το παρακάτω στιγμιότυπο προέκυψε από την προσομοίωση της λειτουργίας μιας λογικής πύλης με εισόδους A, B, C και έξοδο OUT.

- α) Να προσδιορίσετε για ποια λογική πύλη πρόκειται, αιτιολογώντας την απάντησή σας.  
β) Να σχεδιάσετε το κυκλωματικό διάγραμμα σε επίπεδο τρανζίστορ της πύλης.



### Απάντηση

- α) Από τις τιμές που λαμβάνουν οι εισόδοι και η έξοδος της πύλης, στο στιγμιότυπο που δίνεται, μπορούμε να καταστρώσουμε τον πίνακα αλήθειας της συνάρτησης της εξόδου OUT:

A	B	C	OUT
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Αφού η έξοδος OUT της πύλης λαμβάνει λογική τιμή 0 (χαμηλή στάθμη τάσης) μόνο όταν και οι 3 εισόδοι έχουν λογική τιμή 1 (υψηλή στάθμη τάσης), συμπεραίνουμε ότι πρόκειται για πύλη είναι NAND 3 εισόδων.

- β) Το κυκλωματικό διάγραμμα σε επίπεδο τρανζίστορ της πύλης NAND 3 εισόδων, παρουσιάζεται στο σχήμα που ακολουθεί και περιλαμβάνει δικτύωμα PDN με 3 σειριακά συνδεδεμένα nMOS τρανζίστορ και δικτύωμα PUN με 3 παράλληλα συνδεδεμένα pMOS τρανζίστορ:

