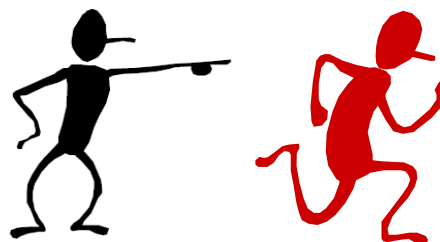


5<sup>η</sup> ενότητα:  
**ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ CMOS**

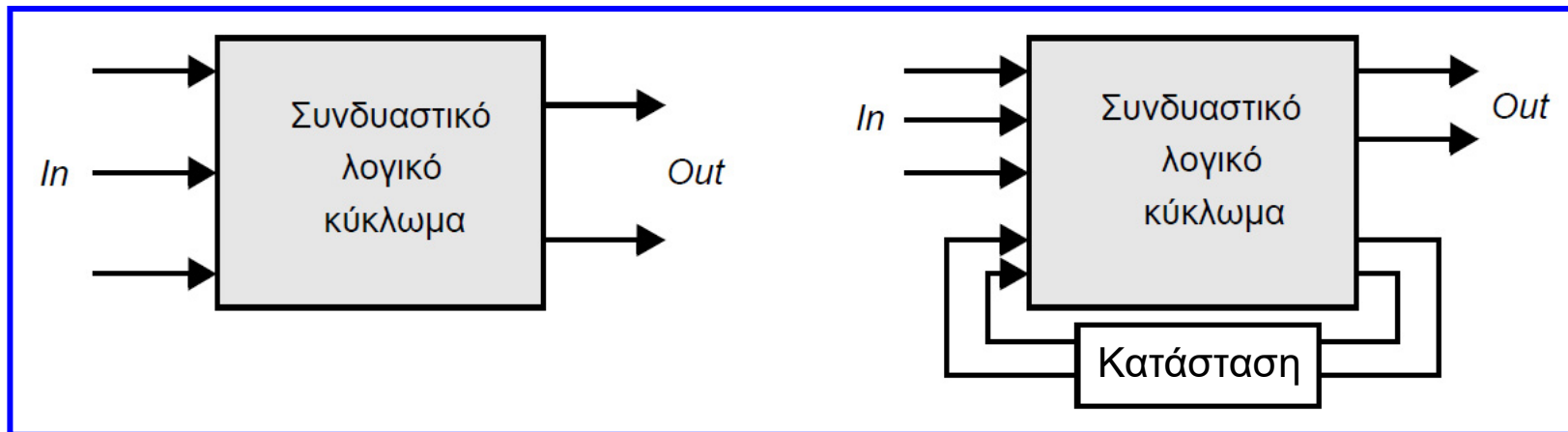


# Περιεχόμενα 5<sup>ης</sup> ενότητας

- Εισαγωγή στα συνδυαστικά κυκλώματα CMOS
- Στατική συμπληρωματική λογική CMOS
- Φυσικός σχεδιασμός συμπληρωματικών πυλών CMOS
- Στατικά χαρακτηριστικά συμπληρωματικής λογικής CMOS
- Καθυστέρηση διάδοσης πυλών συμπληρωματικής λογικής CMOS
- Κατανάλωση ενέργειας πυλών συμπληρωματικής λογικής CMOS
- Λογική εξαρτημένη από το λόγο του μεγέθους των τρανζίστορ
- Ψεύδο-NMOS λογική
- Λογική DCVSL
- Λογική τρανζίστορ διέλευσης
- Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)
- Λογική SRPL
- Λογική πύλης διέλευσης
- Δυναμική λογική CMOS
- Λογική διαδοχικής επίδρασης (domino), λογική nr-CMOS
- Συμπεράσματα

# Εισαγωγή στα συνδυαστικά κυκλώματα CMOS

- Μετά την ανάλυση του απλού αντιστροφέα CMOS θα εξετάσουμε τη σύνθεση πιο σύνθετων ψηφιακών λογικών πυλών (NOR, NAND, XOR κ.ά.).
- Τα **συνδυαστικά κυκλώματα (combinational circuits)** έχουν την ιδιότητα ότι σε οποιαδήποτε χρονική στιγμή, η έξοδος του κυκλώματος σχετίζεται με τα τρέχοντα σήματα εισόδου μέσω μιας αλγεβρικής έκφρασης Boole, χωρίς να υφίσταται καμία σύνδεση από τις εξόδους πίσω στις εισόδους.
- Αντίθετα, στα **ακολουθιακά κυκλώματα (sequential circuits)**, η έξοδος δεν είναι μόνο συνάρτηση των παρόντων δεδομένων εισόδου, αλλά και προηγούμενων τιμών των σημάτων εισόδου.
- Τα ακολουθιακά κυκλώματα περιλαμβάνουν ένα συνδυαστικό τμήμα και μία μονάδα με στοιχεία μνήμης που διατηρούν την κατάσταση του κυκλώματος.

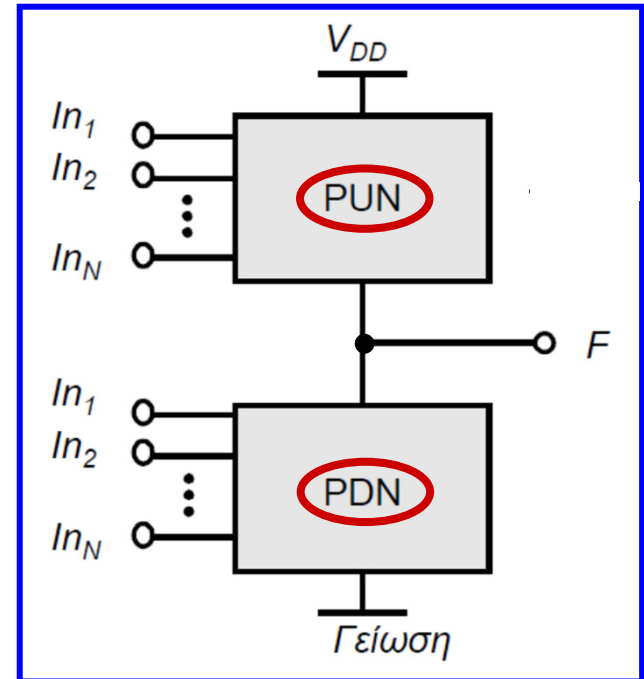


# Στατική συμπληρωματική λογική CMOS

- Η πιο **ευρέως χρησιμοποιούμενη λογική** για το σχεδιασμό συνδυαστικών κυκλωμάτων CMOS, είναι η **στατική συμπληρωματική λογική (static complementary logic)**.
- Η λογική αυτή είναι στην ουσία μία επέκταση του αντιστροφέα CMOS σε πολλαπλές εισόδους.
- Βασικά πλεονεκτήματα: **στιβαρότητα** (χαμηλή ευαισθησία στο θόρυβο), **υψηλή επίδοση**, **χαμηλή κατανάλωση ενέργειας** (χωρίς στατική κατανάλωση).
- Στα **στατικά κυκλώματα**, σε κάθε χρονική στιγμή, κάθε έξοδος μιας πύλης συνδέεται είτε με την τροφοδοσία είτε με τη γείωση μέσω μιας διαδρομής.
- Οι έξοδοι των πυλών παρέχουν πάντα την τιμή της λογικής συνάρτησης που υλοποιείται από το κύκλωμα.
- Αντίθετα, τα **δυναμικά κυκλώματα** (που είναι απλούστερα και ταχύτερα, αλλά με αυξημένη ευαισθησία το θόρυβο), βασίζονται στην προσωρινή αποθήκευση τιμών σημάτων στη χωρητικότητα κόμβων του κυκλώματος.
- Διάφοροι τύποι στατικών κυκλωμάτων: **συμπληρωματική λογική CMOS**, εξαρτώμενη από τον λόγο των μεγεθών των τρανζίστορ λογική (**ψευδο-NMOS** και **DCVSL**), λογική **τρανζίστορ διέλευσης (pass transistor logic)** και **πυλών διέλευσης (transmission gates)**.

# Στατική συμπληρωματική λογική CMOS

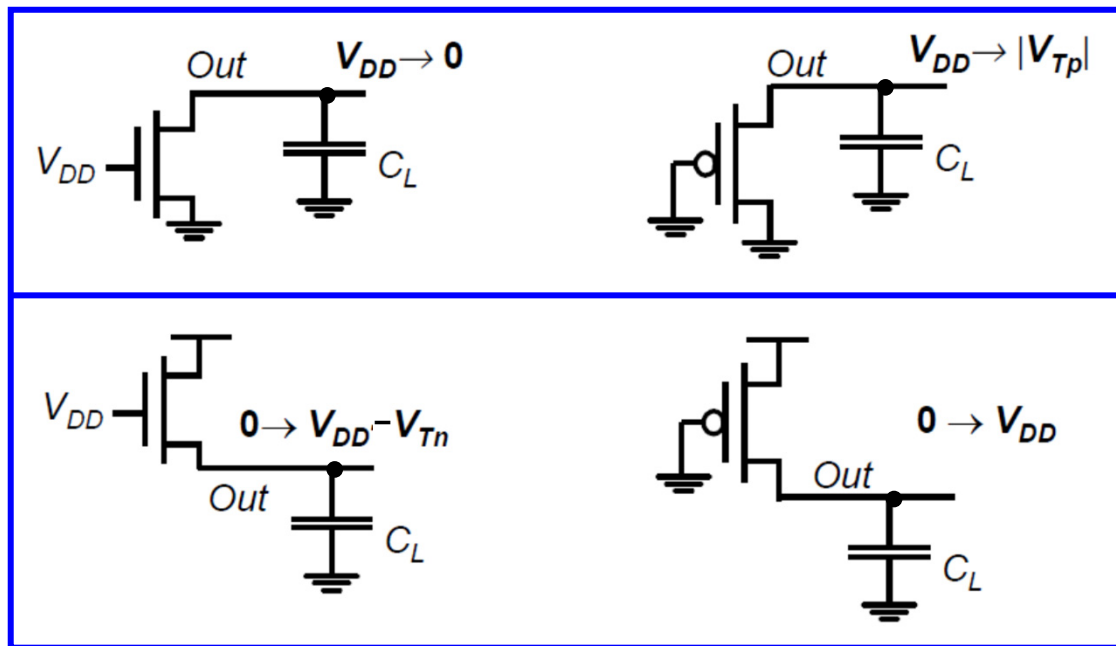
- Μία στατική πύλη CMOS είναι ένας συνδυασμός δύο δικτυωμάτων: δικτύωμα πάνω-οδήγησης (pull-up network, PUN) και δικτύωμα κάτω-οδήγησης (pull-down network, PDN).
- Όλες οι εισοδοί του κυκλώματος τροφοδοτούν και τα δύο δικτυώματα.
- Η λειτουργία του PUN είναι να παρέχει μία αγώγιμη διαδρομή μεταξύ της εξόδου και της τροφοδοσίας, όταν η έξοδος της πύλης έχει τιμή 1 (ανάλογα με τις εισόδους), ενώ η λειτουργία του PDN είναι να συνδέει την έξοδο με τη γείωση, όταν η έξοδος έχει τιμή 0.
- Τα δικτυώματα PUN και PDN σχεδιάζονται έτσι ώστε ένα και μόνο ένα από αυτά να άγει, σε σταθερή κατάσταση.
- Έτσι, αφού παρέλθουν τα μεταβατικά φαινόμενα, υπάρχει πάντα μία διαδρομή μεταξύ της τροφοδοσίας και της εξόδου για τιμή εξόδου 1 ή μεταξύ της γείωσης και της εξόδου για τιμή εξόδου 0.
- Αυτό είναι ισοδύναμο με το να πούμε ότι ο κόμβος της εξόδου είναι πάντα ένας κόμβος χαμηλής αντίστασης.



# Στατική συμπληρωματική λογική CMOS

- Το δικτύωμα **PDN** αποτελείται από τρανζίστορ **NMOS** ενώ το **PUN** από τρανζίστορ **PMOS**.
- Βασική αιτία της επιλογής αυτής, είναι ότι τα τρανζίστορ **NMOS** παράγουν «**ισχυρά μηδενικά**», ενώ τα τρανζίστορ **PMOS** παράγουν «**ισχυρές μονάδες**».
- Δύο πιθανά σενάρια εκφόρτισης / φόρτισης χωρητικότητας εξόδου.
- Το τρανζίστορ NMOS μειώνει την τάση της εξόδου έως τη γείωση, ενώ ένα τρανζίστορ PMOS δεν μπορεί να την μειώσει κάτω από τη τάση κατωφλίου του, αφού στο σημείο αυτό παύει να άγει και σταματά να συνεισφέρει ρεύμα εκφόρτισης.

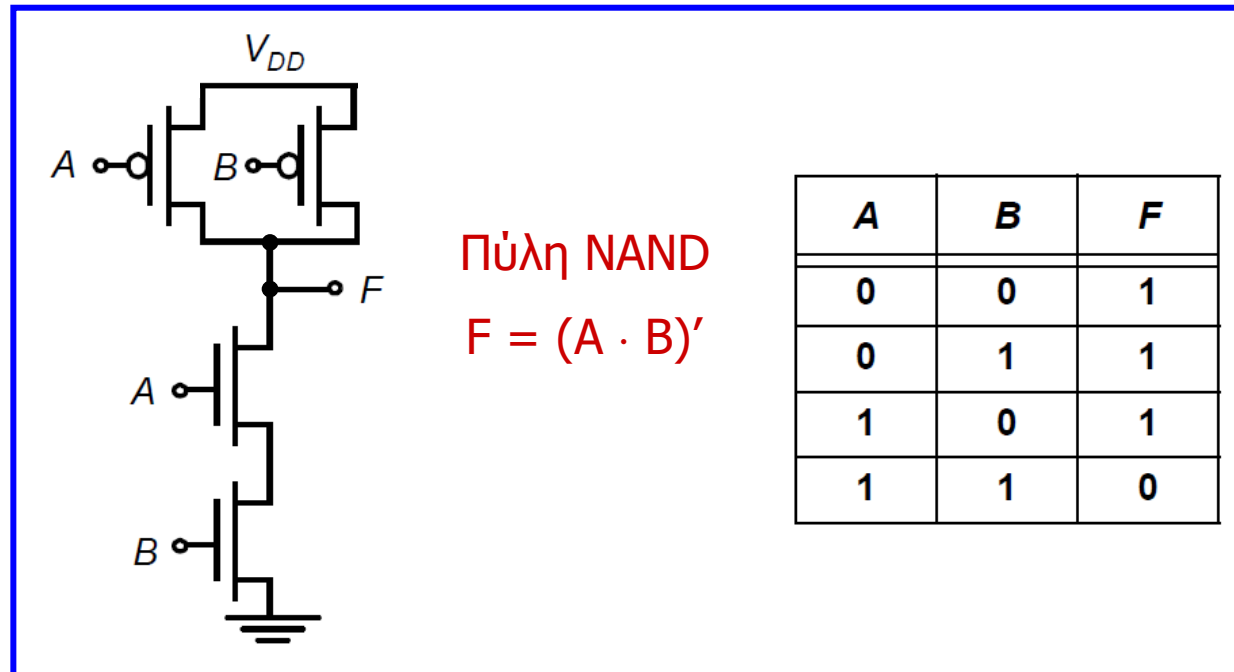
- Το τρανζίστορ PMOS φορτίζει πλήρως τη χωρητικότητα εξόδου έως την τάση τροφοδοσίας, ενώ το NMOS αυξάνει την τάση εξόδου μέχρι μία τάση κατωφλίου κάτω από την τάση τροφοδοσίας.



# Στατική συμπληρωματική λογική CMOS

- Τρανζίστορ **NMOS συνδεδεμένα σε σειρά** αντιστοιχούν σε συνάρτηση **AND**, αφού όταν όλες οι είσοδοι είναι σε υψηλή στάθμη, η σειριακή διάταξη άγει και η τιμή από το ένα άκρο της διάταξης μεταφέρεται στο άλλο.
- Τρανζίστορ **NMOS συνδεδεμένα παράλληλα** αντιστοιχούν σε συνάρτηση **OR**, αφού υπάρχει μία αγωγίμη διαδρομή μεταξύ των ακροδεκτών εισόδου και εξόδου εάν τουλάχιστον μία από τις εισόδους είναι σε υψηλή στάθμη.
- Μία **σειριακή διάταξη τρανζίστορ PMOS** άγει εάν και οι δυο είσοδοι είναι σε χαμηλή στάθμη, υλοποιώντας συνάρτηση **NOR**, ενώ τρανζίστορ **PMOS συνδεδεμένα παράλληλα** υλοποιούν συνάρτηση **NAND**.
- Με βάση το θεώρημα De Morgan [ $(A + B)' = A' \cdot B'$ ,  $(A \cdot B)' = A' + B'$ ] προκύπτει ότι τα δικτυώματα **PUN** και **PDN** είναι **δυσικά**, δηλαδή παράλληλη σύνδεση τρανζίστορ στο PUN αντιστοιχεί σε σειριακή σύνδεση από αντίστοιχα τρανζίστορ στο PDN και αντιστρόφως.
- Για μία στατική συμπληρωματική πύλη CMOS, σχεδιάζουμε το PDN με συνδυασμούς σειριακών και παράλληλων τρανζίστορ NMOS και έπειτα το PUN, αντικαθιστώντας τα σειριακά NMOS με παράλληλα PMOS και τα παράλληλα NMOS με σειριακά PMOS.
- Η συμπληρωματική πύλη είναι από τη φύση της **αντιστρέφουσα**, υλοποιώντας συναρτήσεις όπως NAND, NOR και XNOR. Για μη αντιστρέφουσες πύλες (AND, OR, XOR) απαιτείται η χρήση ενός επιπλέον αντιστροφέα.
- Για το σχεδιασμό πύλης με **N εισόδους**, απαιτούνται **2·N τρανζίστορ** (N NMOS + N PMOS).

# Στατική συμπληρωματική λογική CMOS

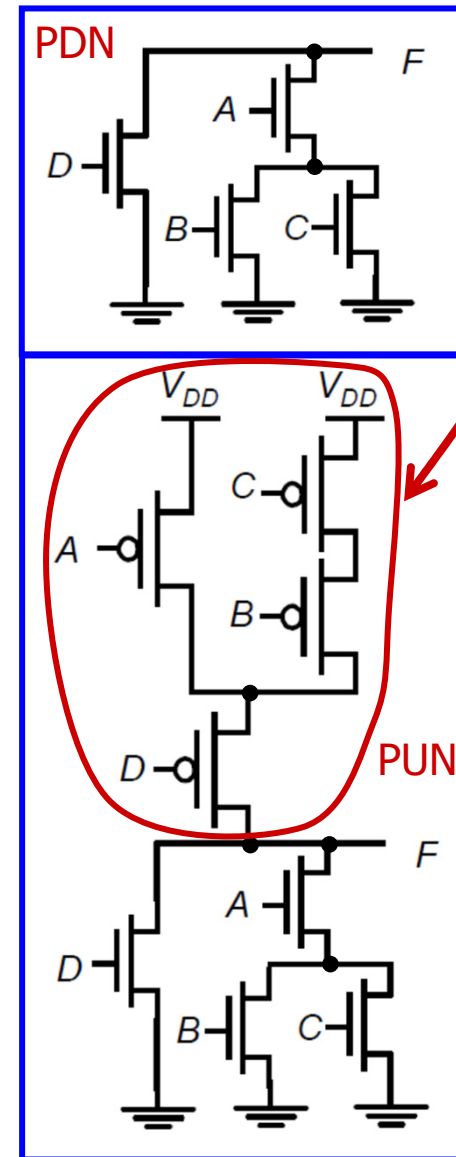


- Το PDN αποτελείται από δύο τρανζίστορ NMOS σε σειρά, τα οποία άγουν όταν και οι δυο εισοδοι είναι σε υψηλή στάθμη.
- Το PUN είναι το δυικό δικτύωμα του PDN (δύο παράλληλα τρανζίστορ PMOS).
- Αυτό σημαίνει ότι η F είναι 1 εάν  $A = 0$  ή  $B = 0$ , που ισοδυναμεί με τη σχέση  $F = (A \cdot B)'$ .
- Η έξοδος F είναι πάντα συνδεδεμένη στην τροφοδοσία ή στη γείωση, αλλά ποτέ και στις δύο την ίδια χρονική στιγμή.



# Παράδειγμα 1

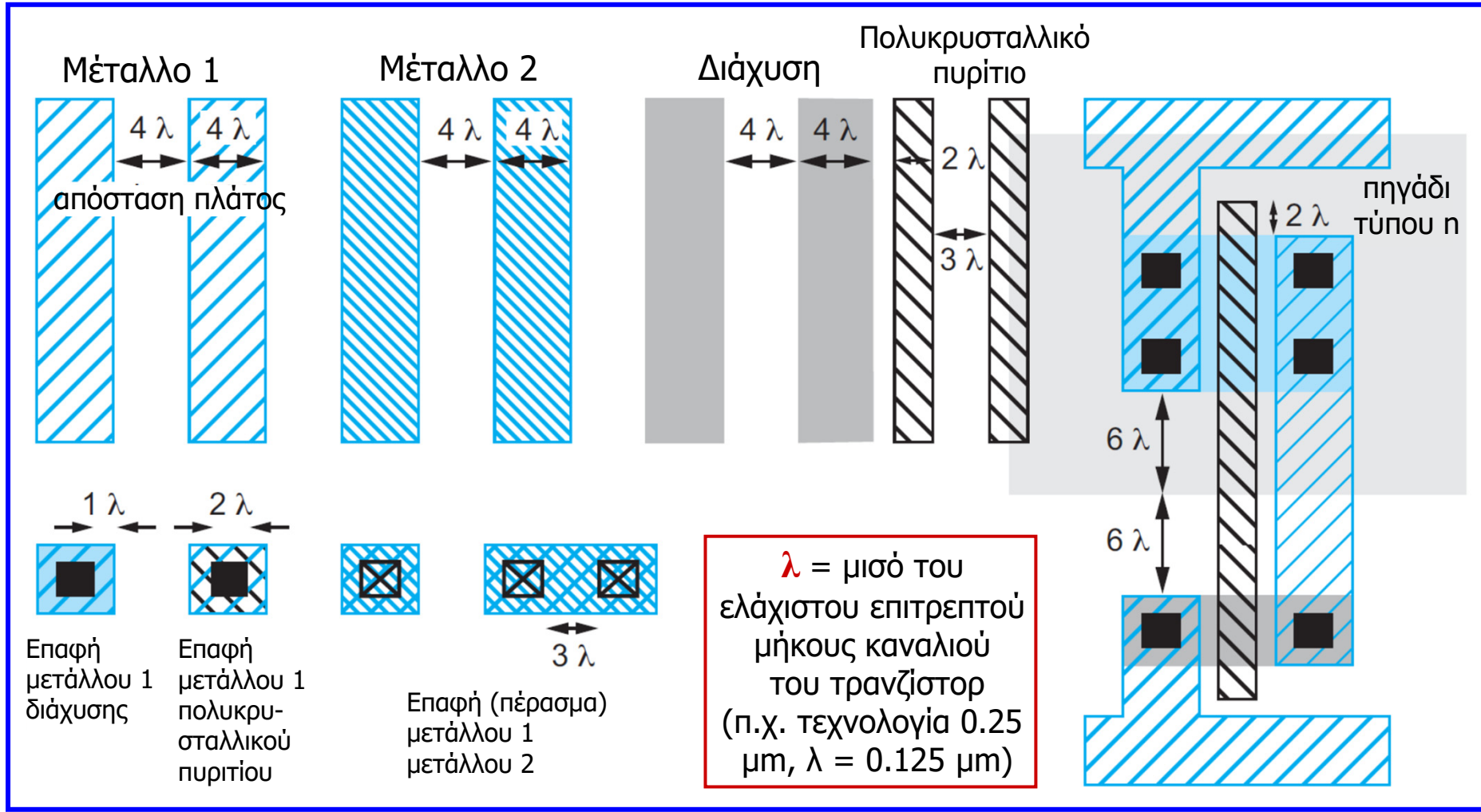
- Με χρήση της στατικής συμπληρωματικής λογικής CMOS συνθέτουμε μία σύνθετη πύλη CMOS της οποίας η συνάρτηση είναι:  $F = [D + A \cdot (B + C)]'$ .
- Το πρώτο βήμα σύνθεσης της λογικής πύλης είναι να σχεδιάσουμε το δικτύωμα PDN, βασιζόμενοι στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τη συνάρτηση AND και παράλληλα υλοποιούν τη συνάρτηση OR.
- Το επόμενο βήμα είναι να χρησιμοποιήσουμε την αρχή του δυϊσμού για να παράγουμε το δικτύωμα PUN, αντικαθιστώντας τα σειριακά τρανζίστορ NMOS του δικτυώματος PDN με παράλληλα τρανζίστορ PMOS και τα παράλληλα τρανζίστορ NMOS του δικτυώματος PDN με σειριακά τρανζίστορ PMOS.
- Μπορεί εύκολα να επιβεβαιωθεί ότι για κάθε δυνατό συνδυασμό εισόδων, υπάρχει πάντα μία διαδρομή από την έξοδο προς την τροφοδοσία ή τη γείωση.



# Φυσικός σχεδιασμός συμπληρωματικών πυλών CMOS

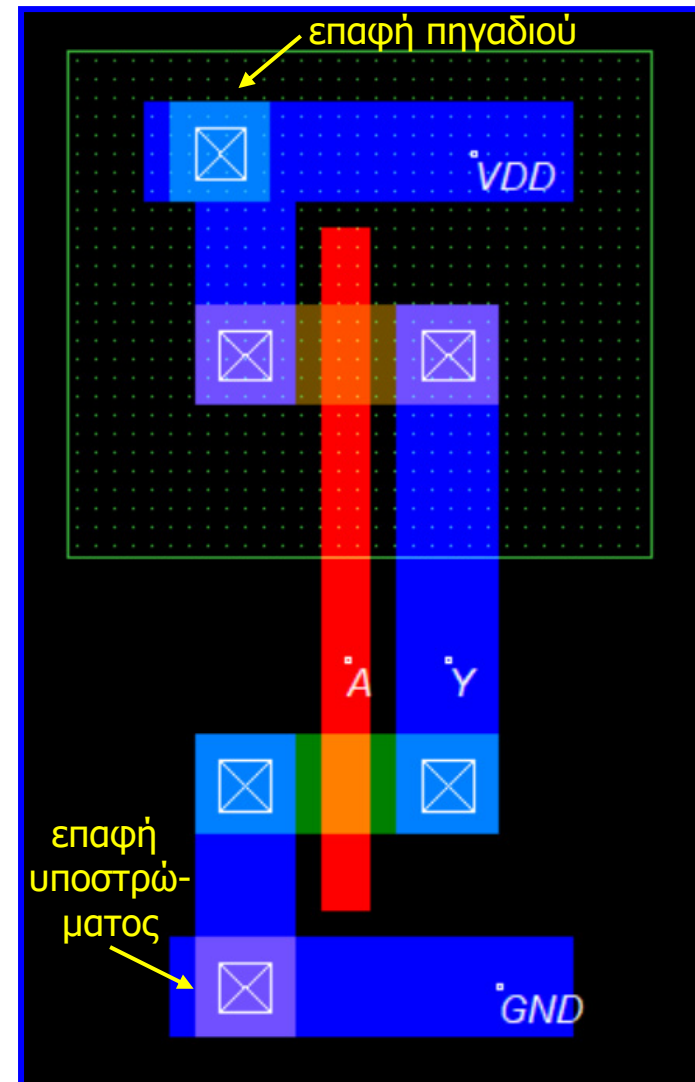
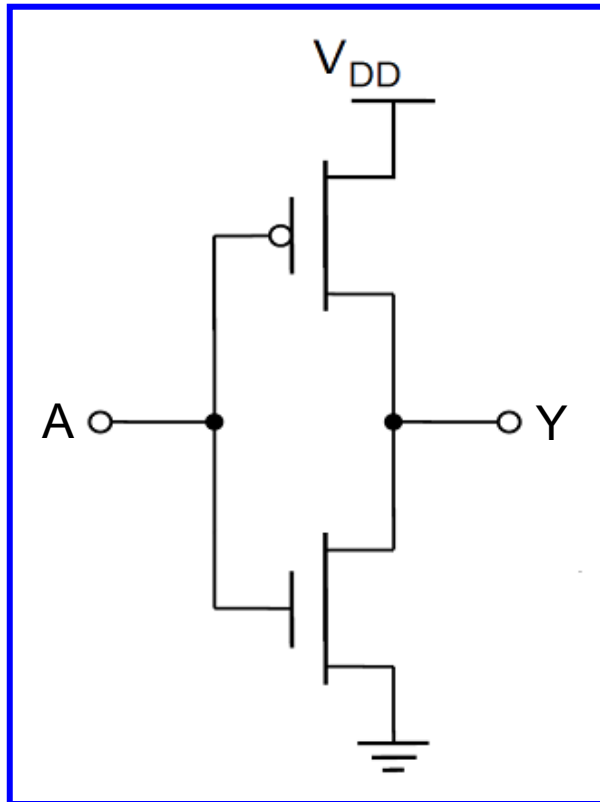
- Η πιο διαδεδομένη τεχνική σχεδιασμού στατικών συμπληρωματικών πυλών CMOS, που παρέχει συμπαγή φυσικό σχεδιασμό, είναι η **τεχνική τυπικού κυττάρου (standard cell)**, στην οποία το ύψος των κυττάρων είναι σταθερό και το μήκος μεταβλητό.
- Στην τεχνική αυτή χρησιμοποιούνται δύο οριζόντιες λωρίδες από μέταλλο: **γείωση** στο κάτω άκρο του κυττάρου και **τροφοδοσία** στην κορυφή του κυττάρου.
- Στη συνέχεια, σχεδιάζονται δύο ακόμη οριζόντιες λωρίδες: **διάχυση τύπου n** κοντά στη λωρίδα της γείωσης και **διάχυση τύπου p** κοντά στη λωρίδα της τροφοδοσίας.
- Οι γραμμές **πολυκρυσταλλικού πυριτίου** εκτείνονται κατακόρυφα (**μία για κάθε είσοδο** της πύλης) για το σχηματισμό των πυλών των τρανζίστορ.
- Για τη δημιουργία των κατάλληλων **συνδέσεων** των ακροδεκτών των τρανζίστορ, χρησιμοποιούνται **μεταλλικοί αγωγοί** και κατάλληλες **επαφές** εντός του κυττάρου ή αγωγοί από πολυκρυσταλλικό πυρίτιο, αλλά μόνο για πολύ σύντομες συνδέσεις μεταξύ των πυλών των τρανζίστορ.
- Τέλος, τοποθετούμε το **πηγάδι τύπου n** στο οποίο περιέχονται τα τρανζίστορ PMOS, καθώς και **επαφές πηγαδιού και υποστρώματος** στις γραμμές τροφοδοσίας και γείωσης, αντίστοιχα, ώστε αυτά να πολωθούν κατάλληλα.
- Φυσικά κατά το σχεδιασμό όλων των λωρίδων και συνδέσεων, πρέπει να τηρούνται οι **κανόνες σχεδιασμού** που επιβάλλονται από την εκάστοτε τεχνολογία κατασκευής.

# Βασικοί κανόνες σχεδιασμού (πλάτη, αποστάσεις)



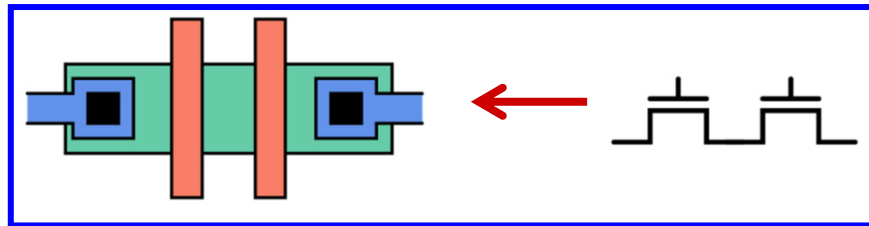
# Φυσικός σχεδιασμός απλών λογικών πυλών

## ΑΝΤΙΣΤΡΟΦΕΑΣ

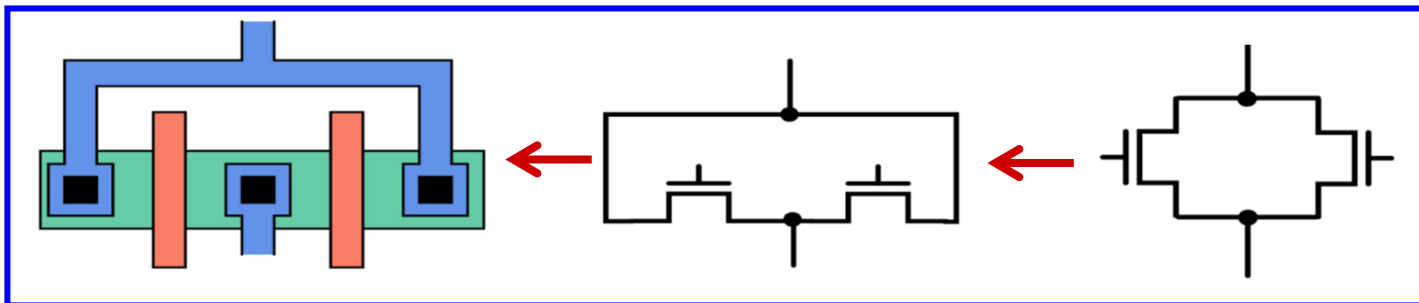


# Φυσικός σχεδιασμός απλών λογικών πυλών

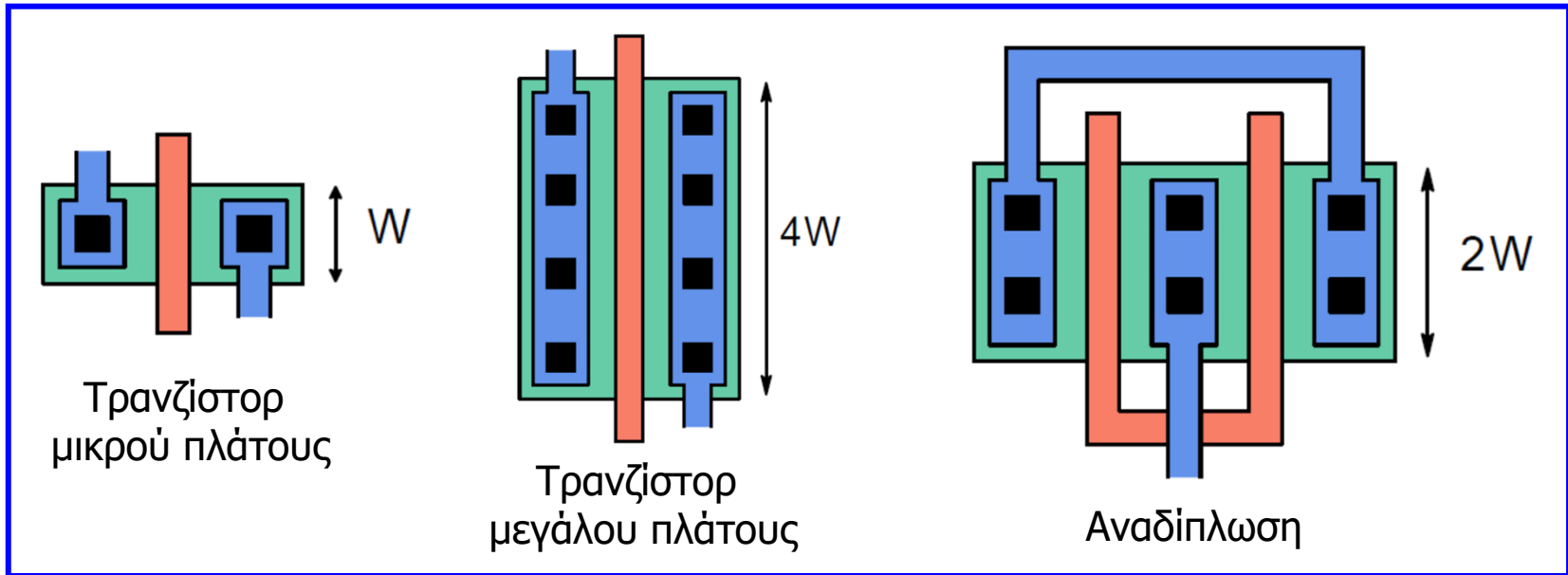
- Όταν μια λωρίδα πολυκρυσταλλικού πυριτίου τέμνει λωρίδα διάχυσης τύπου n ή τύπου p, σχηματίζεται τρανζίστορ NMOS ή PMOS, αντίστοιχα.
- Επιτρέπονται συνδέσεις μέσω επαφών μεταξύ λωρίδων διάχυσης - μετάλλου, πολυκρυσταλλικού πυριτίου - μετάλλου, λωρίδων μετάλλου πρώτου και δεύτερου επιπέδου και πολυκρυσταλλικού πυριτίου - μετάλλου δεύτερου επιπέδου.
- Δεν επιτρέπεται η σύνδεση μέσω επαφών λωρίδων πολυκρυσταλλικού πυριτίου και διάχυσης, καθώς και η σύμπτωση λωρίδων διάχυσης τύπου n και τύπου p.
- Φυσικός σχεδιασμός σειριακά συνδεδεμένων τρανζίστορ:



- Φυσικός σχεδιασμός παράλληλα συνδεδεμένων τρανζίστορ (2 ζεύγη κοινοί ακροδέκτες):



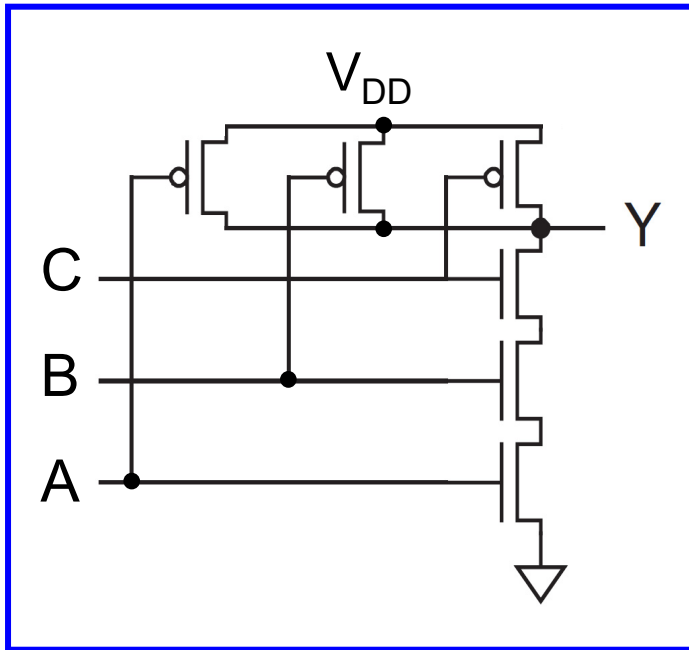
# Φυσικός σχεδιασμός απλών λογικών πυλών



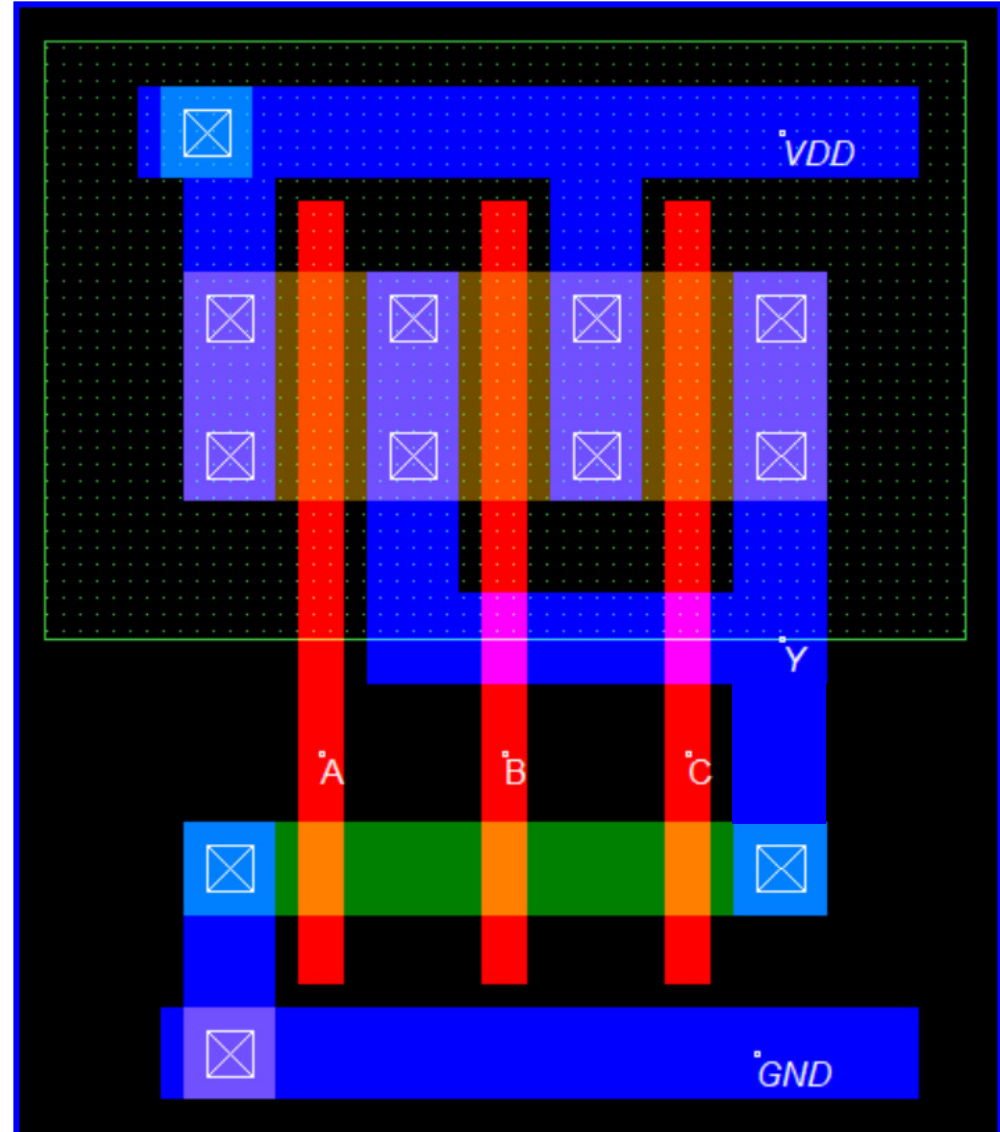
- Σε **τρανζίστορ μεγάλου πλάτους** καναλιού χρησιμοποιούμε **πολλαπλές επαφές**, διότι οριοθετούν αποδοτικότερα το ηλεκτρικό πεδίο του καναλιού.
- Τα τρανζίστορ μεγάλου πλάτους εμφανίζουν μεγάλο εμβαδό περιοχών διάχυσης με αποτέλεσμα αυξημένη χωρητικότητα, καθώς και μεγάλο μήκος λωρίδας πολυκρυσταλλικού πυριτίου με αποτέλεσμα αυξημένη αντίσταση.
- Μια λύση είναι η **αναδίπλωση (folding)** των τρανζίστορ μεγάλου πλάτους κατά το φυσικό τους σχεδιασμό, με αποτέλεσμα ένα τρανζίστορ μεγάλου πλάτους να σχεδιάζεται ως περισσότερα τρανζίστορ συνδεδεμένα παράλληλα.

# Φυσικός σχεδιασμός απλών λογικών πυλών

## NAND 3 ΕΙΣΟΔΩΝ

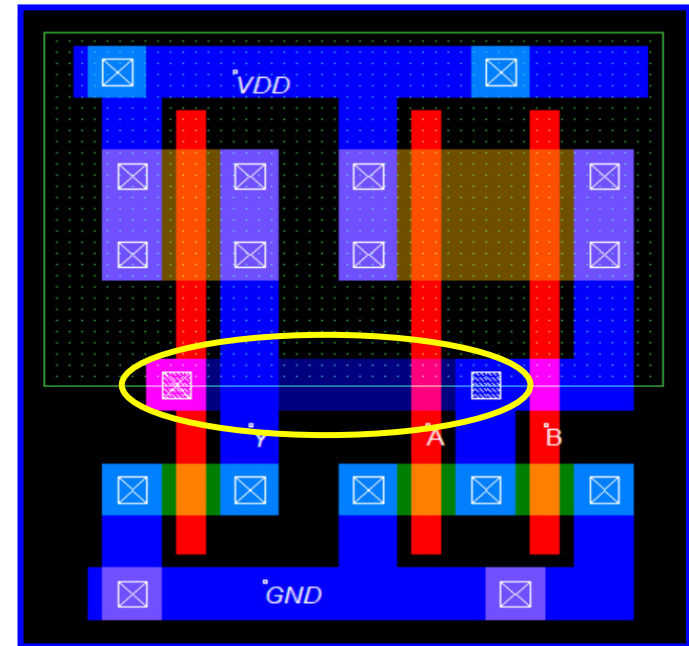
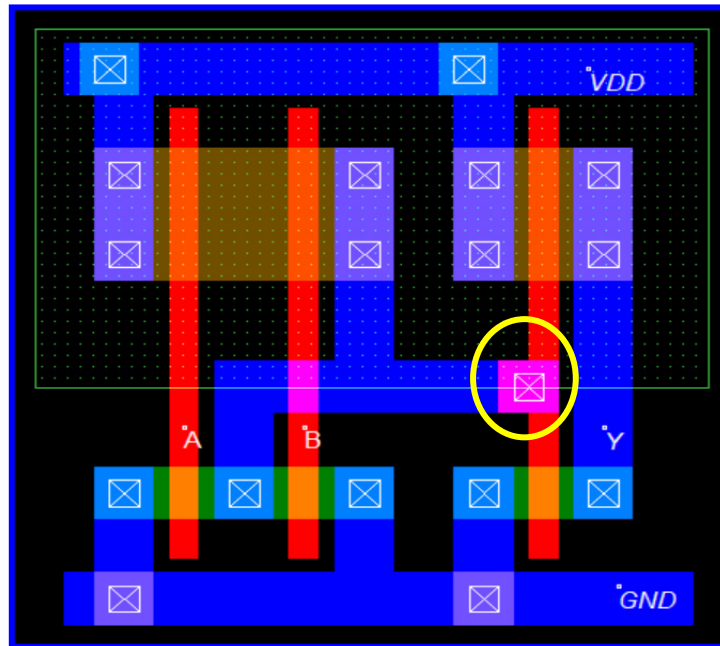
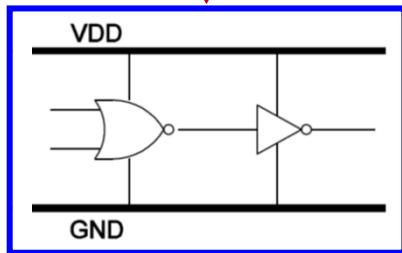
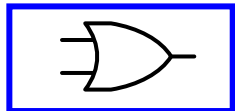


Χρησιμοποιούνται **μη διακοπτόμενες λωρίδες διάχυσης** και οι συνδέσεις στα παράλληλα τρανζίστορ PMOS γίνονται έτσι ώστε αυτά να έχουν 3 κοινούς ακροδέκτες συνδεδεμένους στην τροφοδοσία και 3 κοινούς ακροδέκτες συνδεδεμένους στην έξοδο της πύλης



# Φυσικός σχεδιασμός απλών λογικών πυλών

Λογική πύλη  
OR 2 εισόδων



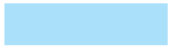




- Για το σχεδιασμό **μη συμπληρωματικών λογικών πυλών** (π.χ. OR, AND), σχεδιάζουμε την **αντίστοιχη συμπληρωματική λογική πύλη** (π.χ. NOR, NAND) και συνδέουμε την έξοδό της με ένα **αντιστροφέα**, στην έξοδο του οποίου λαμβάνουμε την έξοδο της μη συμπληρωματικής λογικής πύλης.
- Η σύνδεση της συμπληρωματικής λογικής πύλης με τον αντιστροφέα, διενεργείται είτε μέσω επαφής μετάλλου – πολυκρυσταλλικού πυριτίου ή μέσω λωρίδας διασύνδεσης μετάλλου δευτέρου επιπέδου και δύο κατάλληλων επαφών.



# Συμβολικά διαγράμματα λογικών πυλών

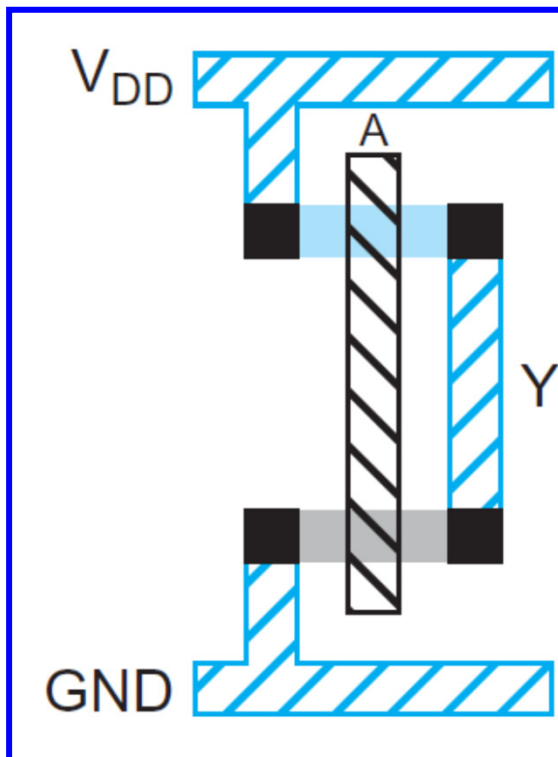
- Επειδή ο φυσικός σχεδιασμός είναι χρονοβόρα διαδικασία, συνήθως χρησιμοποιείται ένας γρήγορος τρόπος για την κατάστρωση ενός αρχικού σχεδίου (χωρίς να τηρείται η πραγματική γεωμετρία των μασκών), με βάση το οποίο γίνονται εκτιμήσεις για την τελική δομή και την επιφάνεια του τελικού φυσικού σχεδίου, πριν αυτό υλοποιηθεί.
- Ο τρόπος αυτός συνίσταται στο σχεδιασμό ενός **συμβολικού διαγράμματος** ή **ραβδοδιαγράμματος (stick diagram)** ή **διαγράμματος γραμμών** μιας πύλης, το οποίο περιλαμβάνει τα ακόλουθα βασικά στοιχεία:

	Επαφή
	Μέταλλο
	Διάχυση τύπου p
	Διάχυση τύπου n
	Πολυκρυσταλλικό πυρίτιο

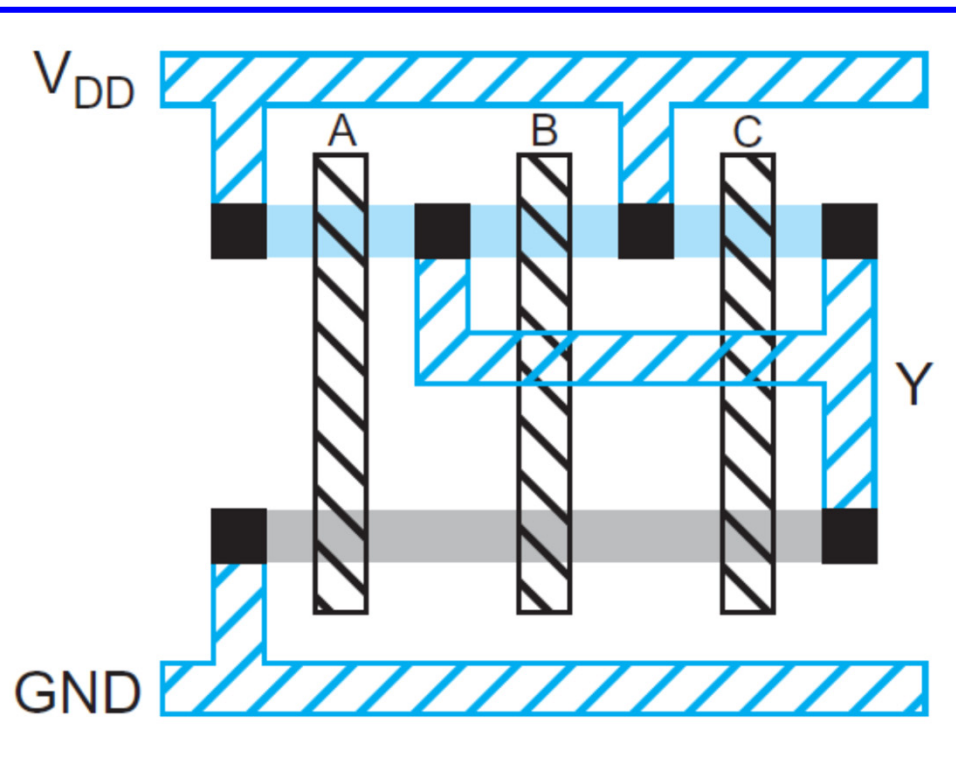
- Στο συμβολικό διάγραμμα μιας λογικής πύλης, μπορεί να αναγράφεται δίπλα σε κάθε τρανζίστορ, ο λόγος  $W / L$  (πλάτος καναλιού / μήκος καναλιού).

# Συμβολικά διαγράμματα λογικών πυλών

ΑΝΤΙΣΤΡΟΦΕΑΣ



NAND 3 ΕΙΣΟΔΩΝ



# Φυσικός σχεδιασμός σύνθετων λογικών πυλών

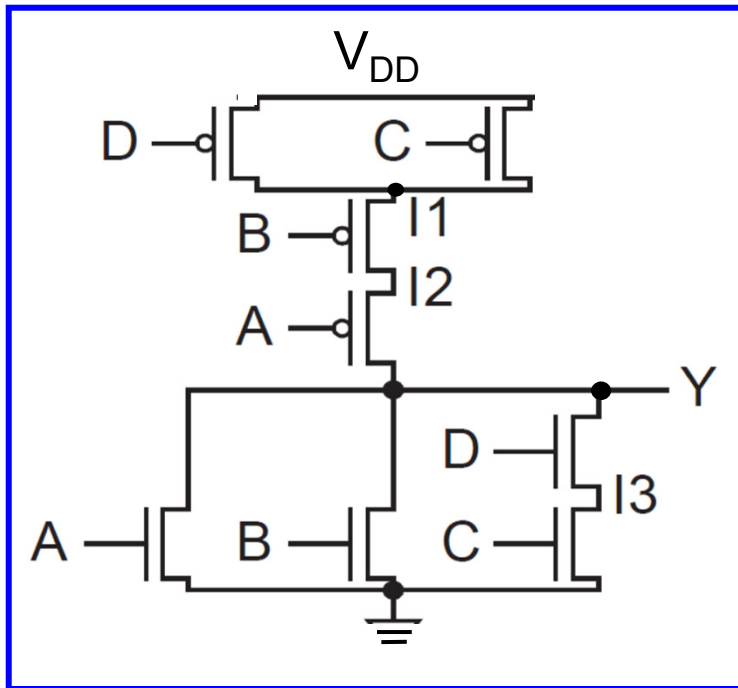
- Κατά το σχεδιασμό σύνθετων πυλών CMOS, είναι επιθυμητό τα τρανζίστορ κάθε τύπου να υλοποιούνται ως μία αδιάσπαστη οριζόντια σειρά τρανζίστορ με γειτονικές συνδέσεις πηγής-υποδοχής και με ευθυγραμμισμένες κατακόρυφες συνδέσεις πύλης.
- Η προσέγγιση αυτή απαιτεί μόνο **μία μη διακοπόμενη λωρίδα διάχυσης τύπου p** και μόνο **μία μη διακοπόμενη λωρίδα διάχυσης τύπου n**.
- Για να επιτευχθεί ο στόχος αυτός, είναι απαραίτητο να τοποθετηθούν οι λωρίδες πολυκρυσταλλικού πυριτίου των εισόδων της πύλης με προσεκτική σειρά.
- Για να γίνει αυτό αρχικά σχεδιάζουμε το **λογικό γράφημα των δύο δικτυωμάτων** των τρανζίστορ.
- Στο λογικό γράφημα ενός δικτυώματος, **κορυφές** είναι οι **συνδέσεις πύλης-υποδοχής** και **ακμές** είναι οι **πύλες των τρανζίστορ** που συνδέουν τις κορυφές (ακροδέκτες πηγής-υποδοχής) μεταξύ τους.
- Κάθε **ακμή** λαμβάνει το όνομά της από την **είσοδο της πύλης** που ελέγχει το αντίστοιχο τρανζίστορ.
- Αφού τα **δικτυώματα** PUN και PDN μίας στατικής πύλης CMOS είναι **δυσικά**, τα αντίστοιχα **γραφήματα** είναι επίσης **δυσικά**, που σημαίνει ότι μία παράλληλη σύνδεση αντικαθίσταται από μία σειριακή και αντιστρόφως.

# Φυσικός σχεδιασμός σύνθετων λογικών πυλών

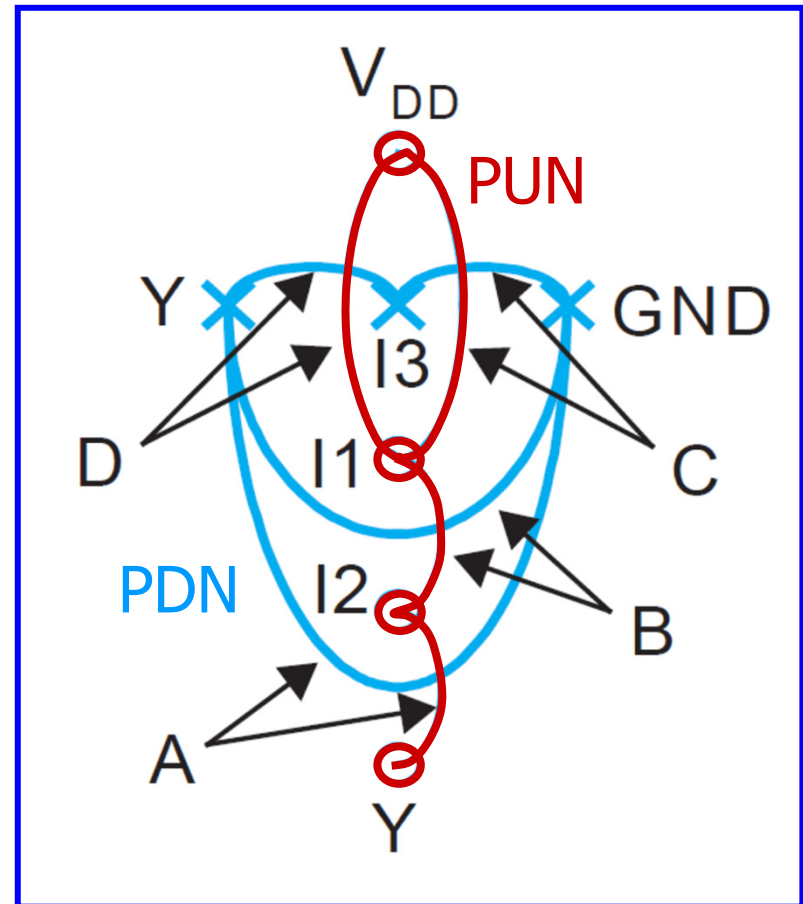
- Μία **διαδρομή Euler** σε ένα λογικό γράφημα ορίζεται ως η διαδρομή που περνάει από όλες τις κορυφές του γραφήματος, έτσι ώστε **κάθε ακμή να διατρέχεται μόνο μία φορά**.
- Ο προσδιορισμός μίας τέτοιας διαδρομής είναι σημαντικός, αφού η τοποθέτηση των εισόδων σε μία σειρά που οδηγεί σε μη διακοπτόμενη λωρίδα διάχυσης για τα τρανζίστορ ενός τύπου, είναι δυνατή μόνο όταν υπάρχει μία διαδρομή Euler στον λογικό γράφημα του αντίστοιχου δικτυώματος.
- Οι **διαδρομές Euler δεν είναι μοναδικές** και μπορεί να υπάρχουν αρκετές διαφορετικές λύσεις.
- Η **ακολουθία των ακμών σε μία διαδρομή Euler είναι όμοια με τη σειρά τοποθέτησης των εισόδων στο φυσικό σχέδιο** της πύλης.
- Για να επιτύχουμε την ίδια σειρά τοποθέτησης και στα δύο δικτυώματα (PDN και PUN), πράγμα απαραίτητο αφού πρόκειται να χρησιμοποιήσουμε μία και μόνο κατακόρυφη λωρίδα πολυκρυσταλλικού πυριτίου για κάθε είσοδο της λογικής πύλης, πρέπει να **συμφωνούν οι διαδρομές Euler των δύο λογικών γραφημάτων (συνεπείς διαδρομές Euler)**, που σημαίνει ότι πρέπει να διατρέχουν την ίδια ακολουθία εισόδων.

# Παράδειγμα 2

Δημιουργούμε το φυσικό σχέδιο (σε μορφή συμβολικού διαγράμματος) σύνθετης λογικής πύλης που υλοποιεί τη λογική συνάρτηση  $Y = (A + B + C \cdot D)'$ .

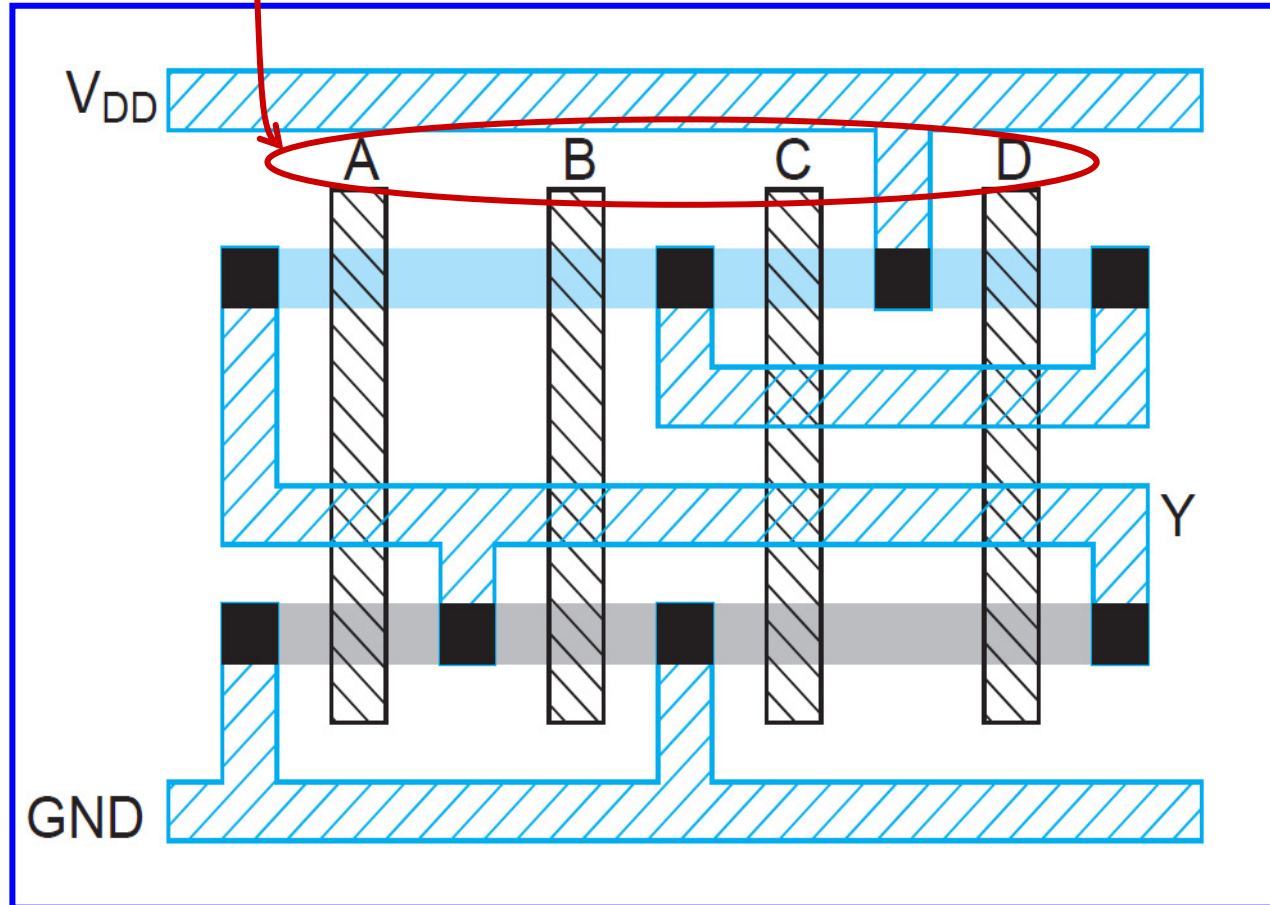
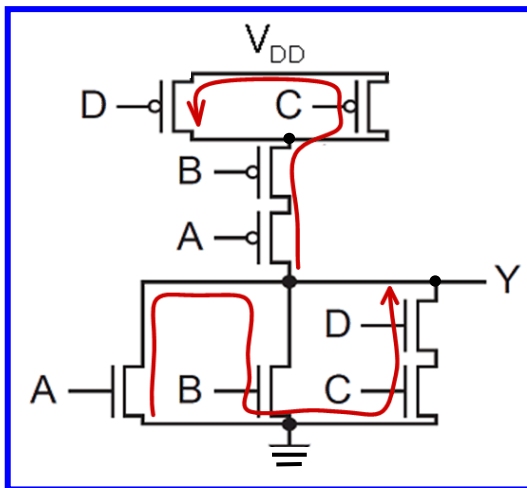
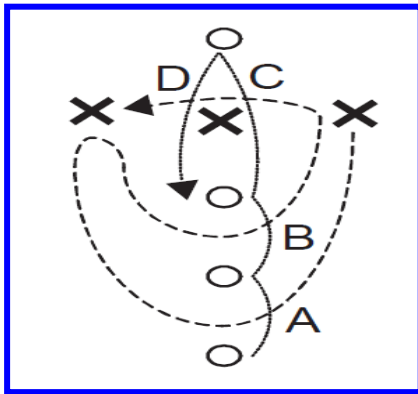


Με επικαλυπτόμενη τοποθέτηση των λογικών γραφημάτων διαπιστώνεται η δυσκότητά τους. Μια διαδρομή Euler που είναι κοινή και στα δύο γραφήματα είναι η **A, B, C, D**.



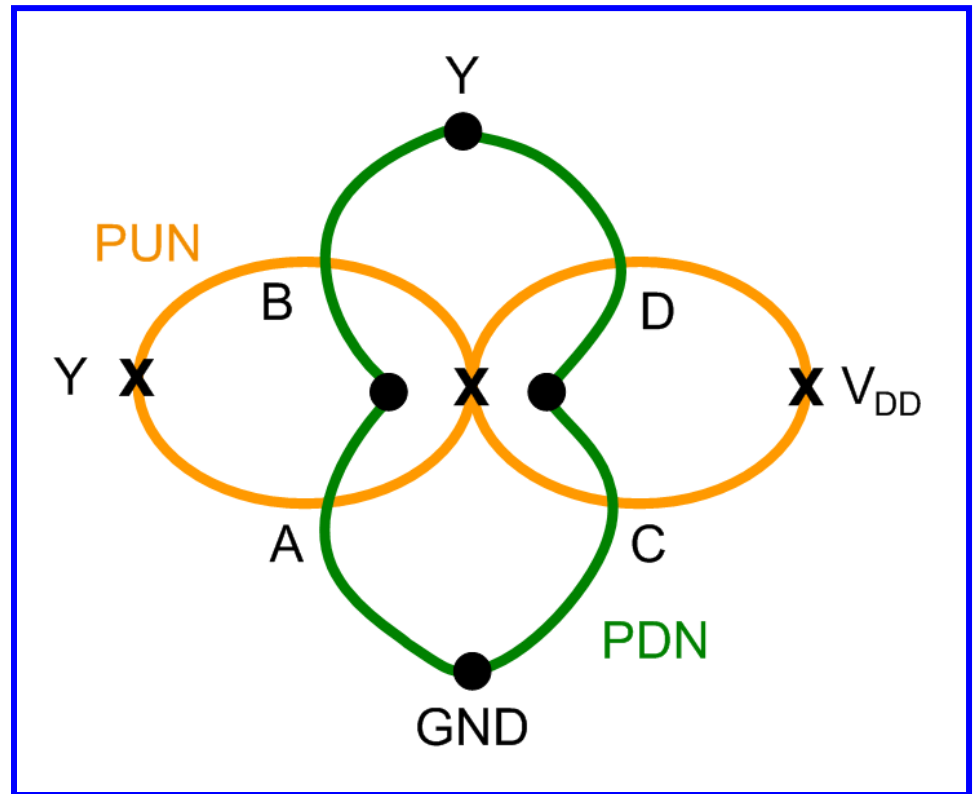
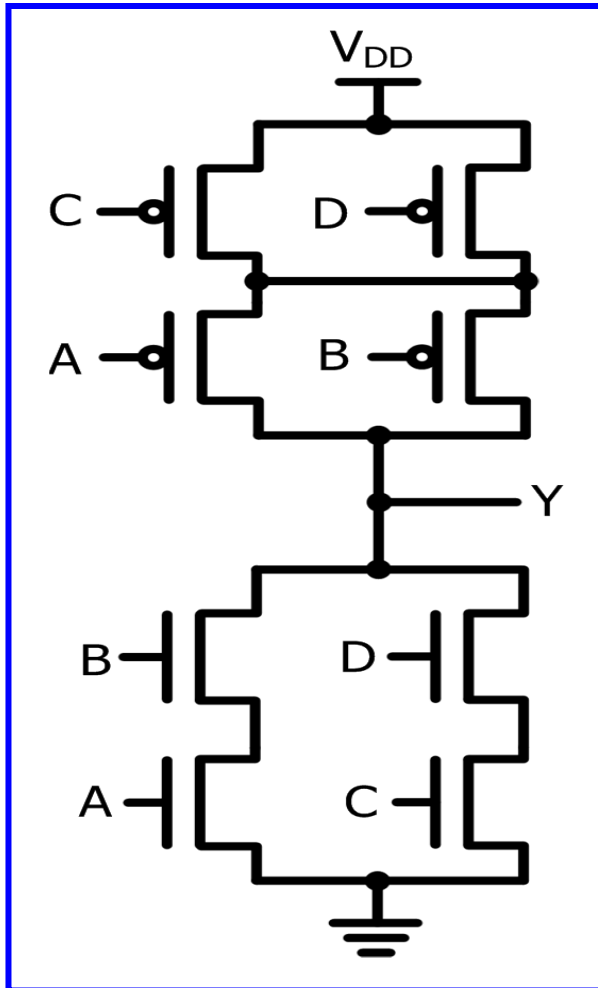
# Παράδειγμα 2

Τοποθετούμε τις κατακόρυφες λωρίδες πολυκρυσταλλικού πυριτίου με βάση την ακολουθία εισόδων της κοινής διαδρομής Euler **A, B, C, D** των δύο γραφημάτων, που αντιστοιχούν στα δικτυώματα PDN και PUN της πύλης και διενεργούμε τις κατάλληλες μεταλλικές συνδέσεις.



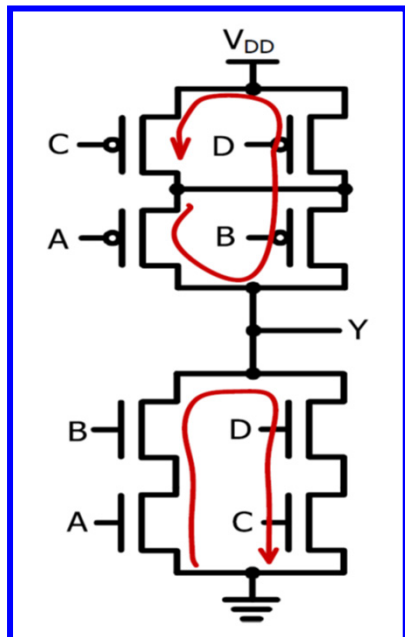
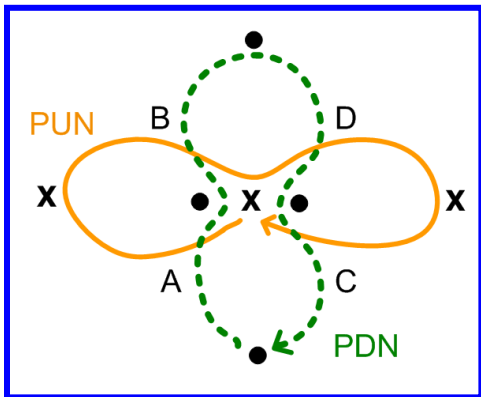
# Παράδειγμα 3

Δημιουργούμε το φυσικό σχέδιο (σε μορφή συμβολικού διαγράμματος) σύνθετης λογικής πύλης που υλοποιεί τη λογική συνάρτηση  $Y = (A \cdot B + C \cdot D)'$ .

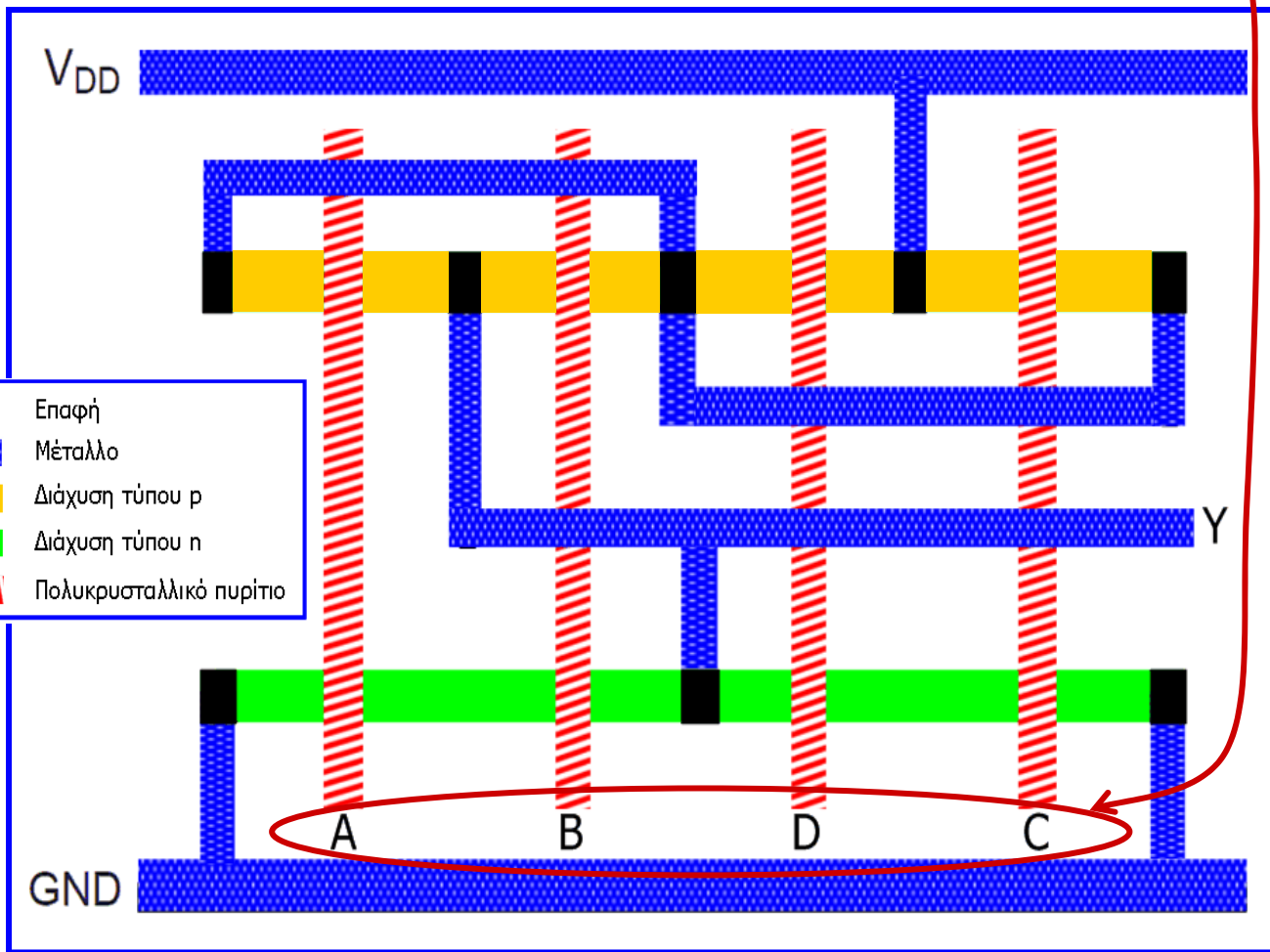


# Παράδειγμα 3

Κοινή διαδρομή Euler στα δικτυώματα PDN και PUN: **A, B, D, C**



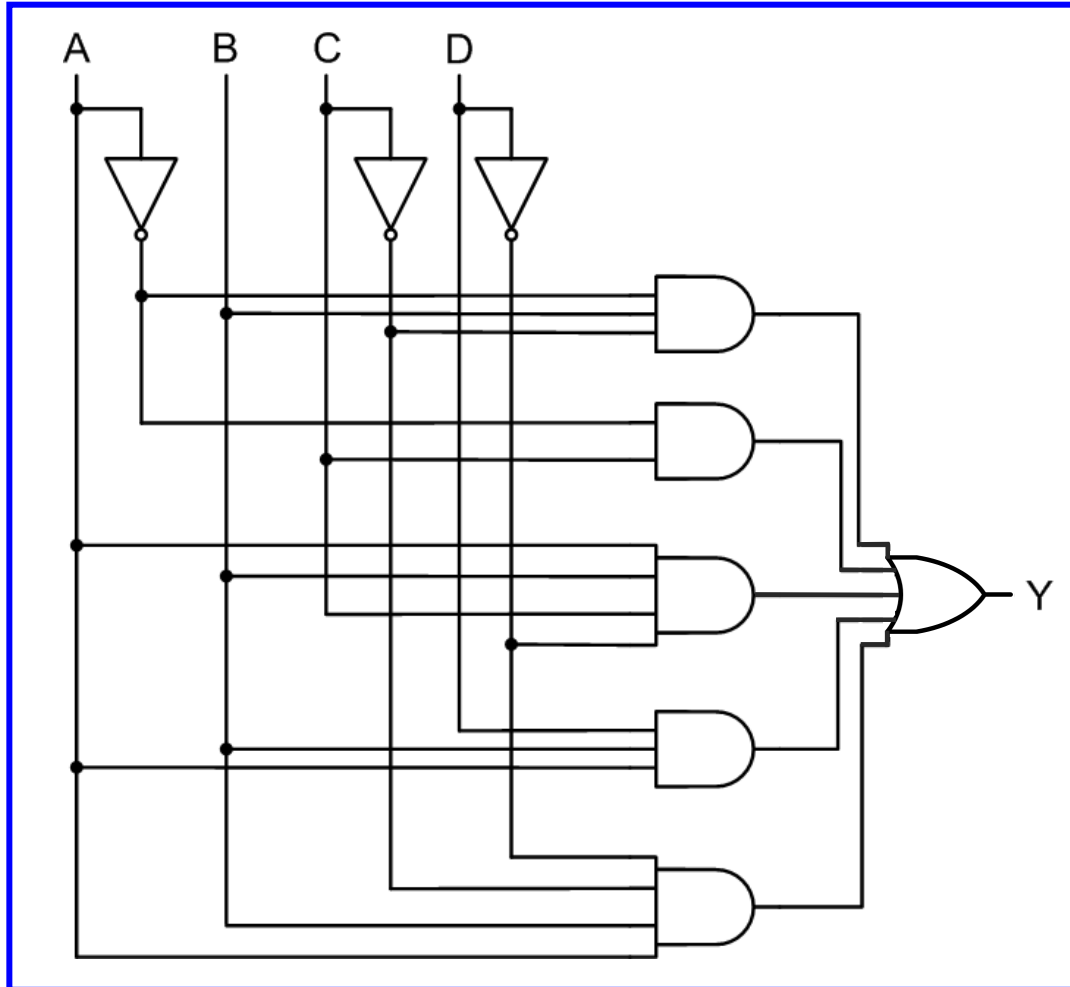
- Επαφή
- Μέταλλο
- Διάχυση τύπου p
- Διάχυση τύπου n
- ▨ Πολυκρυσταλλικό πυρίτιο





# Παράδειγμα 4

Δημιουργούμε το φυσικό σχέδιο του παρακάτω λογικού κυκλώματος, χρησιμοποιώντας NMOS και PMOS τρανζίστορ με πλάτος καναλιού  $0.240 \mu\text{m}$  και μήκος καναλιού  $0.120 \mu\text{m}$ .



# Παράδειγμα 4

- Μετά από **ανάλυση του κυκλώματος**, διαπιστώνουμε ότι υλοποιεί τη συνάρτηση:

$$Y = A'BC' + A'C + ABCD' + ABD + ABC'D'$$

- Απλοποιούμε τη συνάρτηση**, χρησιμοποιώντας **αλγεβρικούς μετασχηματισμούς** με βάση τις ιδιότητες της άλγεβρας Boole (ή χρησιμοποιώντας τη μέθοδο του χάρτη Karnaugh):

$$\begin{aligned} Y &= A'BC' + A'C + ABCD' + ABD + ABC'D' \\ &= A'(BC' + C) + ABD'(C + C') + ABD = A'(B + C)(C' + C) + ABD' + ABD \\ &= A'(B + C) + AB(D' + D) = A'C + A'B + AB = A'C + (A' + A)B = A'C + B \end{aligned}$$

- Εφαρμόζουμε στην απλοποιημένη συνάρτηση το θεώρημα της **διπλής άρνησης** και το **θεώρημα De Morgan**, ώστε να μπορεί να υλοποιηθεί με συμπληρωματική λογική CMOS:

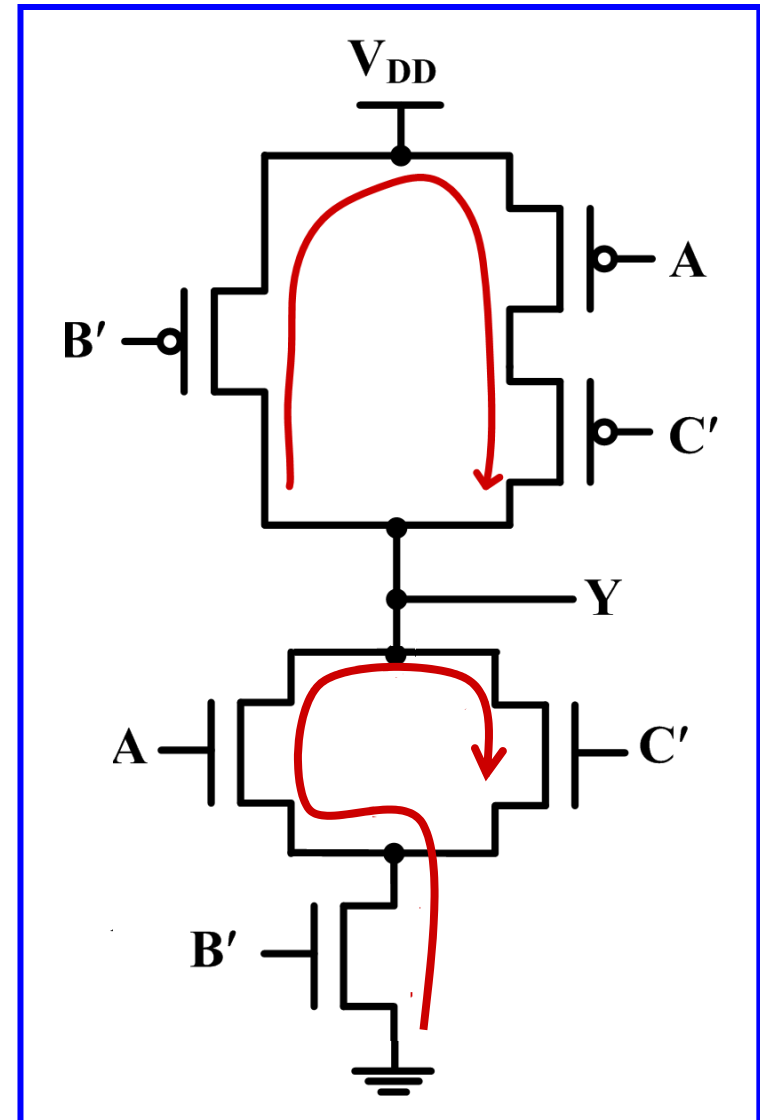
$$Y = [(A' C + B)']' = [(A + C') B']'$$

# Παράδειγμα 4

$$Y = [(A + C')B']'$$

Η συνάρτηση που προέκυψε μπορεί να υλοποιηθεί με **δύο αντιστροφείς CMOS** για την παραγωγή των συμπληρωματικών μορφών των μεταβλητών B και C και **μία πύλη συμπληρωματικής λογικής CMOS**, το κυκλωματικό διάγραμμα της οποίας παρουσιάζεται στο διπλανό σχήμα.

Οι **συνεπείς διαδρομές Euler** των δικτυωμάτων PDN και PUN της συμπληρωματικής πύλης CMOS (**B', A, C'**) καθορίζουν τη σειρά στην οποία διατάσσονται οι είσοδοι της πύλης κατά το φυσικό σχεδιασμό της.



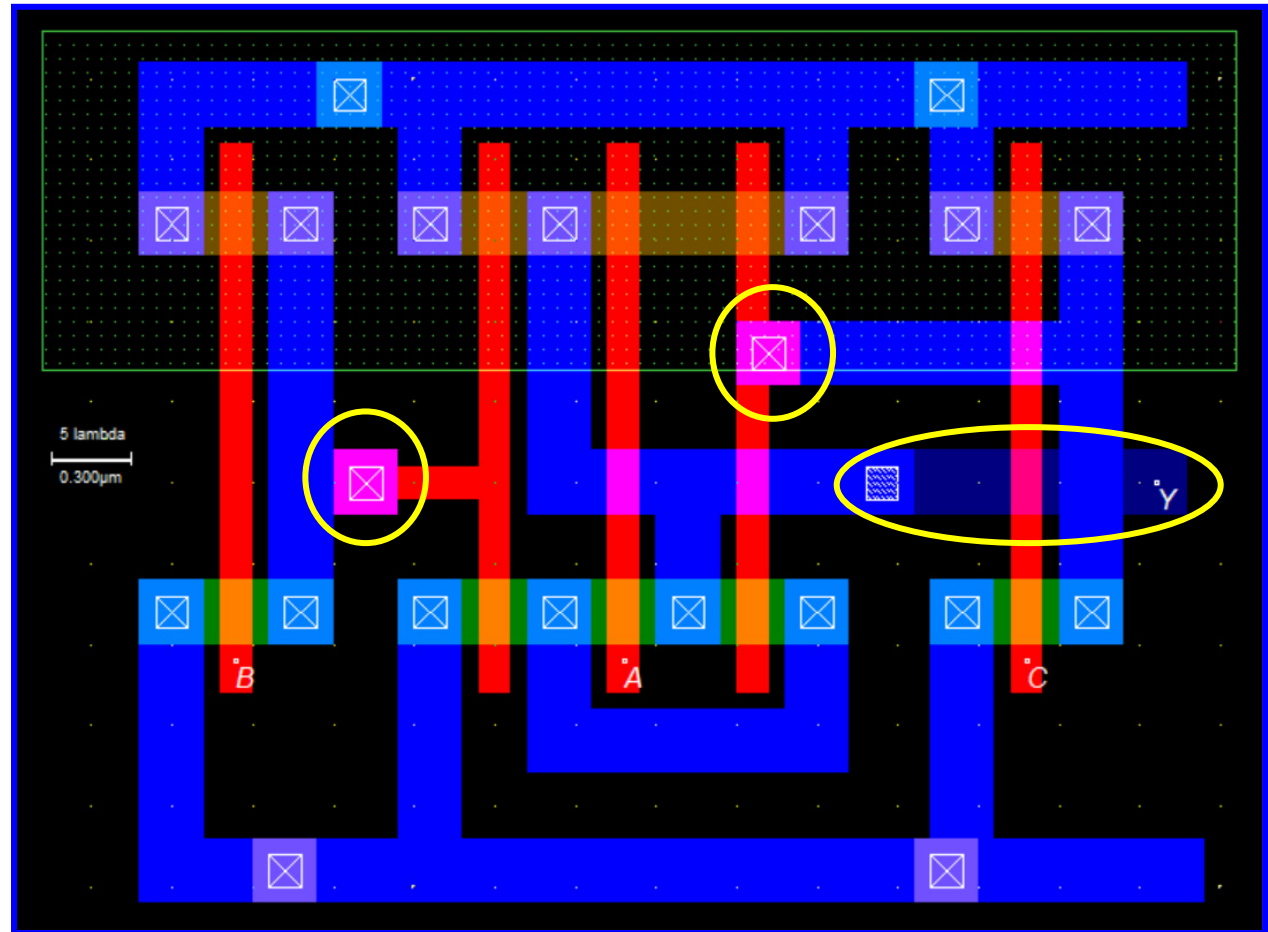
# Παράδειγμα 4

Η συμπληρωματική πύλη συνδέεται με τους 2 αντιστροφείς μέσω επαφών μετάλλου πολυκρυσταλλικού πυριτίου.

Η έξοδος του κυκλώματος παρέχεται μέσω μιας γραμμής μετάλλου δευτέρου επιπέδου.

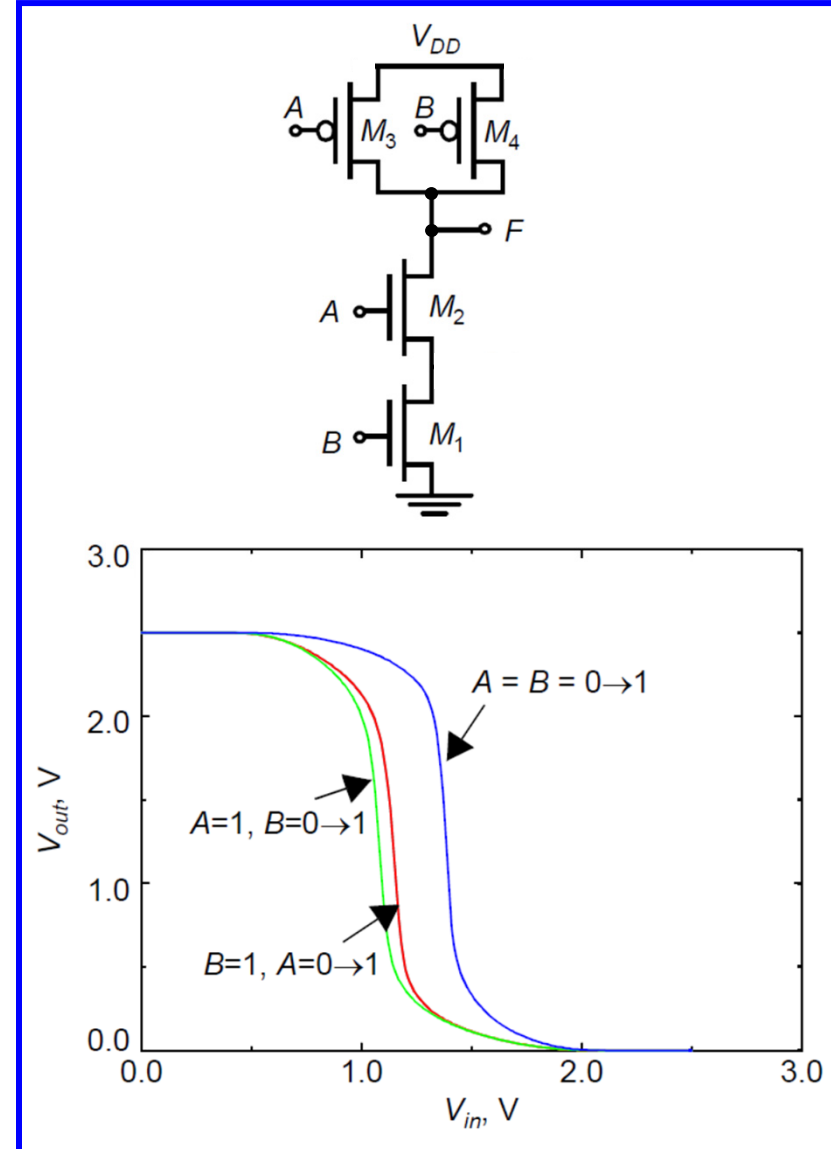
Οι γραμμές τροφοδοσίας και γείωσης, καθώς και το πηγάδι τύπου n, αποτελούν κοινές λωρίδες και για τις 3 πύλες του κυκλώματος.

Οι διαστάσεις των τρανζίστορ είναι:  $L = 0.120 \mu\text{m}$ ,  $W = 0.240 \mu\text{m}$ .



# Στατικές ιδιότητες συμπληρωματικής λογικής CMOS

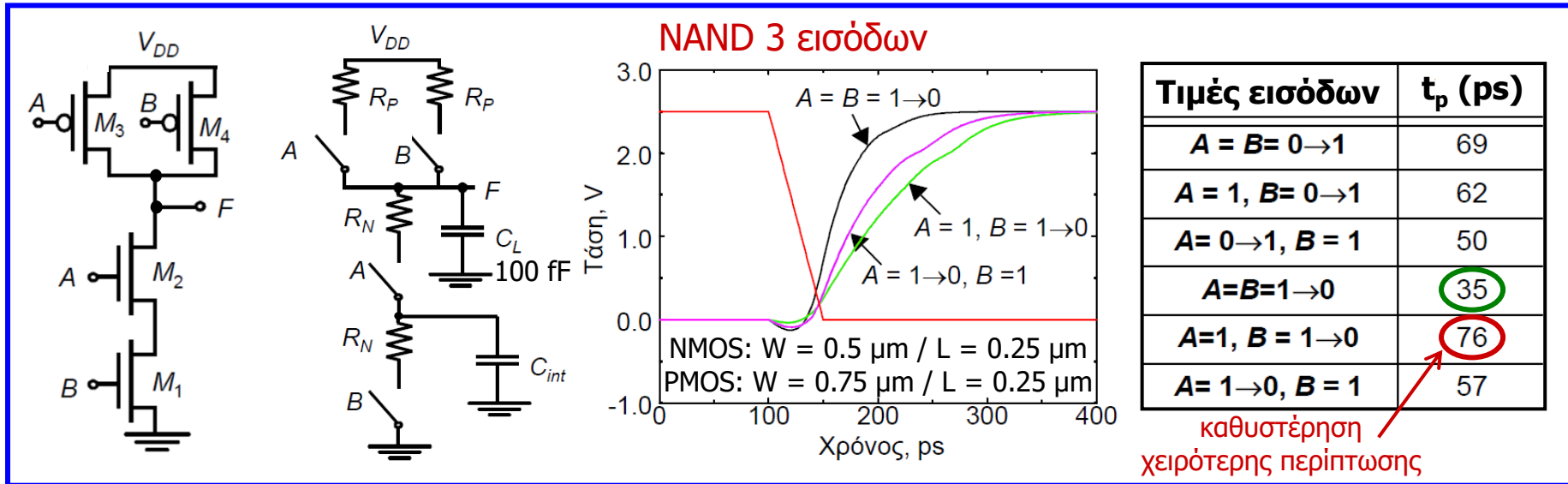
- Οι στατικές συμπληρωματικές πύλες CMOS έχουν τις θετικές στατικές ιδιότητες του αντιστροφέα.
- Παρουσιάζουν **εύρος ταλάντευσης τάσης** από την τάση τροφοδοσίας έως τη γείωση.
- Δεν παρουσιάζουν **στατική κατανάλωση ενέργειας**, αφού κάθε φορά άγει είτε το δικτύωμα PDN είτε το δικτύωμα PUN.
- Η **χαρακτηριστική μεταφοράς τάσης** και τα **περιθώρια θορύβου** εξαρτώνται από τις **τιμές των εισόδων** της πύλης.
- Στη στατική πύλη NAND 2 εισόδων, υπάρχουν 3 πιθανοί συνδυασμοί εισόδων που μεταβάλλουν την τιμή εξόδου από 1 σε 0:  $A = B = 0 \rightarrow 1$ ,  $A = 1, B = 0 \rightarrow 1$ ,  $B = 1, A = 0 \rightarrow 1$ .
- Η διαφορά μεταξύ της πρώτης και των υπόλοιπων περιπτώσεων οφείλεται στο ότι στην πρώτη και τα 2 τρανζίστορ του PUN άγουν για  $A = B = 0$ , δημιουργώντας μία ισχυρή οδήγηση προς τα πάνω που προκαλεί μετατόπιση της χαρακτηριστικής προς τα δεξιά.



# Καθυστέρηση διάδοσης

- Στην ενότητα 4, υπολογίστηκε ότι η **καθυστέρηση διάδοσης** του **αντιστροφέα CMOS** είναι:  $t_p = 0.69 \cdot R \cdot C_L$ , όπου  $R$  η μέση αντίσταση αγωγής του τρανζίστορ (NMOS για  $H \rightarrow L$  μετάβαση εξόδου, PMOS για  $L \rightarrow H$  μετάβαση εξόδου) και  $C_L$  η χωρητικότητα εξόδου που συγκεντρώνει όλες τις χωρητικότητες που συνδέονται στην έξοδο.
- Ο υπολογισμός της καθυστέρησης διάδοσης συμπληρωματικών πυλών CMOS, πραγματοποιείται με τρόπο παρόμοιο με αυτόν του στατικού αντιστροφέα CMOS.
- Κάθε τρανζίστορ μοντελοποιείται ως μία αντίσταση σε σειρά με έναν ιδανικό διακόπτη.
- Το λογικό κύκλωμα μιας πύλης μετατρέπεται σε ένα **ισοδύναμο δικτύωμα RC**, το οποίο περιλαμβάνει και τις **χωρητικότητες των εσωτερικών κόμβων**.
- Όταν δύο ή περισσότερα τρανζίστορ συνδέονται σε σειρά, τότε η χωρητικότητα των κοινών ακροδεκτών τους (δηλαδή των εσωτερικών κόμβων μιας πύλης), οφείλεται στις περιοχές πηγής/υποδοχής και στη χωρητικότητα επικάλυψης πύλης των δύο τρανζίστορ.
- Στις συμπληρωματικές πύλες CMOS, εκτός από την χωρητικότητα εξόδου (στην οποία συμμετέχουν όλες οι χωρητικότητες που συνδέονται στον κόμβο εξόδου της πύλης), στην **καθυστέρηση διάδοσης επιδρούν** και οι προαναφερόμενες **χωρητικότητες των εσωτερικών κόμβων**.
- Επίσης, η **καθυστέρηση διάδοσης** μιας συμπληρωματικής πύλης CMOS, **εξαρτάται** από τις **τιμές των εισόδων της πύλης**.

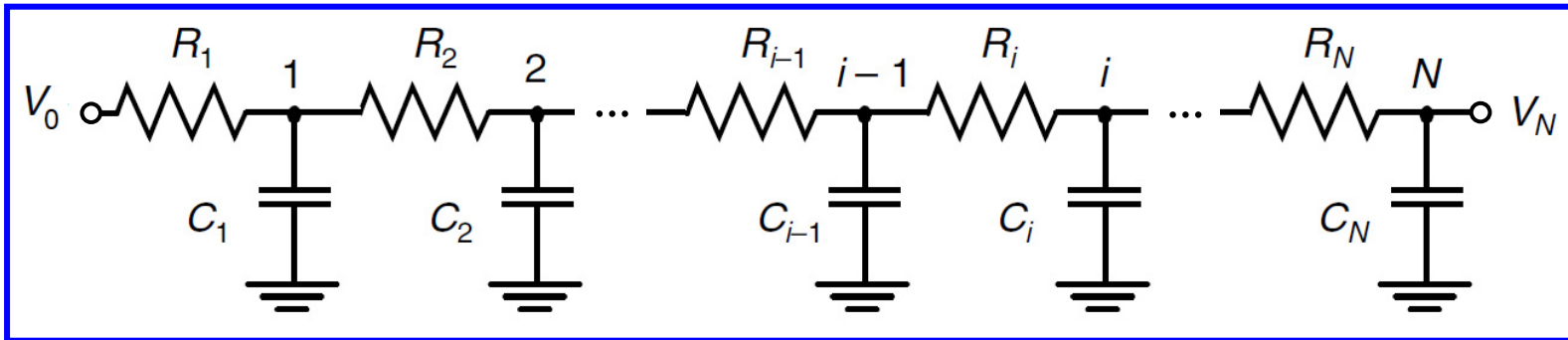
# Καθυστέρηση διάδοσης



- Κατά την μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη, όταν και οι δύο εισοδοί μεταβαίνουν σε χαμηλή στάθμη, η καθυστέρηση λόγω της  $C_L$ , είναι  $0.69 \cdot (R_p/2) \cdot C_L$ .
- Όταν όμως μόνο μία από τις εισόδους μεταβαίνει σε χαμηλή στάθμη, η καθυστέρηση λόγω της  $C_L$ , είναι  $0.69 \cdot R_p \cdot C_L$ .
- Κατά τη μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη, όταν και οι δύο εισοδοί μεταβαίνουν σε υψηλή στάθμη, η καθυστέρηση λόγω της  $C_L$ , είναι  $0.69 \cdot (2 \cdot R_n) \cdot C_L$ .
- Όταν  $A = 1$  και η  $B$  μεταβαίνει σε χαμηλή στάθμη, το τρανζίστορ PMOS  $M_4$  πρέπει να φορτίσει (εκτός της  $C_L$ ) και την  $C_{int}$ , γεγονός που αυξάνει την καθυστέρηση σε σχέση με την περίπτωση όπου  $B = 1$  και η  $A$  μεταβαίνει σε χαμηλή στάθμη.

# Καθυστέρηση Elmore

- Για να προχωρήσουμε στον υπολογισμό της καθυστέρησης συμπληρωματικών πυλών CMOS, λαμβάνοντας υπόψη τις χωρητικότητες των εσωτερικών κόμβων τους, θα χρησιμοποιήσουμε τον **τύπο καθυστέρησης του Elmore (Elmore delay formula)** για μια **αλυσίδα RC**, που εξετάσαμε στην ενότητα 4.
- Η καθυστέρηση που προκύπτει από τον τύπο του Elmore, είναι **ισοδύναμη** με τη **σταθερά χρόνου ( $\tau$ )** πρώτης τάξης της **αλυσίδας RC**.



$$\tau = \sum_{i=1}^N (C_i \cdot \sum_{j=1}^i R_j)$$

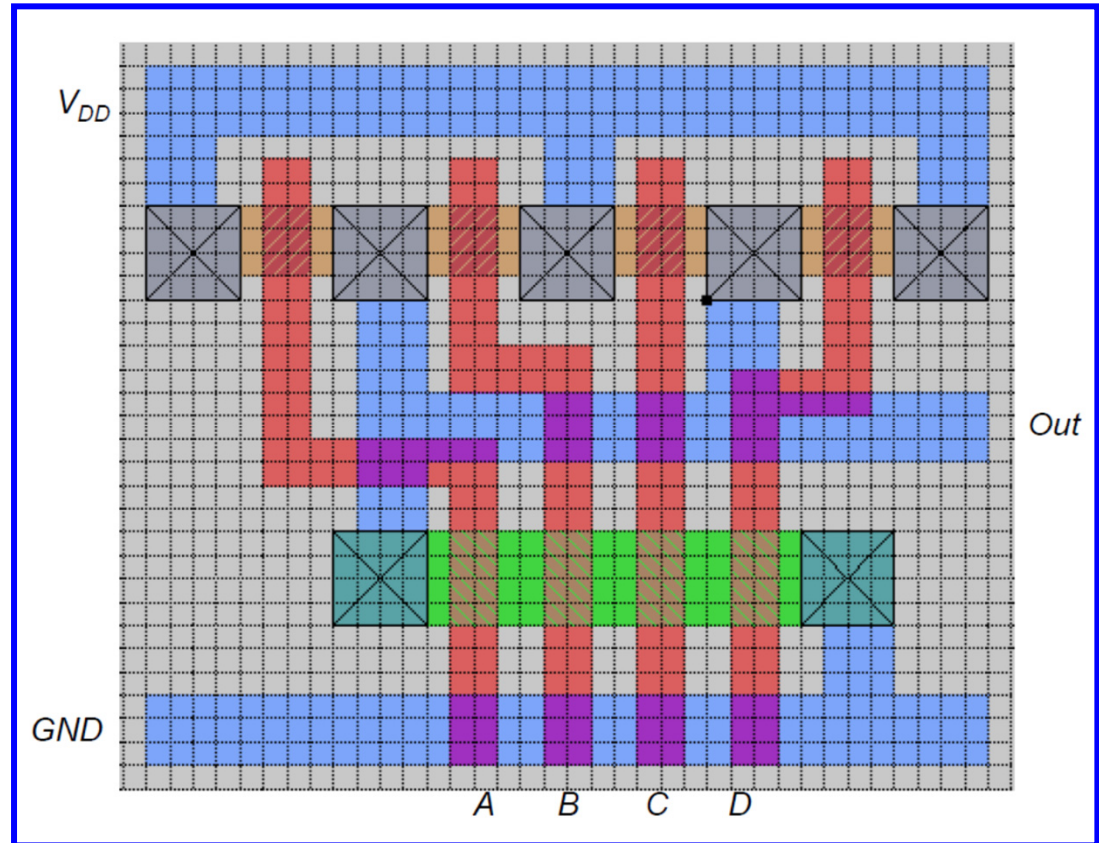
δηλαδή:

$$\tau_i = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + \dots + C_i \cdot (R_1 + R_2 + \dots + R_i)$$



# Παράδειγμα 5

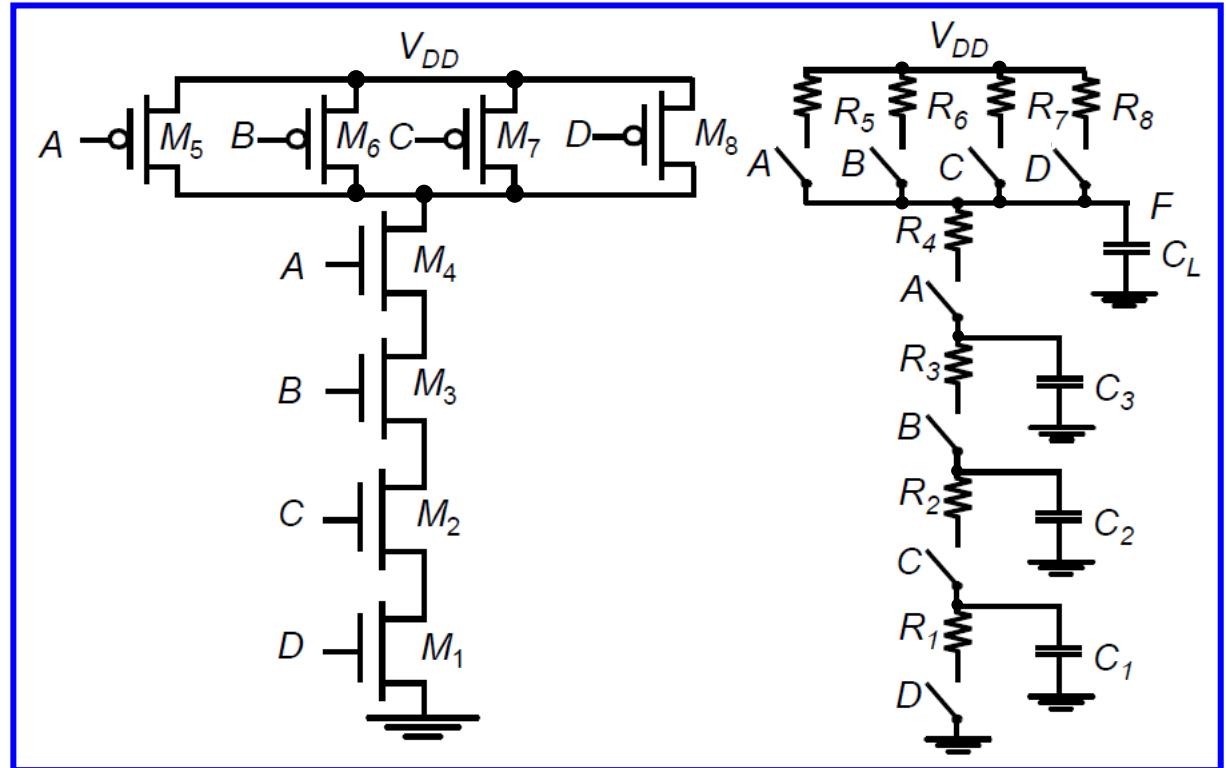
- Υπολογίζουμε την καθυστέρηση διάδοσης πύλης NAND 4 εισόδων για μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη. Δίνονται: το φυσικό σχέδιο της πύλης (κάθε τετράγωνο =  $\lambda = 0.125 \mu\text{m}$ ), ο πίνακας παραμέτρων χωρητικότητας των τρανζίστορ, η ισοδύναμη αντίσταση του τρανζίστορ NMOS  $R_N = 6.5 \text{ k}\Omega$  και το φορτίο εξόδου της πύλης  $C_f = 5 \text{ fF}$ .
- Υποθέτουμε ότι η συνεισφορά των χωρητικότητας πύλης-πηγής και πύλης-υποδοχής στις χωρητικότητες των κόμβων του κυκλώματος, αποτελείται μόνο από τη συνιστώσα επικάλυψης και παραβλέπουμε τις χωρητικότητες γραμμών διασύνδεσης.



	$C_{gso/gdo}$ (fF/ $\mu\text{m}$ )	$C_{j0}$ (fF/ $\mu\text{m}^2$ )	$C_{jsw0}$ (fF/ $\mu\text{m}$ )	$Keqn$	$Keqsw$
<b>NMOS</b>	0.31	2	0.28	0.57	0.79
<b>PMOS</b>	0.27	1.9	0.22	0.61	0.86

# Παράδειγμα 5

- Από το φυσικό σχέδιο προκύπτει ότι οι διαστάσεις των NMOS είναι:  $W = 0.5 \mu\text{m}$ ,  $L = 0.25 \mu\text{m}$  και των PMOS είναι:  $W = 0.375 \mu\text{m}$ ,  $L = 0.25 \mu\text{m}$ .
- Με βάση τον τύπο υπολογισμού της σταθεράς χρόνου της αλυσίδας (Elmore), η ζητούμενη καθυστέρηση υπολογίζεται ως εξής:



$$t_{pHL} = 0.69 \cdot [R_1 \cdot C_1 + (R_1 + R_2) \cdot C_2 + (R_1 + R_2 + R_3) \cdot C_3 + (R_1 + R_2 + R_3 + R_4) \cdot C_L]$$

και αφού όλα τα τρανζίστορ της αλυσίδας είναι όμοια με αντίσταση  $R_N$ :

$$t_{pHL} = 0.69 R_N (C_1 + 2 \cdot C_2 + 3 \cdot C_3 + 4 \cdot C_L)$$

# Παράδειγμα 5

Από το φυσικό σχέδιο της πύλης, προκύπτουν οι τιμές επιφάνειας (A) και περιμέτρου (P) των περιοχών πηγής (S) και υποδοχής (D) των οκτώ (8) τρανζίστορ της πύλης, που δίνονται στον παρακάτω πίνακα και θα χρησιμοποιηθούν για τον υπολογισμό των χωρητικότητων των επαφών πηγής και υποδοχής των τρανζίστορ:

Τρανζίστορ	AS ( $\mu\text{m}^2$ )	AD ( $\mu\text{m}^2$ )	PS ( $\mu\text{m}$ )	PD( $\mu\text{m}$ )
1	0.3125	0.0625	1.75	0.25
2	0.0625	0.0625	0.25	0.25
3	0.0625	0.0625	0.25	0.25
4	0.0625	0.3125	0.25	1.75
5	0.296875	0.171875	1.875	0.875
6	0.171875	0.171875	0.875	0.875
7	0.171875	0.171875	0.875	0.875
8	0.296875	0.171875	1.875	0.875

# Παράδειγμα 5

- Από το λογικό κύκλωμα της πύλης, διαπιστώνουμε τις χωρητικότητες των τρανζίστορ που συνεισφέρουν στις συγκεντρωτικές χωρητικότητες των εσωτερικών κόμβων της πύλης ( $C_1, C_2, C_3$ ) και στη συγκεντρωτική χωρητικότητα εξόδου ( $C_L$ ).
- Χρησιμοποιώντας τις παραμέτρους χωρητικότητας των τρανζίστορ και τη χωρητικότητα φορτίου, υπολογίζουμε τις 4 προαναφερόμενες χωρητικότητες.

Χωρητικότητα	Συνεισφορές (H → L)	Τιμές (fF)
$C_1$	$C_{d1} + C_{s2} + 2 \times C_{gd1} + 2 \times C_{gs2}$	$(0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.5) + 2 \times (0.31 \times 0.5) = 0.85$
$C_2$	$C_{d2} + C_{s3} + 2 \times C_{gd2} + 2 \times C_{gs3}$	$(0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.5) + 2 \times (0.31 \times 0.5) = 0.85$
$C_3$	$C_{d3} + C_{s4} + 2 \times C_{gd3} + 2 \times C_{gs4}$	$(0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.5) + 2 \times (0.31 \times 0.5) = 0.85$
$C_L$	$C_{d4} + 2 \times C_{gd4} + C_{d5} + C_{d6} + C_{d7} + C_{d8} + 2 \times C_{gd5} + 2 \times C_{gd6} + 2 \times C_{gd7} + 2 \times C_{gd8} = C_{d4} + 4 \times C_{d5} + 4 \times 2 \times C_{gd6} + C_f$	$(0.57 \times 0.3125 \times 2 + 0.61 \times 1.75 \times 0.28) + 2 \times (0.31 \times 0.5) + 4 \times (0.79 \times 0.171875 \times 1.9 + 0.86 \times 0.875 \times 0.22) + 4 \times 2 \times (0.27 \times 0.375) + 5 = 8.5$

# Παράδειγμα 5

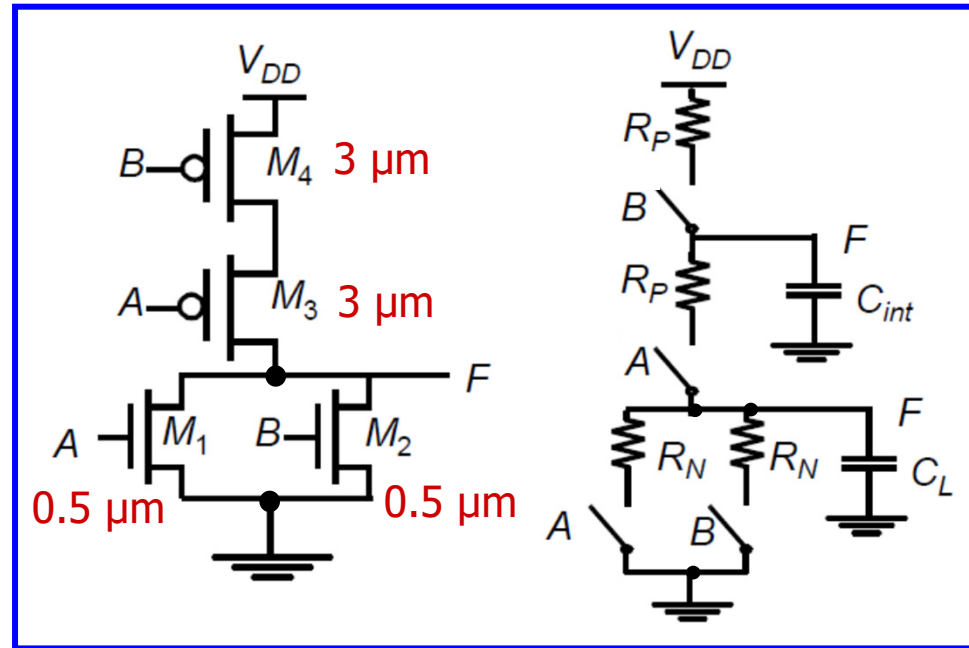
Για τον υπολογισμό της ζητούμενης καθυστέρησης, αντικαθιστούμε τις χωρητικότητες των εσωτερικών κόμβων και της εξόδου της πύλης που υπολογίσαμε, καθώς και τη μέση αντίσταση αγωγής του τρανζίστορ NMOS, στη σχέση που καταλήξαμε για την καθυστέρηση της πύλης που αφορά τη μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη:

$$t_{pHL} = 0.69 \cdot R_N \cdot (C_1 + 2 \cdot C_2 + 3 \cdot C_3 + 4 \cdot C_L) \Rightarrow$$

$$t_{pHL} = 0.69 \cdot 6.5 \text{ k}\Omega \cdot (0.85 + 2 \cdot 0.85 + 3 \cdot 0.85 + 4 \cdot 8.5) \text{ fF} \Rightarrow t_{pHL} = 175.4 \text{ ps}$$

# Καθορισμός διαστάσεων τρανζίστορ λογικής πύλης

Καθορισμός διαστάσεων των τρανζίστορ μιας πύλης με κριτήριο την καθυστέρησή της



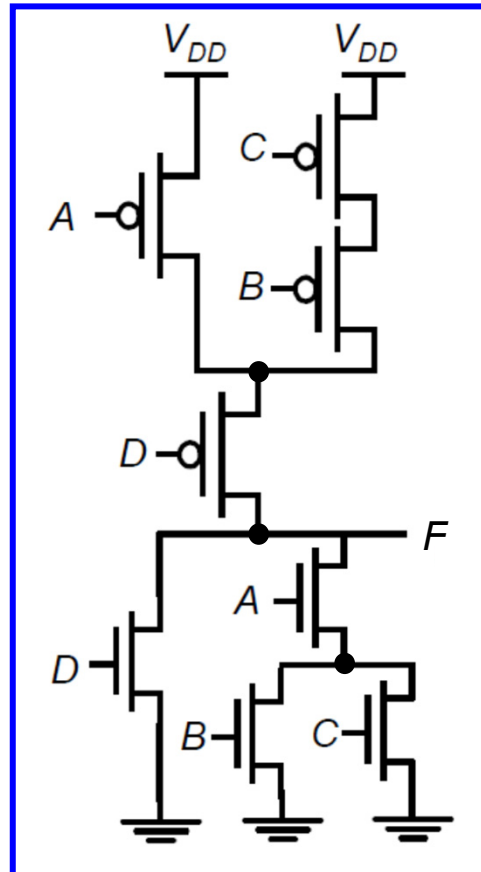
NOR  
2 εισόδων

- Για να καθορίσουμε τις διαστάσεις των τρανζίστορ μιας πύλης NOR 2 εισόδων, έτσι ώστε να έχει περίπου την ίδια καθυστέρηση με έναν αντιστροφέα CMOS (NMOS:  $W = 0.5 \mu\text{m} / 0.25 \mu\text{m}$ , PMOS:  $1.5 \mu\text{m} / 0.25 \mu\text{m}$ ), επειδή η PD διαδρομή στη χειρότερη περίπτωση περιλαμβάνει ένα τρανζίστορ, τα NMOS τρανζίστορ μπορούν να έχουν το ίδιο πλάτος με το πλάτος του NMOS τρανζίστορ του αντιστροφέα.
- Για να οδηγηθεί η έξοδος σε υψηλή στάθμη, πρέπει να άγουν και τα δυο τρανζίστορ PMOS και αφού οι αντιστάσεις προστίθενται, τα πλάτη τους πρέπει να διπλασιαστούν συγκρινόμενα με το πλάτος του τρανζίστορ PMOS του αντιστροφέα και να είναι  $3 \mu\text{m}$ .

# Παράδειγμα 6

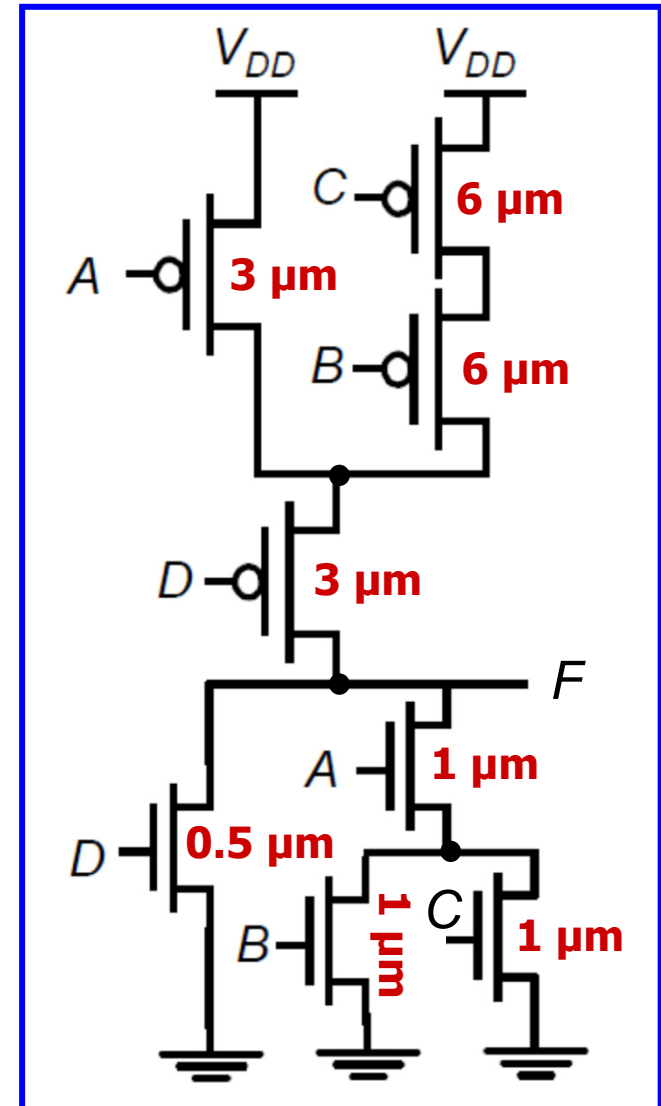
Καθορίζουμε τις διαστάσεις των τρανζίστορ σύνθετης λογικής πύλης, ώστε αυτή να έχει περίπου την ίδια καθυστέρηση (για μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη και για μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη) με αντιστροφή CMOS με τρανζίστορ διαστάσεων NMOS:  $W = 0.5 \mu\text{m} / L = 0.25 \mu\text{m}$ , PMOS:  $W = 1.5 \mu\text{m} / L = 0.25 \mu\text{m}$ .

$$F = [D + A \cdot (B + C)]'$$



# Παράδειγμα 6

- Πρόκειται για πύλη τεχνολογίας  $0.25 \mu\text{m}$ , συνεπώς διατηρούμε όλα τα τρανζίστορ με μήκος καναλιού το ελάχιστο δυνατό των  $0.25 \mu\text{m}$ .
- Τα πιο κρίσιμα τρανζίστορ κατά τον καθορισμό του πλάτους καναλιού, είναι εκείνα που είναι συνδεδεμένα σε σειρά.
- Όταν  $N$  τρανζίστορ είναι συνδεδεμένα σε σειρά και επιθυμούμε να αποκτήσουν την ίδια αντίσταση αγωγής με εκείνη ενός απλού τρανζίστορ, τότε το πλάτος καθενός από τα σειριακά τρανζίστορ προκύπτει εάν πολλαπλασιάσουμε το πλάτος του απλού τρανζίστορ με το πλήθος  $N$ .
- Τα πλάτος των τρανζίστορ που είναι συνδεδεμένα παράλληλα τίθεται ίσο με εκείνο του απλού τρανζίστορ, αφού η μέγιστη αντίστασή αγωγής των παράλληλα συνδεδεμένων τρανζίστορ είναι ίση με την αντίσταση του καθενός από αυτά.
- Η τεχνική αυτή εφαρμόζεται επαναληπτικά σε **κάθε κλάδο των δικτυωμάτων PUN και PDN** της πύλης.

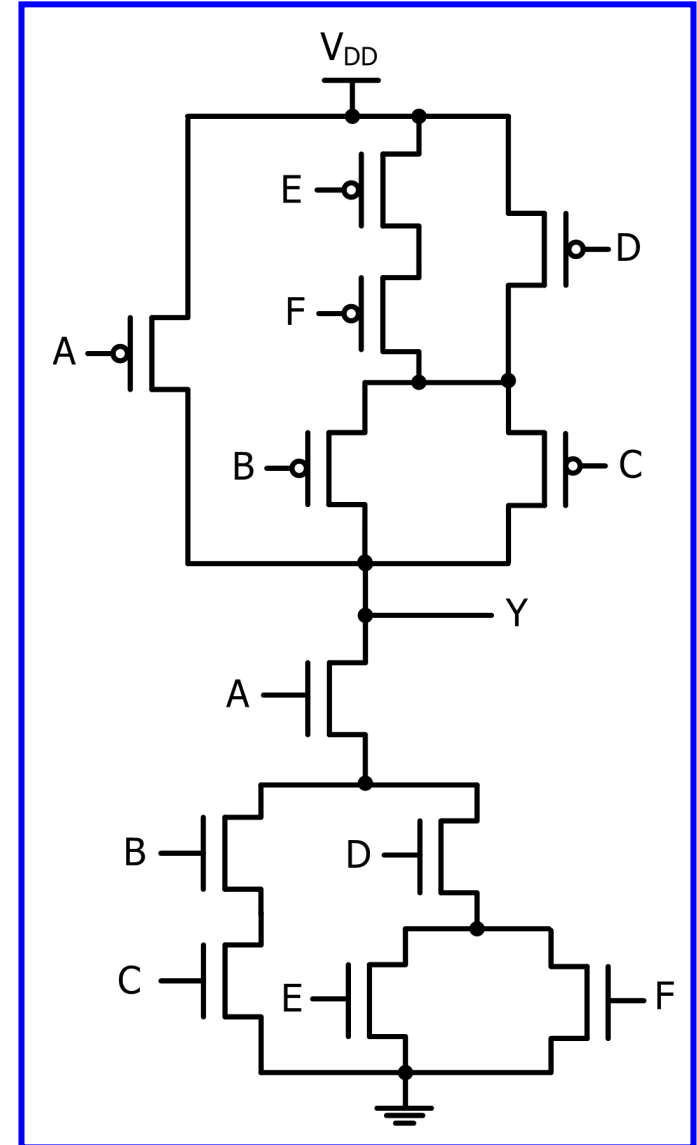




# Παράδειγμα 7

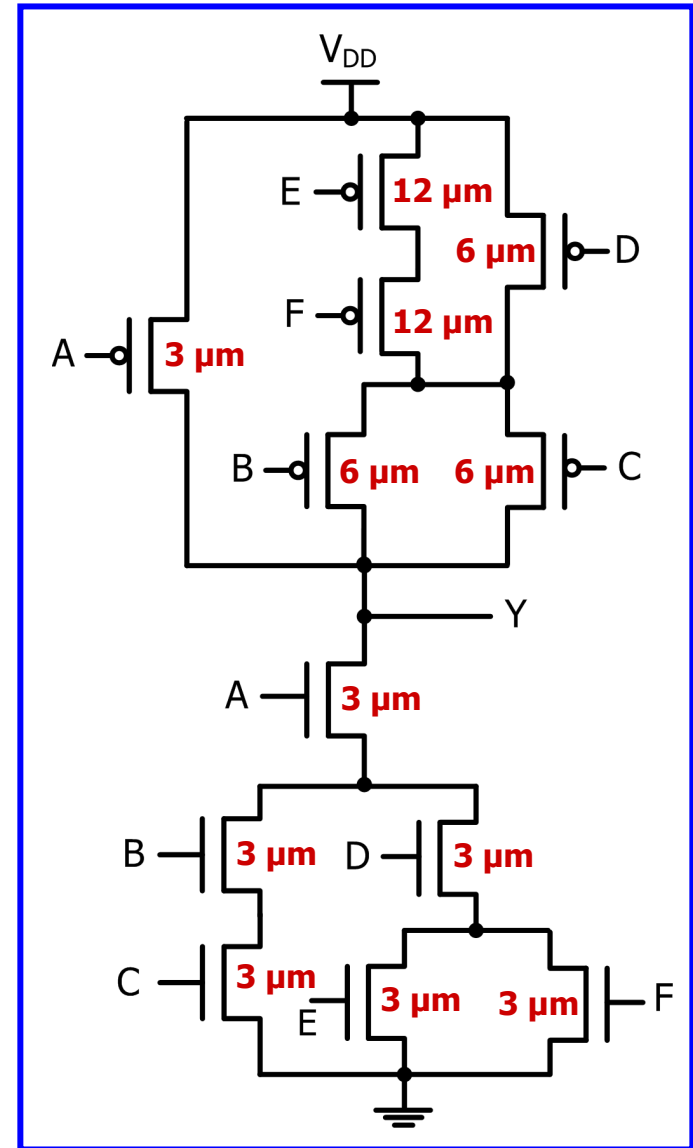
- Από το κυκλωματικό διάγραμμα σύνθετης πύλης, αφού προσδιορίσουμε τη συνάρτηση που υλοποιεί, καθορίζουμε τις διαστάσεις των τρανζίστορ της, ώστε αυτή να έχει περίπου την ίδια καθυστέρηση με αντιστροφέα CMOS που αποτελείται από τρανζίστορ με τις ελάχιστες δυνατές διαστάσεις.
- Η καθυστέρηση θα πρέπει να είναι περίπου ίδια για μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη και για μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη.
- Δίνεται ότι η κινητικότητα των ηλεκτρονίων είναι τριπλάσια από εκείνη των οπών, καθώς και ότι οι ελάχιστες διαστάσεις ενός τρανζίστορ είναι  $L = 0.5 \mu\text{m}$  και  $W = 1 \mu\text{m}$ .
- Με βάση το δικτύωμα PDN προκύπτει ότι η σύνθετη πύλη υλοποιεί τη συνάρτηση:

$$Y = \{A \cdot [B \cdot C + D \cdot (E + F)]\}'$$



# Παράδειγμα 7

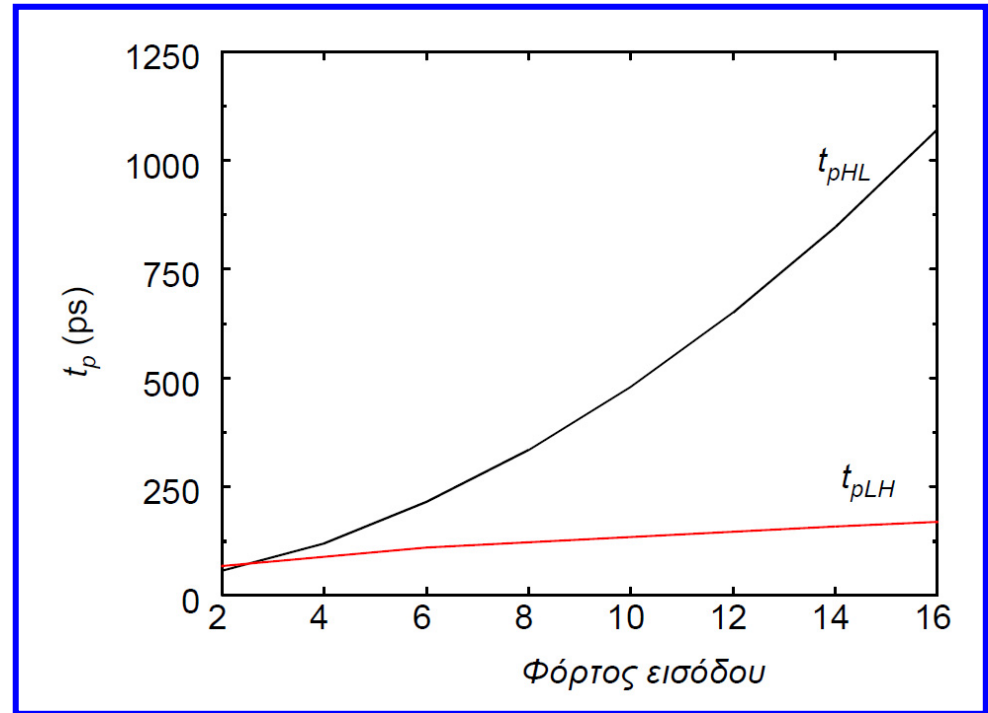
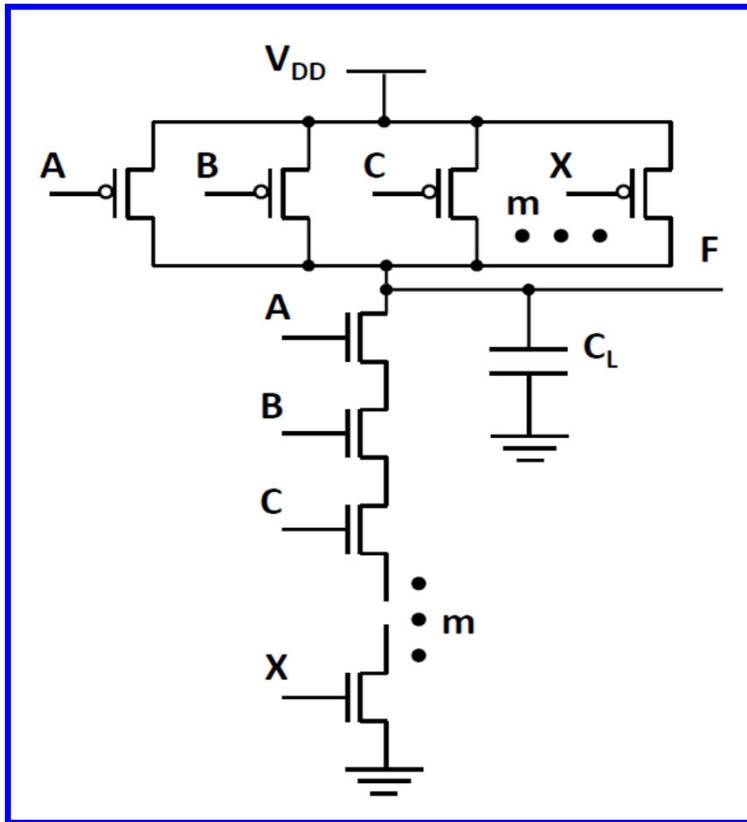
- Πρόκειται για πύλη τεχνολογίας  $0.5 \mu\text{m}$ , συνεπώς διατηρούμε όλα τα τρανζίστορ με μήκος καναλιού το ελάχιστο δυνατό των  $0.5 \mu\text{m}$ .
- Για να παρουσιάζει ένας αντιστροφέας CMOS με ελάχιστες διαστάσεις τρανζίστορ, την ίδια καθυστέρηση για ανοδική και καθοδική μετάβαση της εξόδου του, πρέπει όταν το τρανζίστορ NMOS έχει το ελάχιστο δυνατό πλάτος ( $W_n = 1 \mu\text{m}$ ), το τρανζίστορ PMOS να έχει τριπλάσιο πλάτος ( $W_p = 3 \mu\text{m}$ ), λόγω της διαφοράς κινητικότητας ηλεκτρονίων – οπών, έτσι ώστε τα δύο τρανζίστορ να έχουν περίπου την ίδια αντίσταση.
- Για τον υπολογισμό του πλάτους κάθε τρανζίστορ, εφαρμόζουμε την τεχνική του προηγούμενου παραδείγματος, **επαναληπτικά σε κάθε κλάδο των δικτυωμάτων PUN και PDN της πύλης**, έτσι ώστε στη χειρότερη περίπτωση **το δικτύωμα PDN να παρουσιάζει ίση αντίσταση με το τρανζίστορ NMOS του αντιστροφέα και το δικτύωμα PUN να παρουσιάζει ίση αντίσταση με το τρανζίστορ PMOS του αντιστροφέα**.



# Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

- Όταν αυξάνεται η πολυπλοκότητα μιας πύλης (δηλαδή ο φόρτος εισόδου), ο αριθμός των τρανζίστορ που απαιτούνται για την υλοποίησή της ( $2 \cdot N$  τρανζίστορ για  $N$  εισόδους) είναι υψηλός και απαιτείται **μεγάλη επιφάνεια υλοποίησης**.
- Το δεύτερο πρόβλημα είναι ότι η **ενδογενής καθυστέρηση διάδοσης** μιας συμπληρωματικής πύλης CMOS **αυξάνεται σημαντικά ως συνάρτηση του φόρτου εισόδου**.
- Για παράδειγμα, σε μία πύλη NAND με πολλές εισόδους, η γραμμική **αύξηση του πλήθους των παράλληλα συνδεδεμένων τρανζίστορ PMOS** που συνδέονται στην έξοδο της πύλης, οδηγεί σε **γραμμική αύξηση της καθυστέρησης μετάβασης από χαμηλή σε υψηλή στάθμη**, αφού αυξάνεται γραμμικά η χωρητικότητα, ενώ η αντίσταση του δικτυώματος PUN (στη χειρότερη περίπτωση) παραμένει αμετάβλητη.
- Η **καθυστέρηση από υψηλή σε χαμηλή στάθμη** παρουσιάζει περίπου **τετραγωνική αύξηση σε σχέση με τον φόρτο εισόδου**, αφού με αύξηση του πλήθους των τρανζίστορ προκαλείται ταυτόχρονη αύξηση της αντίστασης του δικτυώματος PDN (σειριακά συνδεδεμένα τρανζίστορ) και της χωρητικότητας φορτίου.
- Έτσι έχουν αναπτυχθεί τεχνικές για τον περιορισμό της καθυστέρησης σε κυκλώματα CMOS με υψηλό φόρτο εισόδου.

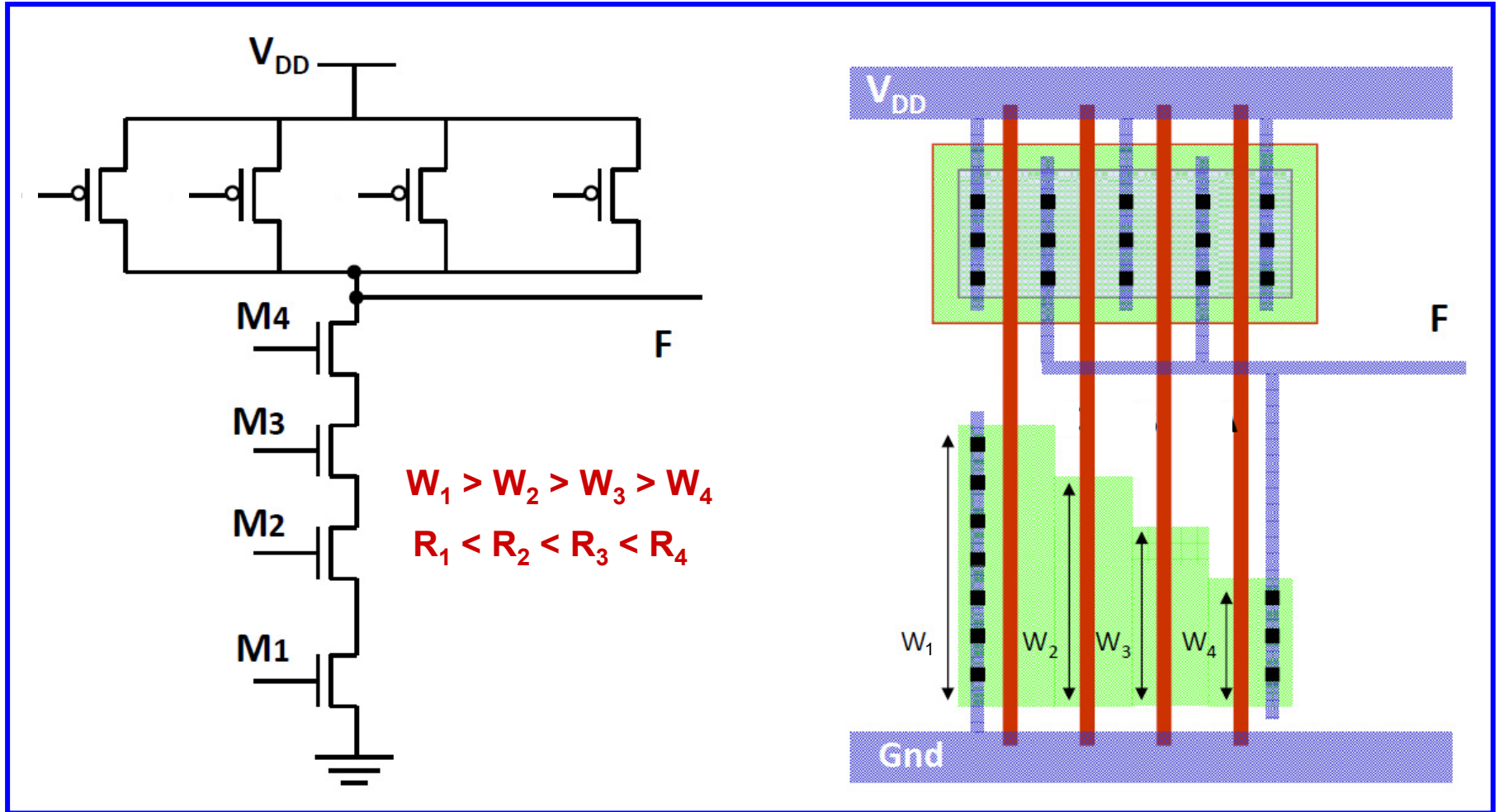
# Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου



# Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

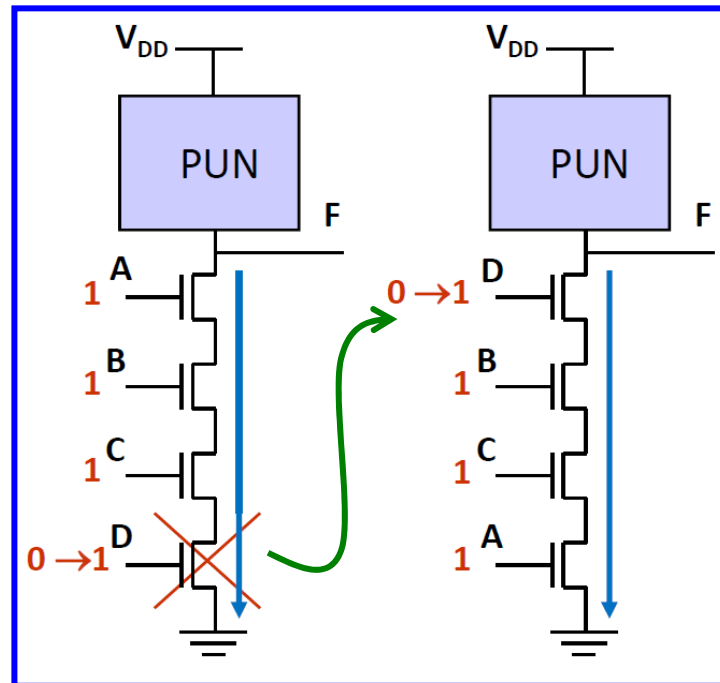
- Η πλέον εμφανής λύση είναι η **αύξηση του πλάτους των σειριακά συνδεδεμένων τρανζίστορ**, αφού έτσι μειώνεται η αντίσταση της αλυσίδας.
- Ωστόσο, αυξάνοντας το πλάτος των τρανζίστορ καταλήγουμε σε μεγαλύτερες παρασιτικές χωρητικότητες, οι οποίες όχι μόνο επηρεάζουν την καθυστέρηση διάδοσης της πύλης, αλλά δημιουργούν μεγαλύτερο φορτίο για την πύλη που προηγείται.
- Όταν η χωρητικότητα εξόδου κυριαρχείται από την ενδογενή χωρητικότητα της πύλης, με την αύξηση του πλάτους των τρανζίστορ προκαλείται μόνο αυτοφόρτωση και η καθυστέρηση διάδοσης παραμένει ανεπηρέαστη.
- Συνεπώς, η αύξηση του πλάτους των τρανζίστορ οδηγεί σε μείωση της καθυστέρησης όταν η χωρητικότητα εξόδου κυριαρχείται από το φορτίο (φόρτο) εξόδου.
- Μια **εναλλακτική λύση είναι η προοδευτική αλλαγή του πλάτους των τρανζίστορ**.
- Η αντίσταση του τρανζίστορ που συνδέεται στη γείωση ( $M_1$ ) εμφανίζεται  $N$  φορές στην έκφραση της καθυστέρησης πύλης, η αντίσταση του  $M_2$  εμφανίζεται  $N - 1$  φορές, κ.ο.κ.
- Είναι λοιπόν φανερό ότι εάν η αντίσταση του  $M_1$  γίνει η μικρότερη από όλες, η αντίσταση του  $M_2$  η αμέσως μεγαλύτερη κ.ο.κ., μειώνεται η αντίσταση της αλυσίδας και η αύξηση της χωρητικότητας είναι περιορισμένη.
- Ωστόσο, ενώ η προοδευτική αλλαγή του πλάτους των τρανζίστορ είναι εύκολη σε ένα σχηματικό διάγραμμα, δεν είναι τόσο απλή σε μία πραγματική φυσική υλοποίηση.

# Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου



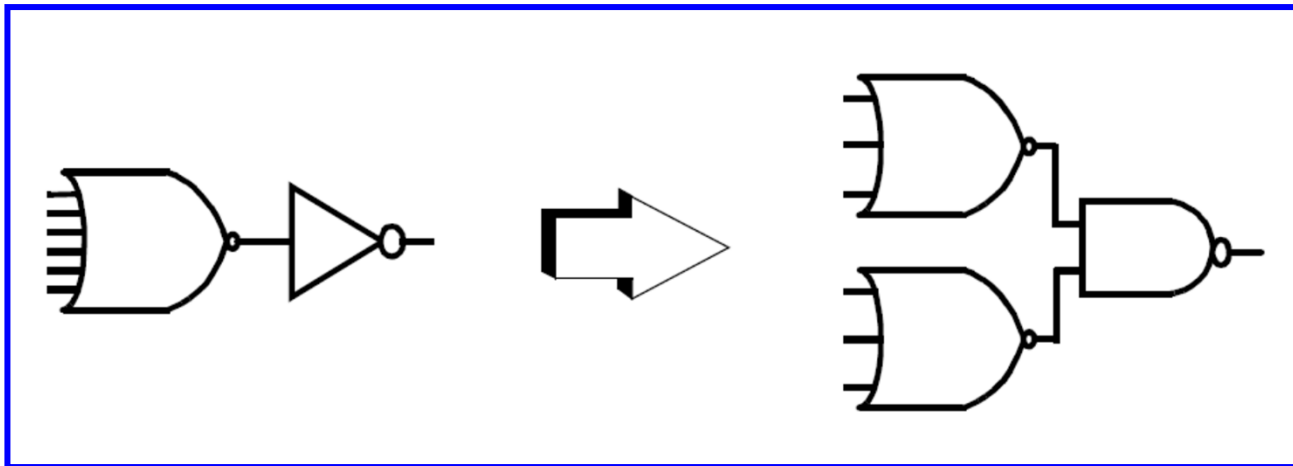
# Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

- Όλα τα σήματα εισόδου μιας πύλης δεν φτάνουν στις εισόδους της την ίδια χρονική στιγμή, λόγω διαφορετικής καθυστέρησης διάδοσης προηγούμενων πυλών.
- **Κρίσιμο σήμα εισόδου** σε μία πύλη είναι το τελευταίο σήμα που λαμβάνει σταθερή τιμή.
- Η διαδρομή διαμέσου της λογικής που καθορίζει την τελική καθυστέρηση της δομής αναφέρεται ως **κρίσιμη διαδρομή (critical path)**.
- Με τοποθέτηση των **τρανζίστορ κρίσιμης διαδρομής (δηλαδή αυτών με τη μεγαλύτερη καθυστέρηση) κοντά στην έξοδο της πύλης**, επιτυγχάνεται μείωση της καθυστέρησης.



# Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

- Αναδιατάσσοντας την ή τις λογικές εκφράσεις που δέχονται μια συμπληρωματική πύλη CMOS, είναι δυνατό να μειωθεί ο φόρτος εισόδου και έτσι να μειωθεί η καθυστέρηση της πύλης.
- Η τετραγωνική εξάρτηση της καθυστέρησης της πύλης από το φόρτο εισόδου κάνει μια πύλη πολλών εισόδων (π.χ. NOR 6 εισόδων) εξαιρετικά αργή.
- Η **τμηματοποίηση μιας πύλης (λογική αναδόμηση)** σε περισσότερες πύλες που η καθεμία έχει λιγότερες εισόδους, μπορεί να οδηγήσει σε αύξηση της ταχύτητας, η οποία μπορεί να αντισταθμίσει την επιπλέον καθυστέρηση που πιθανώς προκαλείται από αλλαγές στη λογική δομή (π.χ. αντικατάσταση αντιστροφεία με πύλη NAND κατά τη λογική αναδόμηση μιας πύλης NOR 6 εισόδων).





# Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

- Στην ενότητα 4, αναλύσαμε μια αλυσίδα αντιστροφών ώστε να διαπιστώσουμε το μέγεθος των αντιστροφών και τον αριθμό των σταδίων (αντιστροφών) της αλυσίδας που οδηγούν στην ελάχιστη καθυστέρηση διάδοσης της αλυσίδας.
- Τροποποιούμε την έκφραση καθυστέρησης του αντιστροφέα, ώστε να γενικευτεί για συμπληρωματικές πύλες CMOS:

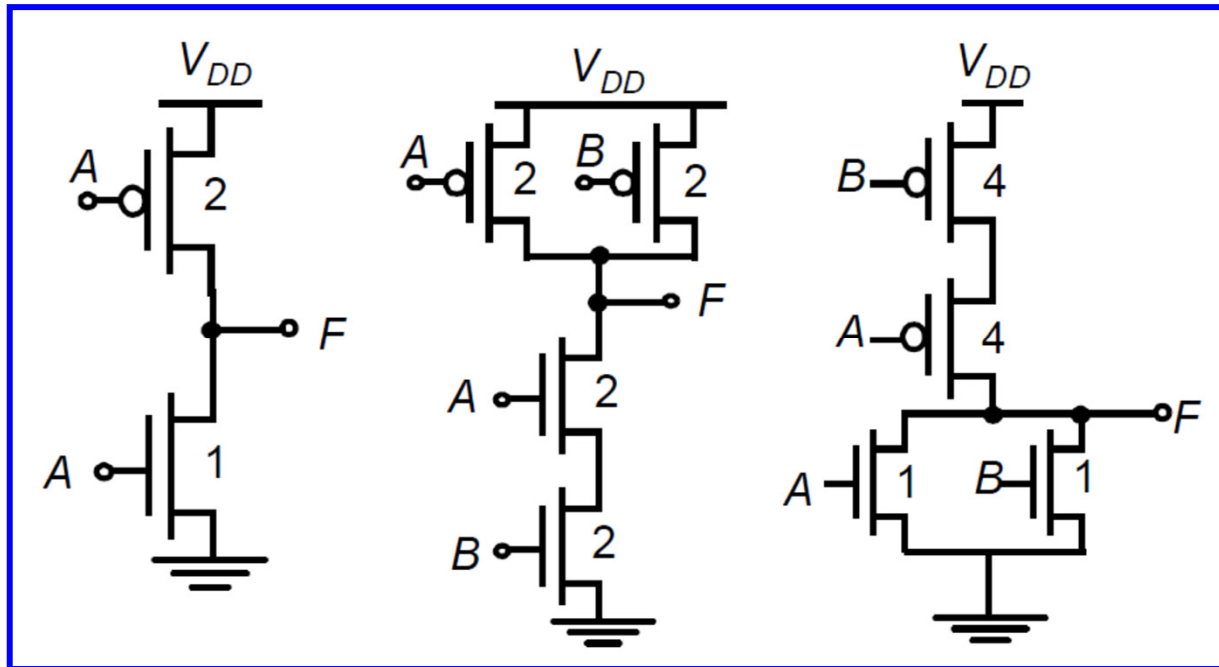
Ενδογενής καθυστέρηση αντιστροφέα

$$t_p = t_{p0} \left( 1 + \frac{C_{ext}}{\gamma C_g} \right) = t_{p0} (1 + f/\gamma) \rightarrow t_p = t_{p0} (p + gf/\gamma) \quad f = C_{int} / C_g$$

- Ο ενεργός φόρτος εξόδου ( $f$ ) αναφέρεται και ως ηλεκτρική προσπάθεια (electrical effort).
- $p$  (παράγοντας ενδογενούς καθυστέρησης) = λόγος της ενδογενούς (χωρίς φορτίο) καθυστέρησης της πύλης προς την ενδογενή καθυστέρηση του αντιστροφέα και προφανώς όσο πιο σύνθετη είναι μια πύλη τόσο μεγαλύτερη είναι η τιμή του λόγου  $p$ .
- Για παράδειγμα, ο παράγοντας ενδογενούς καθυστέρησης ( $p$ ) είναι **1** για τον αντιστροφέα και  **$n$**  για μια πύλη **NAND** ή **NOR** με  **$n$**  εισόδους.
- $g$  είναι η λογική προσπάθεια (logical effort), δηλαδή το πόσο μεγαλύτερη χωρητικότητα εισόδου πρέπει να διαθέτει μια λογική πύλη, έτσι ώστε να παράξει το ίδιο ρεύμα εξόδου με έναν αντιστροφέα (εξαρτάται από την τοπολογία της λογικής πύλης).

# Παράδειγμα 8

- Υπολογίζουμε τη λογική προσπάθεια συμπληρωματικών πυλών CMOS NAND και NOR 2 εισόδων.
- Υποθέτουμε λόγο πλατών για τα PMOS και NMOS τρανζίστορ του αντιστροφέα ίσο με 2.
- Καθορίζουμε το πλάτος των τρανζίστορ των πυλών NAND και NOR 2 εισόδων, ώστε οι ισοδύναμες αντιστάσεις τους να ισούνται με την αντίσταση του αντιστροφέα.



# Παράδειγμα 8

- Η λογική προσπάθεια μιας πύλης υπολογίζεται ως ο λόγος της χωρητικότητας εισόδου της πύλης προς την χωρητικότητα εισόδου ενός αντιστροφέα που έχει την ίδια ικανότητα παραγωγής ρεύματος εξόδου με την πύλη.
- Η συνολική χωρητικότητα εισόδου ενός αντιστροφέα ελάχιστου μεγέθους είναι τριπλάσια από τη χωρητικότητα πύλης ενός τρανζίστορ NMOS με ελάχιστο πλάτος καναλιού ( $C_{unit}$ ), δηλαδή, ισούται με  $3 \cdot C_{unit}$ .
- Μετά τον καθορισμό του πλάτους καναλιού των τρανζίστορ των πυλών, ώστε οι ισοδύναμες αντιστάσεις τους, στη χειρότερη περίπτωση, να ισούνται με την αντίσταση ενός αντιστροφέα, η συνολική χωρητικότητα **κάθε εισόδου** της πύλης NAND είναι  $4 \cdot C_{unit}$  ή  $4/3$  της χωρητικότητας εισόδου του αντιστροφέα.
- Παρομοίως, προκύπτει ότι η συνολική χωρητικότητα κάθε εισόδου της πύλης NOR είναι  $5/3$  της συνολικής χωρητικότητας εισόδου του αντιστροφέα.
- Αυτό σημαίνει ότι, οι πύλες NAND και NOR με 2 εισόδους είναι κατά 1.33 (=  $4/3$ ) και 1.66 (=  $5/3$ ) φορές, αντίστοιχα, χειρότερες στην παραγωγή ρεύματος εξόδου (ικανότητα οδήγησης φορτίου) από αυτήν ενός αντιστροφέα με ίση χωρητικότητα εισόδου.
- Αυτό επηρεάζει την καθυστέρηση που οφείλεται στη χωρητικότητα φορτίου, αυξάνοντάς την κατά τον ίδιο παράγοντα.
- Από τα παραπάνω προκύπτει ότι:  $g_{NAND2} = 4/3$  και  $g_{NOR2} = 5/3$ .

# Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

Λογική προσπάθεια βασικών συμπληρωματικών πυλών CMOS

ΠΥΛΗ	ΑΡΙΘΜΟΣ ΕΙΣΟΔΩΝ			
	1	2	3	n
Αντιστροφέας	1			
NAND		4/3	5/3	$(n+2)/3$
NOR		5/3	7/3	$(2n+1)/3$

# Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

- **Συνολική καθυστέρηση** μιας **διαδρομής** μέσω ενός λογικού συνδυαστικού κυκλώματος πολλών σταδίων:

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left( p_j + \frac{f_j g_j}{\gamma} \right)$$

- Χρησιμοποιώντας ανάλυση αντίστοιχη με εκείνη της αλυσίδας αντιστροφών, καταλήγουμε στο ότι **για να επιτευχθεί ελάχιστη καθυστέρηση διαδρομής**, πρέπει **κάθε στάδιο** (πύλη της διαδρομής) να έχει ίδιο γινόμενο ηλεκτρικής ( $f$ ) και λογικής ( $g$ ) προσπάθειας ή **ίδια προσπάθεια** ( $h$ ):

$$f_1 \cdot g_1 = f_2 \cdot g_2 = \dots = f_N \cdot g_N \Rightarrow h_1 = h_2 = \dots = h_N$$

- **Λογική προσπάθεια** και **ηλεκτρική προσπάθεια διαδρομής**:

$$G = g_1 \cdot g_2 \cdot \dots \cdot g_N$$

$$F = f_1 \cdot f_2 \cdot \dots \cdot f_N = C_L / C_{g1}$$

- Όταν σε κόμβο (έξοδο πύλης) της υπό ανάλυση διαδρομής υπάρχει διακλάδωση, τότε ένα μέρος του ρεύματος οδήγησης κατευθύνεται στη διαδρομή, ενώ ένα άλλο μέρος κατευθύνεται εκτός της διαδρομής. **Προσπάθεια διακλάδωσης  $b$  λογικής πύλης**:

$$b = (C_{on-path} + C_{off-path}) / C_{on-path}$$

# Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

- $C_{on-path}$  = χωρητικότητα φορτίου πύλης κατά μήκος της υπό ανάλυση διαδρομής.
- $C_{off-path}$  = χωρητικότητα συνδέσεων εκτός της υπό ανάλυση διαδρομής.
- Η προσπάθεια διακλάδωσης είναι 1, όταν δεν υπάρχει διακλάδωση.

- Προσπάθεια διακλάδωσης διαδρομής:  $B = b_1 \cdot b_2 \dots \cdot b_N$

- Συνολική προσπάθεια διαδρομής:  $H = G \cdot F \cdot B$

- Προσπάθεια πύλης (σταδίου) για ελάχιστη καθυστέρηση διαδρομής:

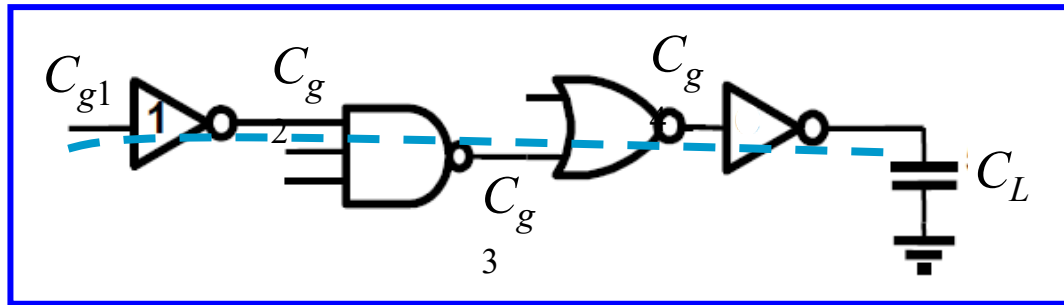
$$h = \sqrt[N]{H}$$

- Ελάχιστη καθυστέρηση διαδρομής:

$$D = t_{p0} \left( \sum_{j=1}^N p_j + \frac{N(\sqrt[N]{H})}{\gamma} \right)$$

# Παράδειγμα 9

- Η έξοδος του παρακάτω λογικού συνδυαστικού δικτυώματος έχει χωρητικότητα φορτίου 5 φορές μεγαλύτερη από τη χωρητικότητα εισόδου της πρώτης πύλης του δικτυώματος, η οποία είναι ένας αντιστροφέας ελάχιστου μεγέθους με λόγο  $W_p / W_n = 2$ . Καθορίζουμε το μέγεθος των πυλών του λογικού δικτυώματος σε σχέση με το μέγεθος της πρώτης πύλης (δηλαδή του αντιστροφέα ελάχιστου μεγέθους), έτσι ώστε η καθυστέρηση της διαδρομής που υποδεικνύεται στο δικτύωμα να είναι ελάχιστη.



- Με βάση τον πίνακα της σελίδας 52, η **λογική προσπάθεια της διαδρομής** έχει ως εξής:

$$G = g_1 \cdot g_2 \cdot g_3 \cdot g_4 = 1 \cdot (5 / 3) \cdot (5 / 3) \cdot 1 = 2.77.$$

- Η **ηλεκτρική προσπάθεια της διαδρομής** είναι:  $F = C_L / C_{g1} = (5 \cdot C_{g1}) / C_{g1} = 5$ .
- Αφού δεν υπάρχουν διακλαδώσεις ( $B = 1$ ), η **προσπάθεια διαδρομής** είναι:

$$H = G \cdot F \cdot B = 2.77 \cdot 5 \cdot 1 = 13.85.$$

# Παράδειγμα 9

- Η **προσπάθεια πύλης** (σταδίου) για ελάχιστη καθυστέρηση διαδρομής έχει ως εξής:

$$h = H^{1/4} = 13.85^{1/4} = 1.93.$$

- Υπολογίζουμε την **ηλεκτρική προσπάθεια κάθε πύλης** της διαδρομής:

$$h = f_1 \cdot g_1 \Rightarrow f_1 = h / g_1 \Rightarrow f_1 = 1.93 / 1 = 1.93,$$

$$f_2 = h / g_2 \Rightarrow f_2 = 1.93 / (5 / 3) = 1.16, \quad f_3 = h / g_3 \Rightarrow f_3 = 1.93 / (5 / 3) = 1.16 \quad \text{και}$$

$$f_4 = h / g_4 \Rightarrow f_4 = 1.93 / 1 = 1.93.$$

- Στη συνέχεια υπολογίζουμε τα **μεγέθη των πυλών** της διαδρομής, ξεκινώντας από την τελευταία πύλη της διαδρομής:

$$f_4 = C_L / C_{g4} \Rightarrow f_4 = 5 \cdot C_{g1} / C_{g4} \Rightarrow C_{g4} = 5 \cdot C_{g1} / f_4 \Rightarrow C_{g4} = 2.59 \cdot C_{g1},$$

$$f_3 = C_{g4} / C_{g3} \Rightarrow f_3 = 2.59 \cdot C_{g1} / C_{g3} \Rightarrow C_{g3} = 2.59 \cdot C_{g1} / f_3 \Rightarrow C_{g3} = 2.23 \cdot C_{g1},$$

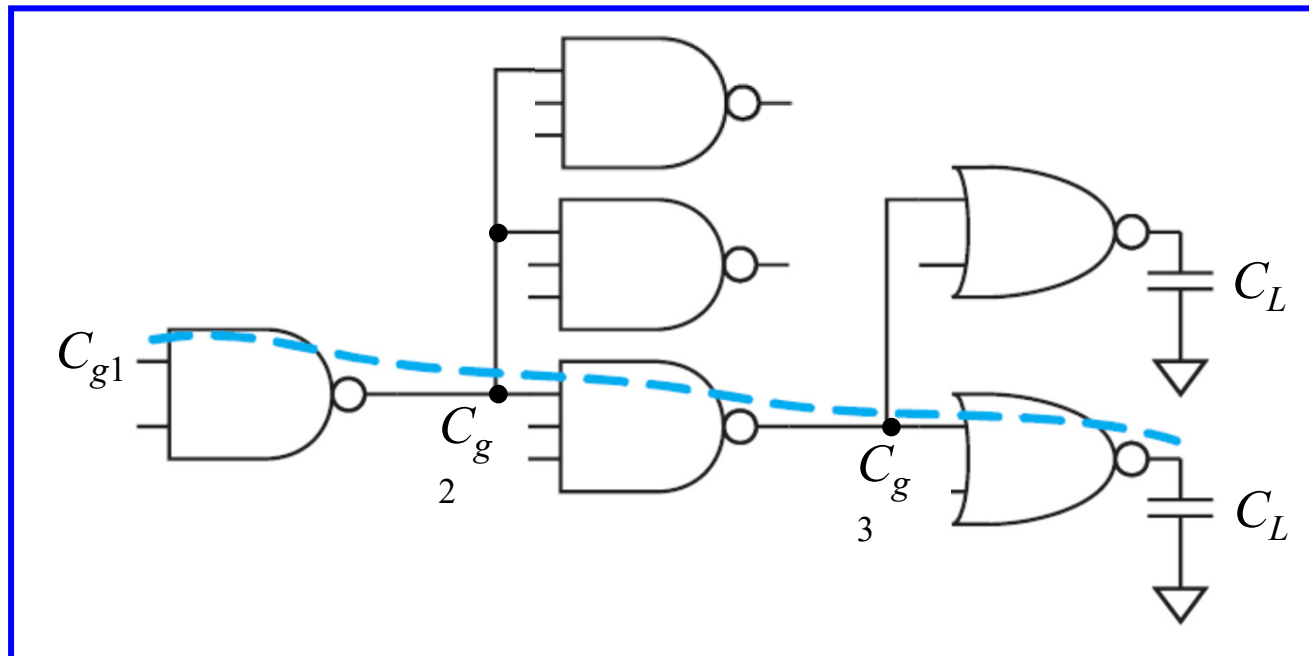
$$f_2 = C_{g3} / C_{g2} \Rightarrow f_2 = 2.23 \cdot C_{g1} / C_{g2} \Rightarrow C_{g2} = 2.23 \cdot C_{g1} / f_2 \Rightarrow C_{g2} = 1.92 \cdot C_{g1},$$

- Αφού η χωρητικότητα εισόδου μιας πύλης είναι ανάλογη του πλάτους των τρανζίστορ που αυτή περιλαμβάνει, προκύπτει ότι για να είναι ελάχιστη η καθυστέρηση της διαδρομής, πρέπει το μέγεθος της 2ης πύλης να είναι 1.92 φορές μεγαλύτερο από εκείνο της 1ης πύλης και τα μεγέθη της 3ης και της τελευταίας πύλης πρέπει να είναι 2.23 και 2.59 φορές, αντίστοιχα, μεγαλύτερα από εκείνο της 1ης πύλης της διαδρομής.



# Παράδειγμα 10

Η έξοδος του παρακάτω λογικού συνδυαστικού δικτυώματος έχει χωρητικότητα φορτίου 8 φορές μεγαλύτερη από τη χωρητικότητα εισόδου της πρώτης πύλης του δικτυώματος, η οποία είναι μία πύλη NAND 2 εισόδων με λόγο  $W_p / W_n = 0.5 \mu\text{m} / 0.5 \mu\text{m}$ . Το μήκος καναλιού όλων των τρανζίστορ στις πύλες του δικτυώματος είναι το ελάχιστο δυνατό ( $0.25 \mu\text{m}$ ). Καθορίζουμε τα πλάτη καναλιού των τρανζίστορ των πυλών της διαδρομής που υποδεικνύεται στο λογικό δικτύωμα, έτσι ώστε η καθυστέρηση της διαδρομής να είναι ελάχιστη. Με δεδομένο ότι η ενδογενής χωρητικότητα ενός αντιστροφέα ελάχιστου μεγέθους είναι  $2 \text{ ps}$  και ότι  $\gamma = 1$ , υπολογίζουμε την ελάχιστη καθυστέρηση του διαδρομής.



# Παράδειγμα 10

- Με βάση τον πίνακα της σελίδας 52, η **λογική προσπάθεια της διαδρομής** έχει ως εξής:

$$G = g_1 \cdot g_2 \cdot g_3 = (4 / 3) \cdot (5 / 3) \cdot (5 / 3) = 3.7 .$$

- Η **ηλεκτρική προσπάθεια της διαδρομής** είναι:  $F = C_L / C_{g1} = (8 \cdot C_{g1}) / C_{g1} = 8$ .

- Η **προσπάθεια διακλάδωσης** είναι:  $B = b_1 \cdot b_2 \cdot b_3 = 1 \cdot (3 / 1) \cdot (2 / 1) = 6$ .

- Η **προσπάθεια διαδρομής** είναι:  $H = G \cdot F \cdot B = 3.7 \cdot 8 \cdot 6 = 177.6$ .

- Η **προσπάθεια πύλης** (σταδίου) για ελάχιστη καθυστέρηση διαδρομής έχει ως εξής:

$$h = H^{1/3} = 177.6^{1/3} = 5.62.$$

- Υπολογίζουμε την **ηλεκτρική προσπάθεια κάθε πύλης** της διαδρομής:

$$h = f_1 \cdot g_1 \Rightarrow f_1 = h / g_1 \Rightarrow f_1 = 5.62 / (4 / 3) = 4.21,$$

$$f_2 = h / g_2 \Rightarrow f_2 = 5.62 / (5 / 3) = 3.37, \quad f_3 = h / g_3 \Rightarrow f_3 = 5.62 / (5 / 3) = 3.37.$$

- Στη συνέχεια υπολογίζουμε τις **χωρητικότητες εισόδου των πυλών της διαδρομής**, σε σχέση με την χωρητικότητα εισόδου της 1ης πύλης, ξεκινώντας από την τελευταία πύλη:

$$f_3 = C_L / C_{g3} \Rightarrow f_3 = 8 \cdot C_{g1} / C_{g3} \Rightarrow C_{g3} = 8 \cdot C_{g1} / f_3 \Rightarrow C_{g3} = 2.37 \cdot C_{g1},$$

$$f_2 = C_{g3} / C_{g2} \Rightarrow f_2 = 2 \cdot 2.37 \cdot C_{g1} / C_{g2} \Rightarrow C_{g2} = 4.74 \cdot C_{g1} / f_2 \Rightarrow C_{g2} = 1.4 \cdot C_{g1} .$$

# Παράδειγμα 10

- Θεωρώντας ότι η χωρητικότητα εισόδου (πύλης) ενός τρανζίστορ ανά μονάδα πλάτους καναλιού είναι  $C_g$  τότε για την **1η πύλη** της διαδρομής μπορούμε να γράψουμε ότι:

$$C_{g1} = (W_n + W_p) \cdot C_g \Rightarrow C_{g1} = (0.5 + 0.5) \mu\text{m} \cdot C_g \Rightarrow C_{g1} = C_g .$$

- Έχουμε υπολογίσει ότι  $C_{g2} = 1.4 \cdot C_{g1}$ , επομένως:  $C_{g2} = 1.4 \cdot C_g$ , που σημαίνει ότι για τη 2η πύλη πρέπει:  $(W_n + W_p) = 1.4 \mu\text{m}$ .
- Πρόκειται για πύλη NAND 3 εισόδων, της οποίας η λογική προσπάθεια έχει καθοριστεί με το λόγο πλατών των τρανζίστορ να είναι  $W_p / W_n = 2 / 3$ , δηλαδή τέτοιος ώστε η ισοδύναμη αντίσταση της πύλης να ισούται με την αντίσταση αντιστροφέα με  $W_p / W_n = 2$ .
- Με βάση το λόγο αυτό, για την **2η πύλη** προκύπτει ότι:  $W_p + (3 / 2) \cdot W_p = 1.4 \mu\text{m} \Rightarrow W_p = 1.4 / 2.5 \mu\text{m} \Rightarrow W_p = 0.56 \mu\text{m}$  και  $W_n = (1.4 - 0.56) \mu\text{m} \Rightarrow W_n = 0.84 \mu\text{m}$ .
- Επίσης, υπολογίσαμε ότι  $C_{g3} = 2.37 \cdot C_{g1}$ , επομένως:  $C_{g3} = 2.37 \cdot C_g$ , που σημαίνει ότι για τη 3η πύλη πρέπει:  $(W_n + W_p) = 2.37 \mu\text{m}$ .
- Πρόκειται για πύλη NOR 2 εισόδων, της οποίας η λογική προσπάθεια έχει καθοριστεί με το λόγο πλατών των τρανζίστορ να είναι  $W_p / W_n = 4 / 1$ , δηλαδή τέτοιος ώστε η ισοδύναμη αντίσταση της πύλης να ισούται με την αντίσταση αντιστροφέα με  $W_p / W_n = 2$ .
- Με βάση το λόγο αυτό, για την **3η πύλη** προκύπτει ότι:  $W_p + (1 / 4) \cdot W_p = 2.37 \mu\text{m} \Rightarrow W_p = 2.37 / 1.25 \mu\text{m} \Rightarrow W_p = 1.9 \mu\text{m}$  και  $W_n = (2.37 - 1.9) \mu\text{m} \Rightarrow W_n = 0.47 \mu\text{m}$ .

# Παράδειγμα 10

- Η ελάχιστη καθυστέρηση της διαδρομής έχει ως εξής:

$$D = t_{p0} \left( \sum_{j=1}^N p_j + \frac{N(N\sqrt{H})}{\gamma} \right) \Rightarrow D = 2 \cdot \left[ (2 + 3 + 2) + \frac{3 \cdot 5.62}{1} \right] \text{ps} \Rightarrow D = 47.7 \text{ps}$$

# Κατανάλωση ενέργειας

- Οι αιτίες κατανάλωσης ενέργειας συμπληρωματικών πυλών CMOS είναι αντίστοιχες με εκείνες του αντιστροφέα CMOS, που αναλύθηκαν στην Ενότητα 4.
- Η κατανάλωση ενέργειας των πυλών είναι ισχυρή συνάρτηση του μεγέθους των τρανζίστορ (που επηρεάζει τη φυσική χωρητικότητα) των χρόνων ανόδου-καθόδου εισόδων και εξόδων (που επιδρούν στην κατανάλωση ενέργειας βραχυκυκλώματος), των τάσεων κατωφλίου των τρανζίστορ και της θερμοκρασίας (που συμβάλουν στην κατανάλωση ενέργειας λόγω ρευμάτων διαρροής) και της δραστηριότητας μεταβάσεων.
- Η **δραστηριότητα μεταβάσεων** είναι μία ισχυρή **συνάρτηση της λογικής συνάρτησης**.
- Για στατικές πύλες CMOS με στατιστικά ανεξάρτητες εισόδους, η πιθανότητα μετάβασης είναι η πιθανότητα  $p_0$  η έξοδος να είναι σε κατάσταση 0 σε έναν κύκλο, πολλαπλασιαζόμενη με την πιθανότητα  $p_1$  η έξοδος να είναι σε κατάσταση 1 στον επόμενο κύκλο:

$$\alpha_{0 \rightarrow 1} = p_0 \cdot p_1 = p_0 \cdot (1 - p_0)$$

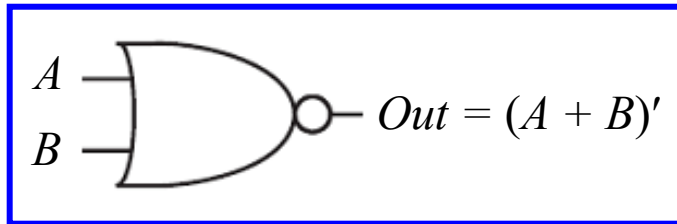
- Υποθέτοντας ότι οι εισοδοί είναι ανεξάρτητες και ομοιόμορφα κατανεμημένες, κάθε στατική πύλη  $N$  εισόδων έχει μία πιθανότητα μετάβασης που δίνεται από την ακόλουθη σχέση:

$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N} = \frac{N_0 \cdot (2^N - N_0)}{2^{2N}}$$

όπου  $N_0$  είναι ο αριθμός των 0, και  $N_1$  είναι ο αριθμός των 1 στη στήλη εξόδου του πίνακα αλήθειας της συνάρτησης.

# Παράδειγμα 11

- Προσδιορίζουμε την πιθανότητα μετάβασης της εξόδου μιας πύλης NOR με 2 εισόδους από την κατάσταση 0 στην κατάσταση 1.
- Υποθέτουμε ότι μόνο μία μετάβαση εισόδου είναι δυνατή κατά τη διάρκεια ενός κύκλου ρολογιού και ότι οι **είσοδοι** στην πύλη NOR έχουν μία **ομοιόμορφη κατανομή**, δηλαδή, οι 4 δυνατοί συνδυασμοί τιμών των εισόδων  $A$  και  $B$  (00, 01, 10, 11) παρουσιάζουν ίση πιθανότητα εμφάνισης.



$A$	$B$	$Out$
0	0	1
0	1	0
1	0	0
1	1	0

- Με βάση τον πίνακα αλήθειας, η ζητούμενη πιθανότητα μετάβασης, έχει ως εξής:

$$\alpha_{0 \rightarrow 1} = \frac{N_0 \cdot (2^N - N_0)}{2^{2N}} = \frac{3 \cdot (2^2 - 3)}{2^{2 \cdot 2}} = \frac{3}{16}$$

# Παράδειγμα 11

- Εάν **δεν υποθέσουμε ομοιόμορφη κατανομή των εισόδων** της πύλης, αλλά θέσουμε ως  $p_A$  και  $p_B$  τις πιθανότητες οι εισοδοι  $A$  και  $B$  να έχουν λογική τιμή 1.
- Τότε, από τον πίνακα αλήθειας προκύπτουν οι εξής πιθανότητες για την έξοδο της πύλης:

$$p_1 = P_{(A=0)} P_{(B=0)} = (1 - p_A) (1 - p_B), \quad p_0 = 1 - p_1 = 1 - (1 - p_A) (1 - p_B)$$

- Επομένως, η ζητούμενη πιθανότητα μετάβασης έχει ως εξής:

$$\alpha_{0 \rightarrow 1} = p_0 p_1 = [1 - (1 - p_A) (1 - p_B)] (1 - p_A) (1 - p_B)$$

- Παρομοίως, υπολογίζονται οι πιθανότητες μετάβασης εξόδου άλλων βασικών πυλών, από τους αντίστοιχους πίνακες αλήθειας:

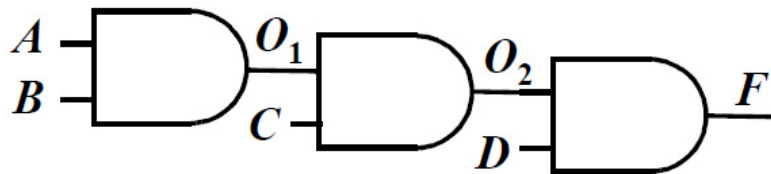
Πύλες 2 εισόδων	$\alpha_{0 \rightarrow 1}$
AND	$(1 - p_A p_B) p_A p_B$
OR	$(1 - p_A)(1 - p_B)[1 - (1 - p_A)(1 - p_B)]$
XOR	$[1 - (p_A + p_B - 2p_A p_B)](p_A + p_B - 2p_A p_B)$

# Τεχνικές μείωσης κατανάλωσης ενέργειας

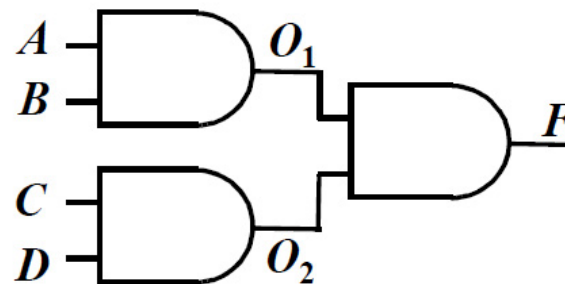
- Η χωρητική κατανάλωση ενέργειας μίας λογικής πύλης μπορεί να μειωθεί ελαχιστοποιώντας τη **φυσική χωρητικότητα** και τη **δραστηριότητα μεταβάσεων**.
- Η **φυσική χωρητικότητα** μπορεί να μειωθεί με έναν αριθμό από τρόπους (επιλογή κυκλωματικού τύπου, ρύθμιση μεγέθους των τρανζίστορ, εφαρμογή βελτιστοποιήσεων στην αρχιτεκτονική κ.ά.).
- Η **δραστηριότητα μεταβάσεων** μπορεί να μειωθεί με βελτιστοποίηση των λογικών κυκλωματικών δομών, έτσι ώστε να μειώνουν τις μεταβάσεις που απαιτούνται για την υλοποίηση μιας δεδομένης συνάρτησης.
- Τροποποιώντας την τοπολογία ενός λογικού δικτυώματος (**λογική επαναδόμηση**) μπορούμε να μειώσουμε την ενέργεια που καταναλώνει.
- Για **παράδειγμα**, για την συνάρτηση  $F = A \cdot B \cdot C \cdot D$  μπορούν να ακολουθηθούν εναλλακτικές υλοποιήσεις.
- Θεωρώντας ότι οι είσοδοι είναι ανεξάρτητες και ομοιόμορφα κατανεμημένες (δηλαδή,  $p_1 = 0.5$  για όλες τις εισόδους) και χρησιμοποιώντας την έκφραση της πιθανότητας μετάβασης της πύλης AND από τον πίνακα του Παραδείγματος 11, μπορεί να υπολογιστεί η δραστηριότητα μεταβάσεων για τις εναλλακτικές υλοποιήσεις της συνάρτησης.
- Τα αποτελέσματα δείχνουν ότι η υλοποίηση αλυσίδας έχει χαμηλότερη συνολική δραστηριότητα μεταβάσεων από ότι η υλοποίηση δέντρου για τυχαίες εισόδους.



# Τεχνικές μείωσης κατανάλωσης ενέργειας



Υλοποίηση αλυσίδας

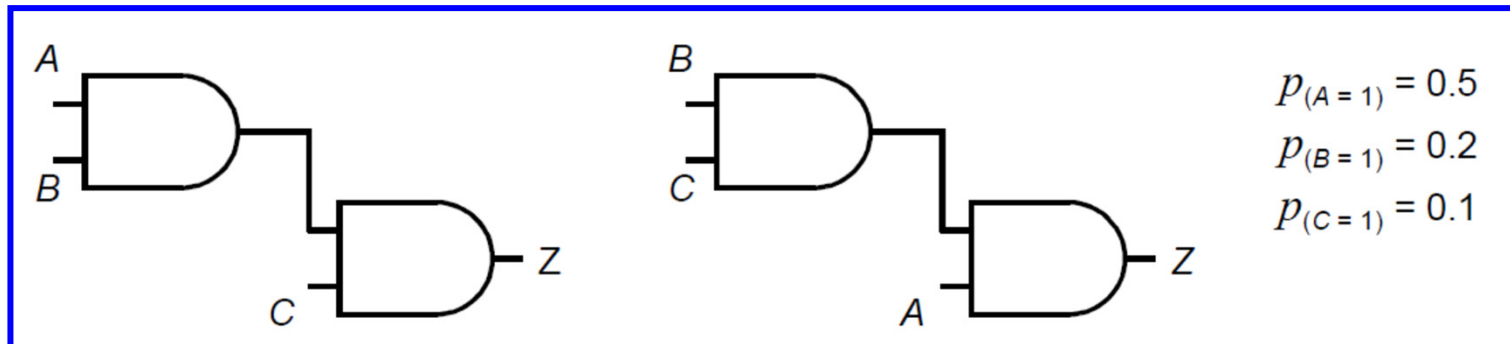


Υλοποίηση δένδρου

	$O_1$	$O_2$	$F$
$p_1$ (αλυσίδα)	1/4	1/8	1/16
$p_0 = 1-p_1$ (αλυσίδα)	3/4	7/8	15/16
$p_{0 \rightarrow 1}$ (αλυσίδα)	3/16	<b>7/64</b>	15/256
$p_1$ (δένδρο)	1/4	1/4	1/16
$p_0 = 1-p_1$ (δένδρο)	3/4	3/4	15/16
$p_{0 \rightarrow 1}$ (δένδρο)	3/16	<b>3/16</b>	15/256

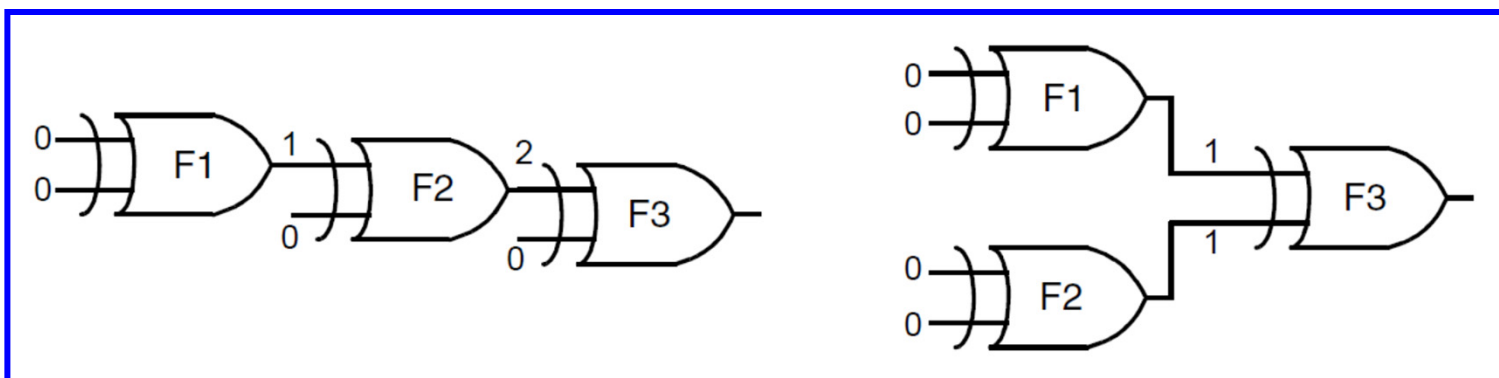
# Τεχνικές μείωσης κατανάλωσης ενέργειας

- Η δραστηριότητα μεταβάσεων σε κόμβους ενός λογικού δικτυώματος μπορεί να μειωθεί με **αναδιάταξη των σημάτων εισόδου**.
- Για **παράδειγμα**, για τα ακόλουθα κυκλώματα δίνονται οι πιθανότητες των εισόδων να έχουν τιμή 1.
- Επειδή και τα δύο κυκλώματα υλοποιούν την ίδια λογική συνάρτηση, είναι προφανές ότι η δραστηριότητα μεταβάσεων στον κόμβο εξόδου είναι ίδια και για τις δύο περιπτώσεις.
- Η διαφορά που προκύπτει λόγω της διαφορετικής διάταξης των σημάτων εισόδου στα 2 κυκλώματα, έγκειται στη δραστηριότητα μεταβάσεων του **ενδιάμεσου κόμβου**.
- Στο 1ο κύκλωμα, η πιθανότητα μετάβασης 0 σε 1 είναι  $(1 - 0.5 \cdot 0.2) \cdot (0.5 \cdot 0.2) = 0.09$ .
- Στο 2ο κύκλωμα, η πιθανότητα μετάβασης 0 σε 1 είναι  $(1 - 0.2 \cdot 0.1) \cdot (0.2 \cdot 0.1) = 0.02$ .
- Προκύπτει ότι είναι προτιμότερο να αναβάλλουμε για το τελευταίο στάδιο, την εισαγωγή σημάτων (όπως του A) με υψηλή πιθανότητα μετάβασης.



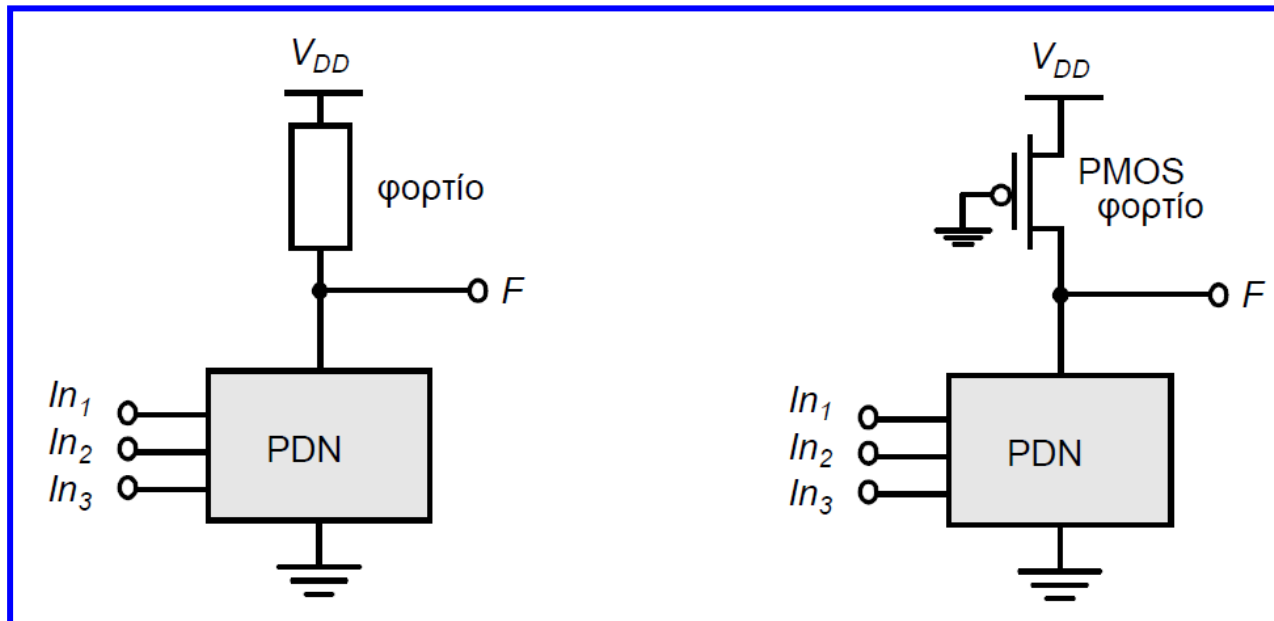
# Τεχνικές μείωσης κατανάλωσης ενέργειας

- Η εμφάνιση **ψευδοπαλμών (glitches)** οφείλεται κυρίως στην **απουσία ταιριάσματος του μήκους διαδρομών σε ένα λογικό δίκτυωμα**.
- Εάν όλα τα σήματα εισόδου μίας πύλης αλλάζουν ταυτόχρονα, δεν εμφανίζονται ψευδοπαλμοί.
- Ωστόσο, αν υπάρχουν σήματα εισόδου που αλλάζουν σε διαφορετικούς χρόνους (λόγω διαφορετικού μήκους διαδρομών σε σχέση με τις αρχικές εισόδους του δικτυώματος), μπορεί να αναπτυχθούν ψευδοπαλμοί που προκαλούν επιπλέον κατανάλωση ενέργειας.
- Το πρώτο από τα δικτυώματα που ακολουθούν υποφέρει από ψευδοπαλμούς, ως αποτέλεσμα της μεγάλης ανομοιότητας μεταξύ των χρόνων άφιξης των σημάτων εισόδου των πυλών.
- **Επανασχεδιάζοντας το δίκτυωμα, ώστε όλοι οι χρόνοι άφιξης να είναι όμοιοι** (2ο δίκτυωμα), μειώνεται δραστικά ο αριθμός των πλεονασματικών μεταβάσεων (ψευδοπαλμών).



# Λογική εξαρτημένη από το λόγο $W_p / W_n$

- Η συμπληρωματική λογική CMOS είναι στιβαρή, αλλά απαιτεί  $2 \cdot N$  τρανζίστορ για την υλοποίηση μίας λογικής πύλης  $N$  εισόδων, οδηγώντας σε αυξημένες χωρητικότητες.
- Για το λόγο αυτό έχουν αναπτυχθεί **εναλλακτικές λογικές υλοποίησης πυλών**, οι οποίες οδηγούν σε απλούστερες ή ταχύτερες πύλες.
- Η **εξαρτημένη λογική από τον λόγο του μεγέθους των τρανζίστορ (ratioed logic)** συνιστά μία προσπάθεια μείωσης του αριθμού των τρανζίστορ που απαιτούνται για την υλοποίηση μίας λογικής συνάρτησης, συχνά με κόστος τη μείωση της στιβαρότητας και την επιπλέον κατανάλωση ενέργειας.



# Ψευδο-NMOS λογική

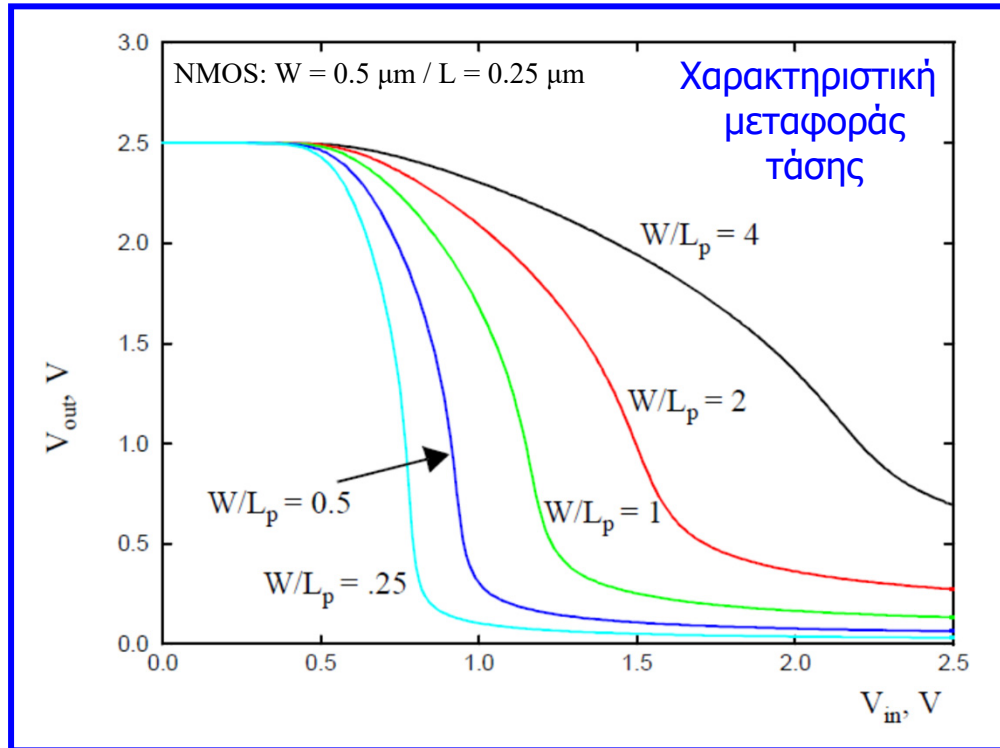
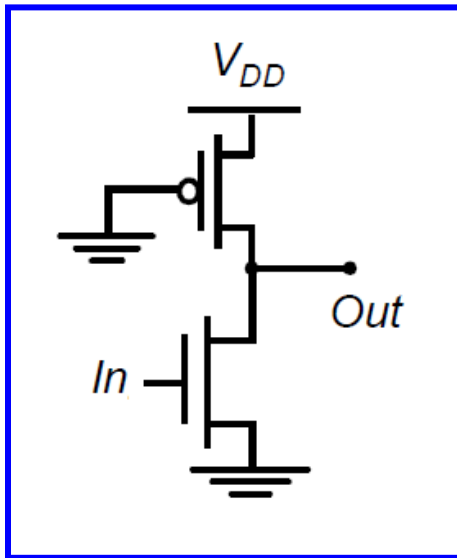
- Ο σκοπός του δικτύωματος PUN στη συμπληρωματική λογική CMOS είναι να παρέχει μία διαδρομή μεταξύ της τροφοδοσίας και της εξόδου, όταν το δίκτυωμα PDN σταματά να άγει.
- Στην εξαρτημένη από τον λόγο του μεγέθους των τρανζίστορ λογική, το **δίκτυωμα PUN αντικαθίσταται από ένα μοναδικό στοιχείο φορτίου**, του οποίου στόχος είναι η αύξηση της τάσης εξόδου, ώστε να επιτευχθεί η επιθυμητή υψηλή στάθμη.
- Αντιπροσωπευτικό παράδειγμα εξαρτημένης λογικής από το λόγο του μεγέθους των τρανζίστορ, η οποία χρησιμοποιεί ως **φορτίο ένα PMOS τρανζίστορ με γειωμένη πύλη**, είναι η **ψευδο-NMOS λογική**.
- Το πλεονέκτημα μιας ψεύδο-NMOS λογικής πύλης είναι ο **μειωμένος αριθμός των τρανζίστορ** ( $N + 1$ , αντί τα  $2 \cdot N$  τρανζίστορ της συμπληρωματικής λογικής CMOS).
- Η υψηλή στάθμη της τάσης εξόδου ( $V_{OH}$ ) ισούται με την τάση τροφοδοσίας, αφού τα τρανζίστορ του δικτύωματος PDN δεν άγουν όταν η έξοδος βρίσκεται στην υψηλή στάθμη.
- Ωστόσο, η **χαμηλή στάθμη της τάσης εξόδου ( $V_{OL}$ ) δεν είναι 0**, επειδή υπάρχει ανταγωνισμός μεταξύ των τρανζίστορ του δικτύωματος PDN και του γειωμένου τρανζίστορ PMOS.
- Αυτό οδηγεί σε **μειωμένα περιθώρια θορύβου και στατική κατανάλωση ενέργειας**.

# Ψευδο-NMOS λογική

- Η σχέση του μεγέθους του τρανζίστορ PMOS με το μέγεθος των τρανζίστορ του δικτύωματος PDN, χρησιμοποιείται ώστε να εξισορροπηθούν παράμετροι όπως τα περιθώρια θορύβου, η καθυστέρηση διάδοσης και η κατανάλωση ενέργειας.
- Επειδή η συνολική λειτουργία της πύλης εξαρτάται από τον λόγο των μεγεθών των τρανζίστορ NMOS και του τρανζίστορ PMOS, η **λογική** αναφέρεται ως **εξαρτημένη από τον λόγο του μεγέθους των τρανζίστορ**.
- Αυτό έρχεται σε αντίθεση με τις **μη εξαρτημένες λογικές από τον λόγο του μεγέθους των τρανζίστορ (ratioless)**, όπως η **συμπληρωματική λογική CMOS**.
- Η τιμή της χαμηλής στάθμης της τάσης εξόδου ( $V_{OL}$ ) είναι ανάλογη προς το πλάτος του τρανζίστορ PMOS και αντιστρόφως ανάλογη προς το πλάτος των τρανζίστορ του PDN.
- Για να μειωθεί όσο το δυνατό περισσότερο η στάθμη  $V_{OL}$ , το **τρανζίστορ PMOS θα πρέπει να έχει πλάτος πολύ μικρότερο από τα τρανζίστορ NMOS** του δικτύωματος PDN.
- Αυτό όμως αυξάνει την καθυστέρηση διάδοσης για τη φόρτιση της εξόδου προς την υψηλή στάθμη, αφού περιορίζεται το ρεύμα που παρέχεται από το τρανζίστορ PMOS.
- Σημαντικό **μειονέκτημα** των πυλών **ψευδο-NMOS** είναι η **κατανάλωση στατικής ενέργειας**, όταν η έξοδός τους είναι σταθερή σε χαμηλή στάθμη και οφείλεται στην απευθείας διαδρομή ρεύματος που υφίσταται μεταξύ της τροφοδοσίας και της γείωσης.

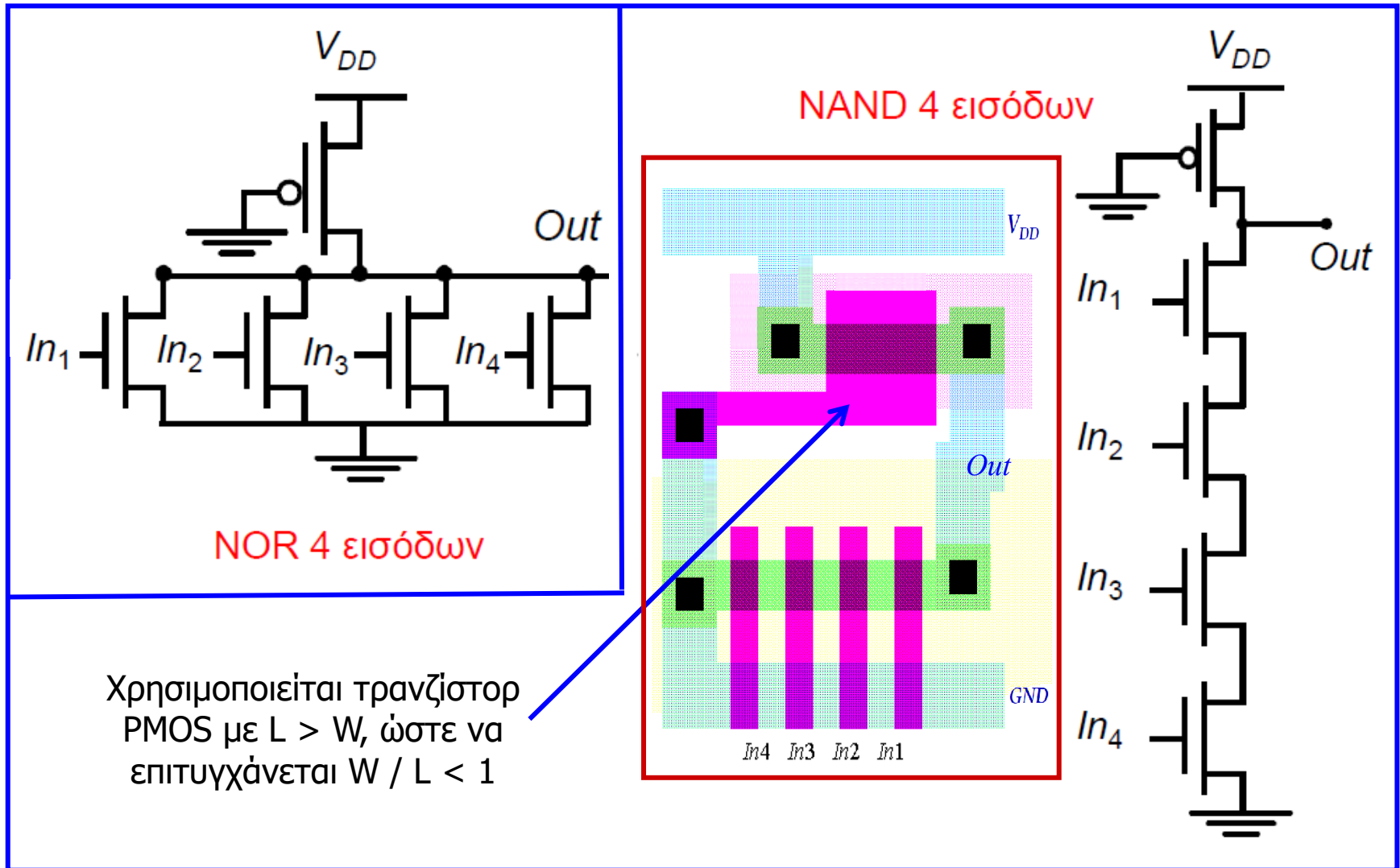
# Ψευδο-NMOS λογική

Ψεύδο-NMOS αντιστροφείας



$(W / L)_p$	$V_{OL}$	Στατική ισχύς	$t_{pH}$
4	0.693V	564 $\mu$ W	14ps
2	0.273V	298 $\mu$ W	56ps
1	.133V	160 $\mu$ W	123ps
0.5	0.064V	80 $\mu$ W	268ps
0.25	0.031V	41 $\mu$ W	569ps

# Ψευδο-NMOS λογική





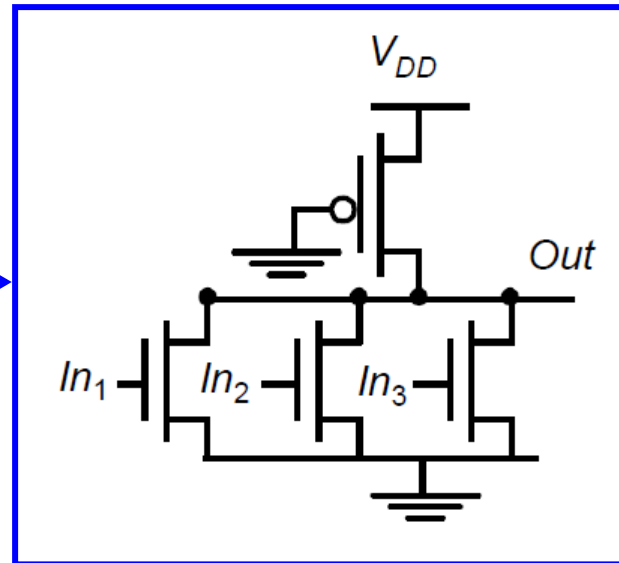
# Παράδειγμα 12

- Σχεδιάζουμε το κυκλωματικό διάγραμμα μιας πύλης NOR 3 εισόδων χρησιμοποιώντας λογική ψευδο-NMOS. Τα τρανζίστορ είναι τεχνολογίας 0.25  $\mu\text{m}$  με πλάτος  $W_n = 1 \mu\text{m}$  και  $W_p = 0.25 \mu\text{m}$ . Άλλες παράμετροι των τρανζίστορ δίνονται στον παρακάτω πίνακα.
- Υπολογισμός την τιμή χαμηλής στάθμης ( $V_{OL}$ ) της πύλης, υποθέτοντας ότι μόνο μία είσοδος της πύλης έχει λογική τιμή 1 και παραβλέποντας τους τετραγωνικούς όρους της τάσης υποδοχής-πηγής που συμμετέχουν στις εκφράσεις του ρεύματος υποδοχής των τρανζίστορ.
- Στη συνέχεια, υπολογίζουμε την ισχύ που αντιστοιχεί στην στατική κατανάλωση ενέργειας της πύλης που σχεδιάσαμε.
- Στους παραπάνω υπολογισμούς παραβλέπουμε το φαινόμενο διαμόρφωσης μήκους καναλιού ( $\lambda_n = \lambda_p = 0$ ).

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$

# Παράδειγμα 12

Σχεδιάζουμε μια πύλη  
NOR 3 εισόδων  
ψευδο-NMOS λογικής



- Η τιμή χαμηλής στάθμης ( $V_{OL}$ ) υπολογίζεται με εξίσωση των ρευμάτων που ρέουν μέσω του τρανζίστορ NMOS της πύλης που άγει (είσοδος = 1) και του τρανζίστορ PMOS (φορτίο) της πύλης που σχεδιάσαμε για  $V_{in} = V_{DD}$ .
- Σε αυτό το σημείο λειτουργίας, το τρανζίστορ NMOS λειτουργεί στη γραμμική περιοχή αφού  $V_{GSn} = V_{DD}$  και η τάση εξόδου της πύλης ( $V_{DSn}$ ) είναι κοντά στην τιμή 0, με αποτέλεσμα  $V_{DSn} < V_{DSATn} < V_{GSn} - V_{Tn}$ .
- Το τρανζίστορ PMOS λειτουργεί στην περιοχή κορεσμού, αφού η πύλη του είναι γειωμένη  $V_{GSp} = -V_{DD}$  και η τάση εξόδου της πύλης είναι κοντά στην τιμή 0 ( $V_{DSp} = 0 - V_{DD}$ ), με αποτέλεσμα  $V_{GSp} - V_{Tp} > V_{DSp}$ .

# Παράδειγμα 12

$$k_n \cdot \left[ (V_{DD} - V_{Tn}) \cdot V_{OL} - \frac{V_{OL}^2}{2} \right] = -k_p \left[ (-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \Rightarrow$$
$$k'_n \cdot \frac{W_n}{L_n} \cdot (V_{DD} - V_{Tn}) \cdot V_{OL} = -k'_p \cdot \frac{W_p}{L_p} \cdot (-V_{DD} - V_{Tp}) \cdot V_{DSATp} \Rightarrow$$
$$V_{OL} = \frac{k'_p \cdot \frac{W_p}{L_p} \cdot (V_{DD} + V_{Tp}) \cdot V_{DSATp}}{k'_n \cdot \frac{W_n}{L_n} \cdot (V_{DD} - V_{Tn})} \Rightarrow V_{OL} = \frac{-30 \cdot \frac{0.25}{0.25} \cdot (2.5 - 0.4) \cdot (-1)}{115 \cdot \frac{1}{0.25} \cdot (2.5 - 0.43)} \Rightarrow$$
$$V_{OL} = 0.066 \text{ V} = 66 \text{ mV}$$

- Η τιμή που υπολογίστηκε είναι αρκετά χαμηλή, λόγω του ότι το πλάτος του τρανζίστορ PMOS είναι 4 φορές μικρότερο από το πλάτος του τρανζίστορ NMOS που άγει.
- Ωστόσο, η επιλογή αυτή αυξάνει την καθυστέρηση διάδοσης για τη φόρτιση της εξόδου προς την υψηλή στάθμη, αφού περιορίζεται το ρεύμα που παρέχεται από το τρανζίστορ PMOS.

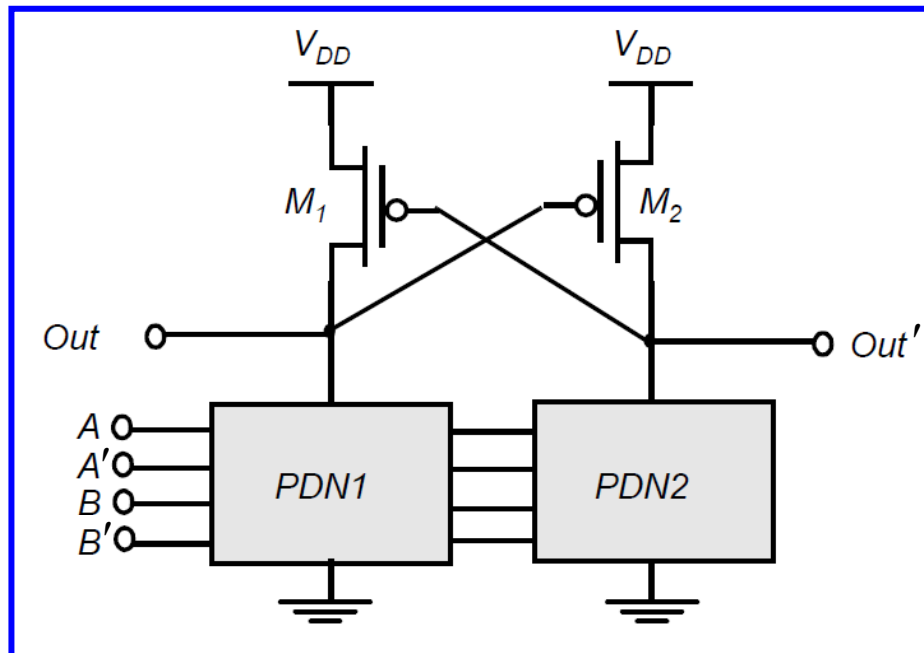
# Παράδειγμα 12

- Όπως υπολογίστηκε προηγουμένως, όταν η τάση εξόδου βρίσκεται στη χαμηλή στάθμη, είναι πολύ κοντά στην τιμή 0. Τότε, το τρανζίστορ PMOS λειτουργεί στην περιοχή κορεσμού, αφού η πύλη του είναι γειωμένη  $V_{GSp} = -V_{DD}$ , με αποτέλεσμα  $V_{GSp} - V_{Tp} > V_{DSp}$ .
- Μειονέκτημα της ψευδο-NMOS λογικής αποτελεί η **στατική ενέργεια που καταναλώνεται όταν η τάση εξόδου είναι στη χαμηλή στάθμη**, μέσω της απευθείας διαδρομής ρεύματος μεταξύ τροφοδοσίας και γείωσης.
- Η ισχύς που αντιστοιχεί σε αυτή την κατανάλωση ενέργειας, υπολογίζεται ως εξής:

$$P_s = V_{DD} \cdot I_p \Rightarrow P_s = V_{DD} \cdot \left\{ k'_p \cdot \frac{W_p}{L_p} \cdot \left[ (-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \right\} \Rightarrow$$
$$P_s = 2.5 \cdot \left\{ 30 \cdot 10^{-6} \cdot \frac{0.25}{0.25} \cdot \left[ (-2.5 + 0.4) \cdot (-1) - \frac{(-1)^2}{2} \right] \right\} \Rightarrow P_s = 120 \mu\text{W}$$

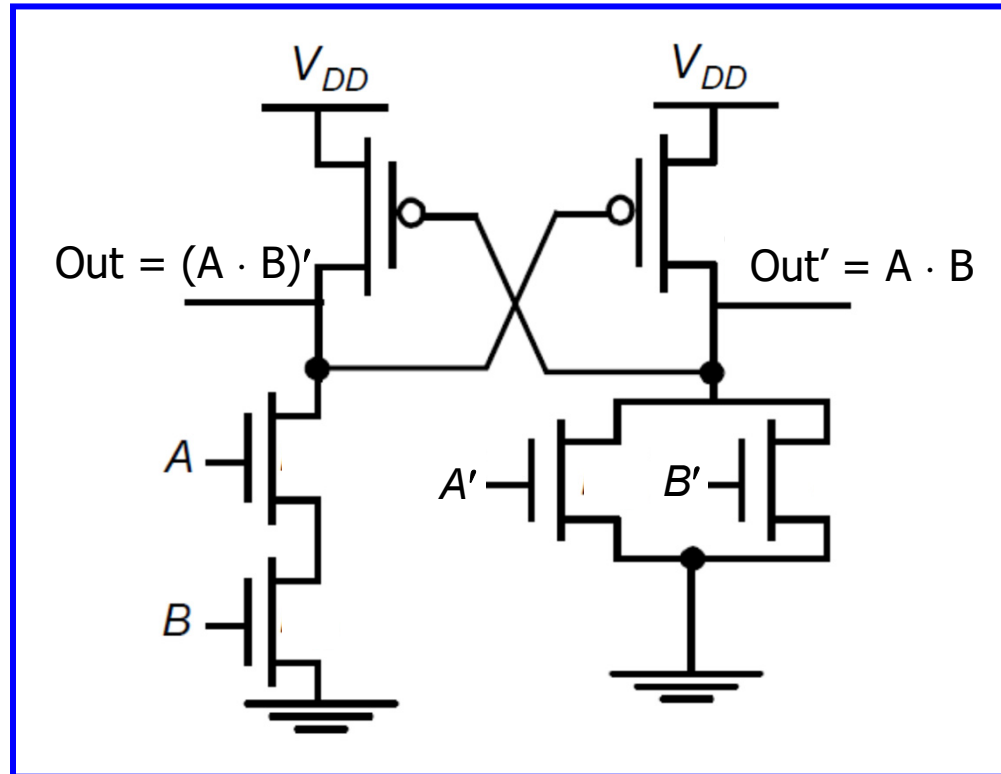
# Λογική DCVSL

- Συνδυάζοντας **διαφορική λογική** (κάθε είσοδος διατίθεται και με τη συμπληρωματική μορφή της και παρέχεται και η συμπληρωματική μορφή της εξόδου) και **θετική ανατροφοδότηση της εξόδου στην είσοδο του τρανζίστορ-φορτίου** (το τρανζίστορ-φορτίο παύει να άγει όταν δε χρειάζεται), είναι δυνατό να καταλήξουμε σε μια λογική εξαρτημένη από τον λόγο του μεγέθους των τρανζίστορ **χωρίς στατική κατανάλωση ενέργειας** και με **πλήρη ταλάντευση της τάσης εξόδου** μεταξύ τροφοδοσίας και γείωσης.
- Αντιπροσωπευτικό παράδειγμα τέτοιας λογικής είναι η **διαφορική διαδοχική λογική διακοπτικής τάσης** (**differential cascade voltage switch logic, DCVSL**).



- Τα δικτυώματα PDN1 και PDN2 χρησιμοποιούν τρανζίστορ NMOS και όταν το PDN1 άγει, το PDN2 δεν άγει, ενώ όταν το PDN1 δεν άγει, το PDN2 άγει, έτσι ώστε η επιθυμητή λογική συνάρτηση και η συμπληρωματική της να υλοποιούνται ταυτόχρονα.
- Όταν για έναν συνδυασμό τιμών των εισόδων το PDN1 άγει ενώ το PDN2 δεν άγει και οι έξοδοι Out και Out' είναι αρχικά σε υψηλή και χαμηλή στάθμη, αντίστοιχα, καθώς αρχίζει η αγωγή του PDN1, η έξοδος Out αρχίζει να μεταβαίνει σε χαμηλή στάθμη, αν και υπάρχει ακόμα ανταγωνισμός μεταξύ του  $M_1$  και του PDN1.
- Η έξοδος Out' βρίσκεται σε κατάσταση υψηλής εμπέδησης (απροσδιόριστη, μη καθοριζόμενη από τις εισόδους), αφού το  $M_2$  και το PDN2 δεν άγουν.
- Το PDN1 πρέπει να είναι αρκετά ισχυρό (από άποψη παραγωγής ρεύματος οδήγησης) για να φέρει την έξοδο Out κάτω από την τιμή  $V_{DD} - |V_{Tp}|$ , σημείο στο οποίο το  $M_2$  αρχίζει να άγει και να οδηγεί την έξοδο Out' στην υψηλή στάθμη (τάση τροφοδοσίας), σταματώντας την αγωγή του  $M_1$ .
- Μετά από αυτό, ο κόμβος εξόδου Out εκφορτίζεται πλήρως και η έξοδος Out οδηγείται σε τιμή 0.

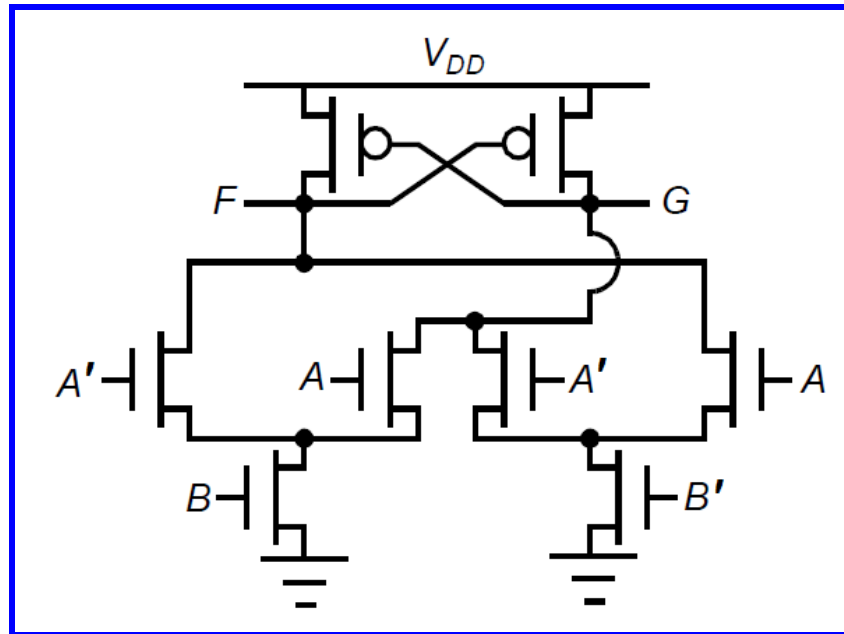
## NAND / AND 2 εισόδων



Στο δικτύωμα PDN που υλοποιεί την αντιστρέφουσα λογική συνάρτηση  $(A \cdot B)'$ , το λογικό γινόμενο αντιστοιχεί σε δύο σειριακά τρανζίστορ. Στο δικτύωμα PDN που υλοποιεί την συμπληρωματική συνάρτηση της αντιστρέφουσας  $[(A \cdot B)']' = (A' + B)'$ , το λογικό άθροισμα των συμπληρωματικών εισόδων αντιστοιχεί σε δύο παράλληλα τρανζίστορ.

# Παράδειγμα 13

A. Προσδιορίζουμε τις λογικές συναρτήσεις που υλοποιεί το παρακάτω κύκλωμα λογικής DCVSL.



Παρατηρούμε ότι στο κύκλωμα που χρησιμοποιεί τη λογική DCVSL, γίνεται **κοινή χρήση τρανζίστορ στα δύο δικτυώματα PDN** με στόχο τη μείωση του πλήθους των τρανζίστορ. Αυτό αποτελεί αποδοτική πρακτική για τα κυκλώματα αυτής της λογικής.

Από το δικτύωμα που υλοποιεί τη συνάρτηση F προκύπτει ότι:  $F = (A' \cdot B + A \cdot B')' = (A \oplus B)'$  (λογική πύλη **XNOR**). Από το δικτύωμα που υλοποιεί τη συνάρτηση G προκύπτει ότι:  $G = (A \cdot B + A' \cdot B')' = A \oplus B$  (λογική πύλη **XOR**).

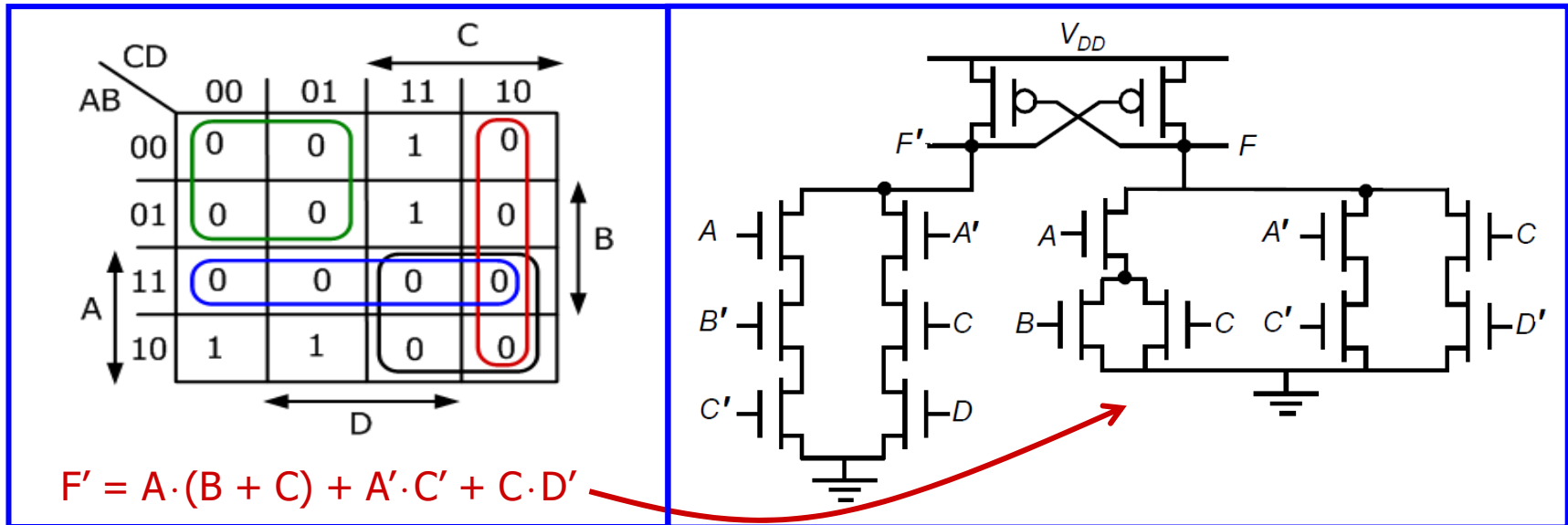
Όπως αναμενόταν οι δύο συναρτήσεις (F, G) είναι συμπληρωματικές.



# Παράδειγμα 13

B. Σχεδιάζουμε το κυκλωματικό διάγραμμα που υλοποιεί τη συνάρτηση 4 εισόδων  $F = A \cdot B' \cdot C' + A' \cdot C \cdot D$  και την συμπληρωματική της  $F'$ , χρησιμοποιώντας λογική DCVSL. Υποθέτουμε ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των 4 εισόδων.

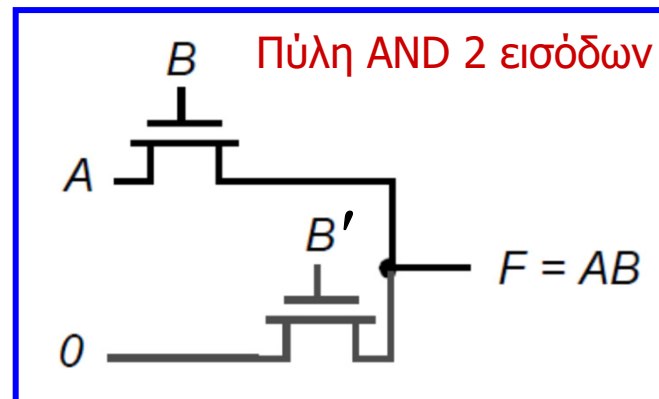
Σχεδιάζουμε μια πύλη λογικής DCVSL με ένα δικτύωμα PDN που υλοποιεί τη συνάρτηση  $F'$ , στο οποίο τα λογικά γινόμενα της  $F$  αντιστοιχούν σε σειριακά συνδεδεμένα τρανζίστορ NMOS και το λογικό άθροισμα σε παράλληλα συνδεδεμένα τρανζίστορ NMOS. Στη συνέχεια παράγουμε την ελαχιστοποιημένη μορφή της  $F'$ , ομαδοποιώντας τα μηδενικά του χάρτη Karnaugh της  $F$  και σχεδιάζουμε ένα δεύτερο δικτύωμα PDN που υλοποιεί τη συνάρτηση  $F$  με βάση την ελαχιστοποιημένη μορφή της  $F'$ , ακολουθώντας τους ίδιους κανόνες με εκείνους που χρησιμοποιήθηκαν για το σχεδιασμό του πρώτου δικτυώματος PDN.



# Λογική τρανζίστορ διέλευσης

- Μία ευρέως χρησιμοποιούμενη εναλλακτική της συμπληρωματικής CMOS είναι η **λογική τρανζίστορ-διέλευσης (pass transistor logic)**, η οποία στοχεύει στη μείωση του πλήθους των τρανζίστορ, επιτρέποντας στις εισόδους που αντιστοιχούν στις μεταβλητές μιας λογικής συνάρτησης, να οδηγούν εκτός από ακροδέκτες πύλης και ακροδέκτες πηγής και υποδοχής των τρανζίστορ.

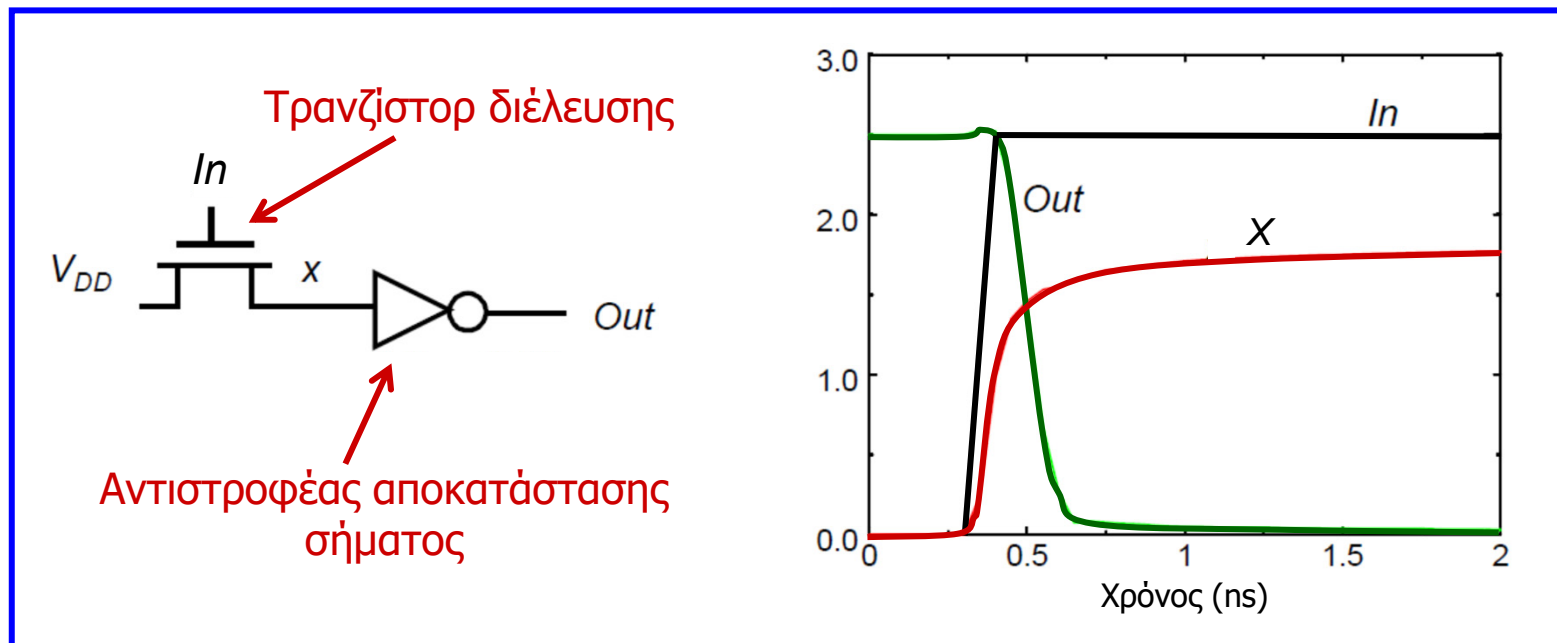
A	B	A · B
0	0	0
0	1	0
1	0	0
1	1	1



- Η υλοποίηση λογικών πυλών επιτυγχάνεται με χρήση τρανζίστορ διέλευσης NMOS και απαιτούνται **λιγότερα τρανζίστορ**.
- Η πύλη AND χρειάζεται 4 τρανζίστορ (2 τρανζίστορ διέλευσης και 2 για τον αντιστροφέα παραγωγής της εισόδου  $B'$ ), ενώ η συμπληρωματική CMOS πύλη AND 2 εισόδων απαιτεί για την υλοποίησή της 6 τρανζίστορ (4 για την πύλη NAND και 2 για τον αντιστροφέα).
- Η λογική με τρανζίστορ διέλευσης πλεονεκτεί όσον αφορά τη **μειωμένη χωρητικότητα** που παρουσιάζει, λόγω του μειωμένου πλήθους των τρανζίστορ.

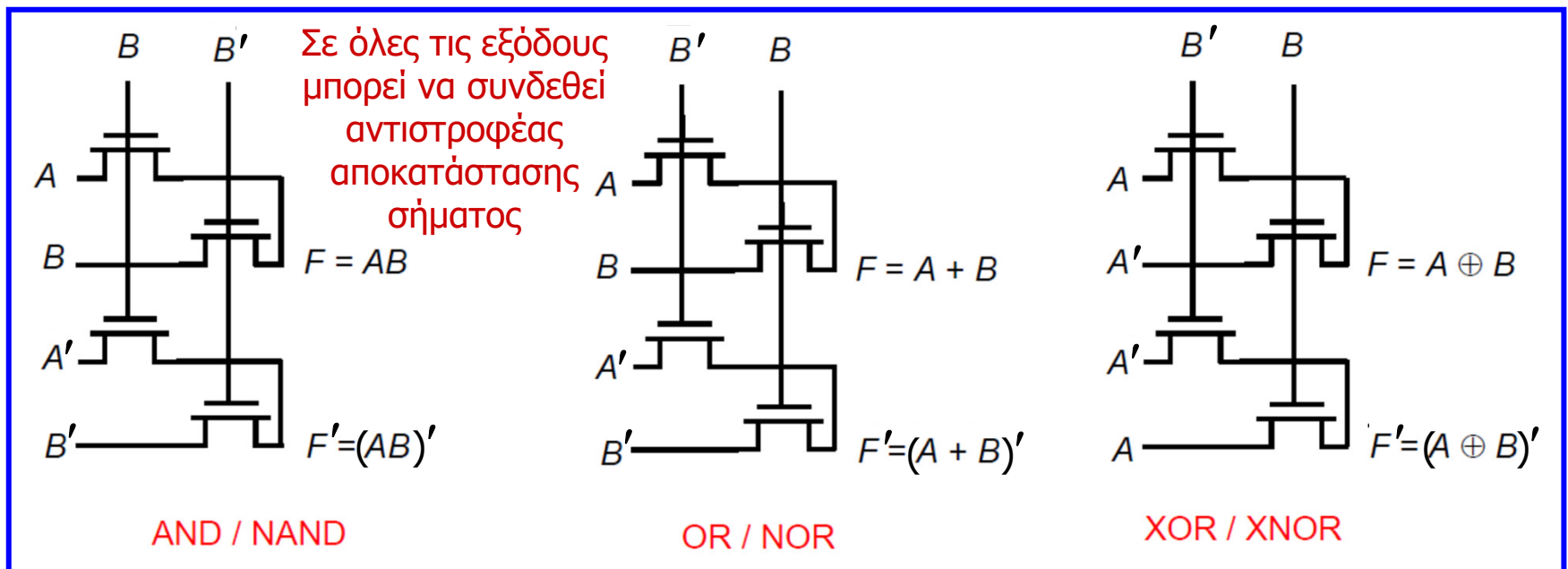
# Λογική τρανζίστορ διέλευσης

- Ενώ το τρανζίστορ NMOS είναι αποτελεσματικό στη διέλευση της τιμής 0, είναι αδύναμο όταν οδηγεί έναν κόμβο σε υψηλή στάθμη, αφού ο κόμβος φορτίζεται μέχρι  $V_{DD} - V_{Tn}$ .
- Το **φαινόμενο σώματος** ενισχύει την πτώση τάσης αφού αυξάνει την τάση κατωφλίου του τρανζίστορ διέλευσης.
- Τα κυκλώματα αυτά, καταναλώνουν **μειωμένη χωρητική ενέργεια**, λόγω του μειωμένου εύρους ταλάντευσης της εξόδου, αλλά μπορεί να οδηγήσουν σε **στατική κατανάλωση ενέργειας** στον αντιστροφέα αποκατάστασης σήματος.



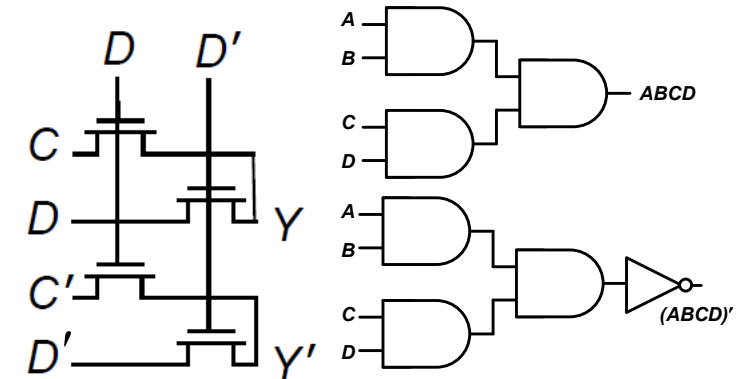
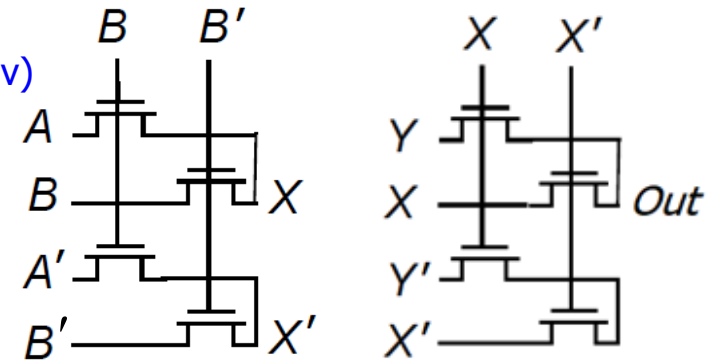
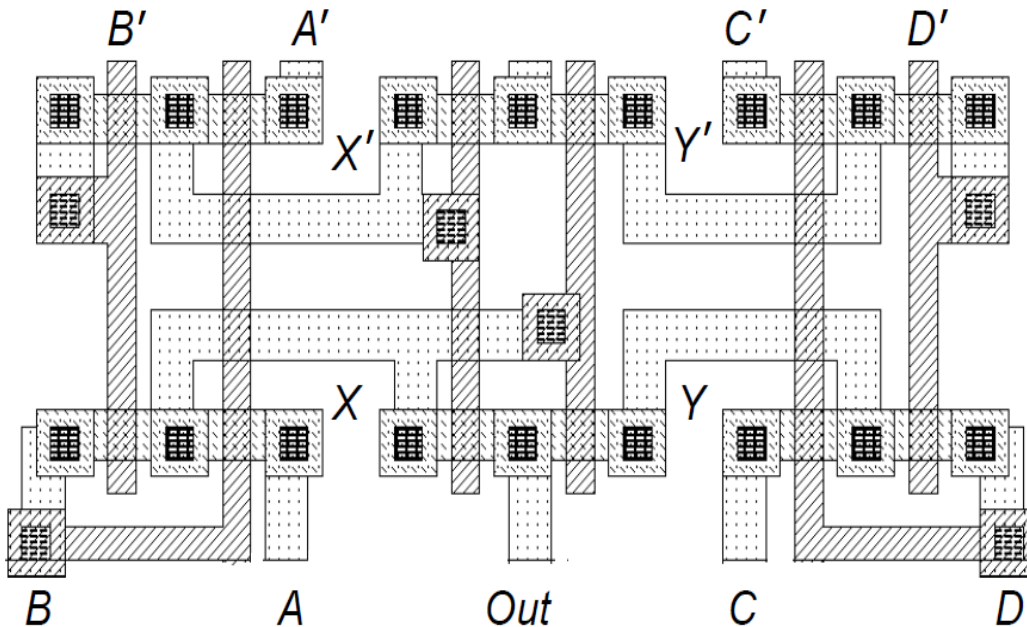
# Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)

- Για το σχεδιασμό συνδυαστικών κυκλωμάτων υψηλής επίδοσης, χρησιμοποιείται η συμπληρωματική ή διαφορική λογική τρανζίστορ διέλευσης (complementary pass transistor logic, CPL).
- Η βασική ιδέα (όμοια με της λογικής DCVSL) είναι να διατίθενται οι κανονικές και συμπληρωματικές μορφές των εισόδων και να παράγονται κανονικές και συμπληρωματικές εξόδοι.
- Οι πύλες συνίστανται από δύο δικτυώματα (ένα για την παραγωγή κάθε μορφής εξόδου) και όλες οι βασικές πύλες έχουν την ίδια τοπολογία (απλότητα σχεδιασμού).



# Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)

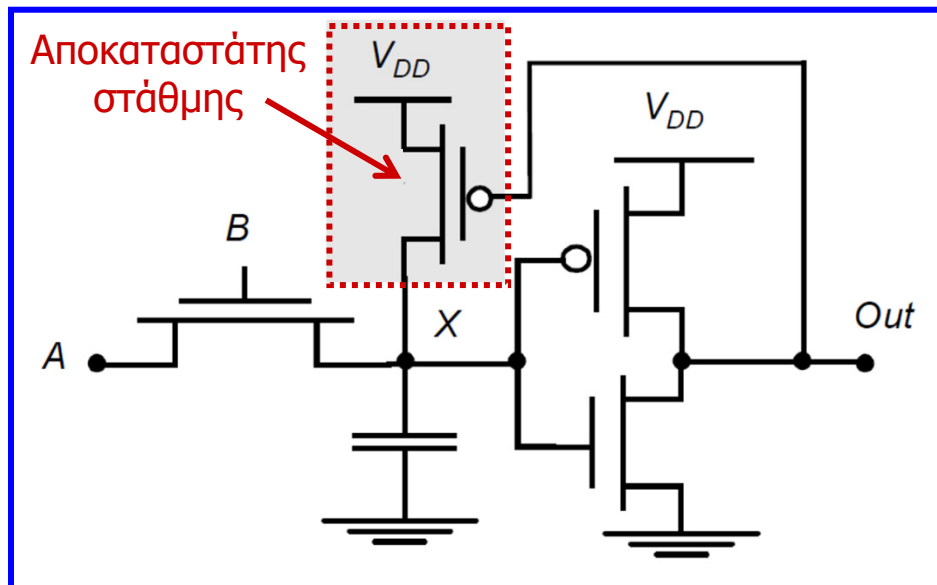
Υλοποίηση πύλης AND 4 εισόδων σε 2 επίπεδα  
(με αντιστροφή στην έξοδο υλοποιείται πύλη NAND 4 εισόδων)



- Η υλοποίηση της παραπάνω πύλης AND με 2 επίπεδα πυλών έχει αυξημένο πλήθος τρανζίστορ και πολύπλοκες διασυνδέσεις, αλλά με χρήση ενός αντιστροφέα υλοποιείται και η πύλη NAND.
- Σε συγκεκριμένες εφαρμογές όπως αθροιστές, πολλαπλασιαστές που απαιτούν άφθονες πύλες XOR (οι οποίες υλοποιούνται με συγκριτικά πολύ απλό τρόπο) και κύτταρα μνήμης RAM, παρέχουν μειωμένη επιφάνεια πυριτίου, καθυστέρηση και κατανάλωση ενέργειας.

# Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)

- Η λογική CPL όπως και η λογική τρανζίστορ διέλευσης απλής εξόδου, υποφέρει από **κατανάλωση στατικής ενέργειας** και **μειωμένα περιθώρια θορύβου**, λόγω του ότι η **υψηλή στάθμη** στην είσοδο του αντιστροφέα αποκατάστασης σήματος φτάνει **έως  $V_{DD} - V_{Tn}$** .
- Έχουν προταθεί διάφορες **τεχνικές για την αντιμετώπιση** του προβλήματος αυτού.
- Μία τεχνική βασίζεται στη χρήση ενός **αποκαταστάτη στάθμης (level restorer)**, που είναι ένα τρανζίστορ PMOS του οποίου η πύλη συνδέεται στην έξοδο του αντιστροφέα αποκατάστασης σήματος, η υποδοχή του συνδέεται στην είσοδο του αντιστροφέα και η πηγή του συνδέεται στην τάση τροφοδοσίας.
- Όταν η είσοδος A μεταβαίνει από 0 σε  $V_{DD}$ , το τρανζίστορ διέλευσης φορτίζει τον κόμβο X έως την τάση  $V_{DD} - V_{Tn}$ .
- Η έξοδος του αντιστροφέα οδηγείται σε χαμηλή στάθμη, με αποτέλεσμα την αγωγή του τρανζίστορ PMOS και την οδήγηση του κόμβου X σε πλήρη τάση  $V_{DD}$ .



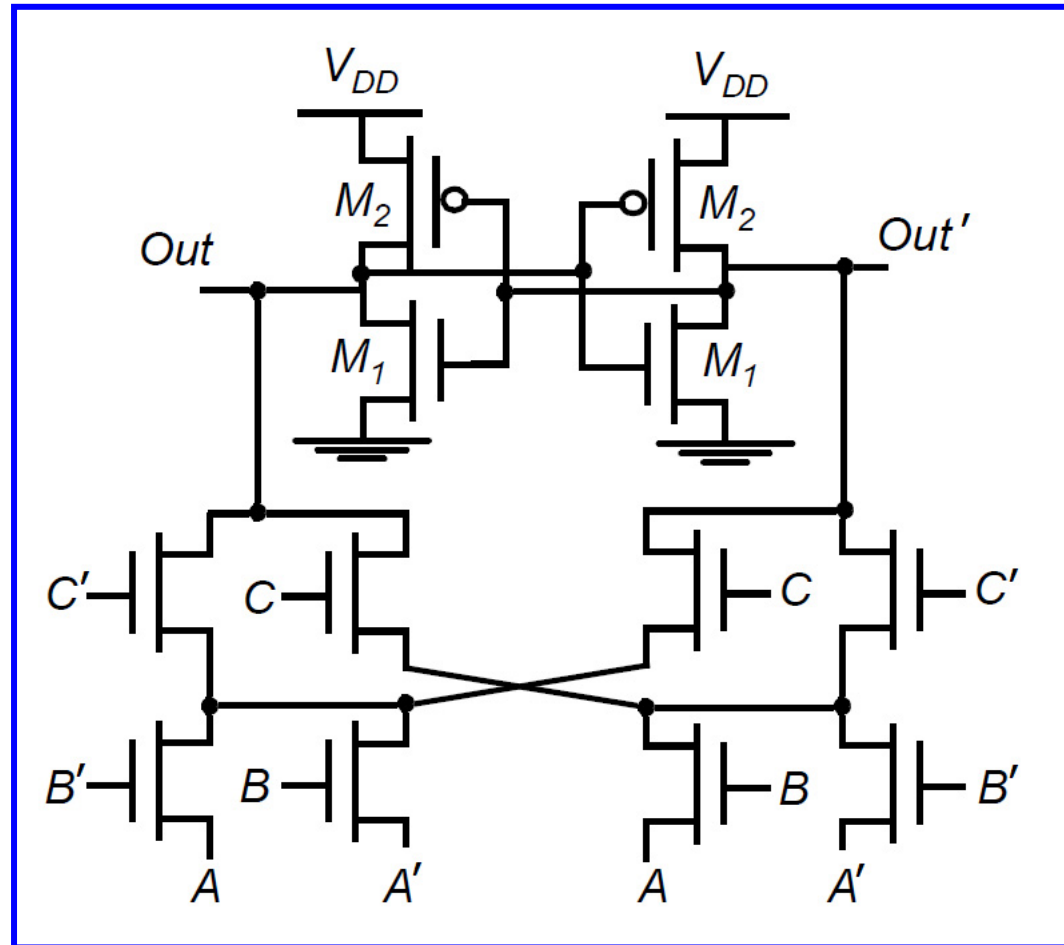
# Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)

- Με την προσθήκη του αποκαταστάτη στάθμης, οι στάθμες τάσης είναι η τάση τροφοδοσίας και η γείωση και εξαλείφεται η στατική κατανάλωση ενέργειας στον αντιστροφέα αποκατάστασης σήματος.
- Ωστόσο, η τεχνική αυτή αυξάνει την πολυπλοκότητα σχεδιασμού, αφού το κύκλωμα γίνεται **εξαρτώμενο από τα μεγέθη των τρανζίστορ (ratioed)**.
- Όταν το τρανζίστορ διέλευσης προσπαθεί να οδηγήσει τον κόμβο X στη χαμηλή στάθμη, το τρανζίστορ PMOS ωθεί τον κόμβο αυτόν σε τιμή  $V_{DD}$ , συνεπώς το τρανζίστορ διέλευσης θα πρέπει να είναι ισχυρότερο (από άποψη παραγωγής ρεύματος οδήγησης) από το τρανζίστορ PMOS, ώστε να προκαλεί την επιθυμητή αλλαγή κατάστασης στον κόμβο X και στην έξοδο της πύλης.
- Ο αποκαταστάτης στάθμης εκτός από το ότι αυξάνει τη χωρητικότητα του κόμβου X με αποτέλεσμα την αύξηση της καθυστέρησης, επιδρά αρνητικά στην ταχύτητα της πύλης κατά την καθοδική μετάβαση και θετικά κατά την ανοδική μετάβαση του κόμβου X.
- Μια τροποποίηση της τεχνικής του αποκαταστάτη στάθμης, βασίζεται στη **λογική τρανζίστορ διέλευσης με αποκατάσταση εύρους ταλάντευσης (swing-restored pass transistor logic, SRPL)**.
- Στη λογική αυτή αντί για τρανζίστορ αποκατάστασης στάθμης και αντιστροφέα αποκατάστασης σήματος, χρησιμοποιούνται **2 αντιστροφείς σε σταυροειδή σύνδεση**, με στόχο την αποκατάσταση της στάθμης και τη βελτίωση της επίδοσης των πυλών.

# Λογική SRPL

Στη λογική SRPL όταν τοποθετούμε πύλες σε διαδοχή, παρεμβάλλουμε απομονωτές μεταξύ των εξόδων των πυλών, διότι αν αυτό δεν γίνει, ο ανταγωνισμός μεταξύ των αποκαταστατών στάθμης των διαδοχικών πυλών επηρεάζει αρνητικά την ταχύτητα.

Πύλη  
XOR / XNOR  
3 εισόδων  
λογικής SRPL

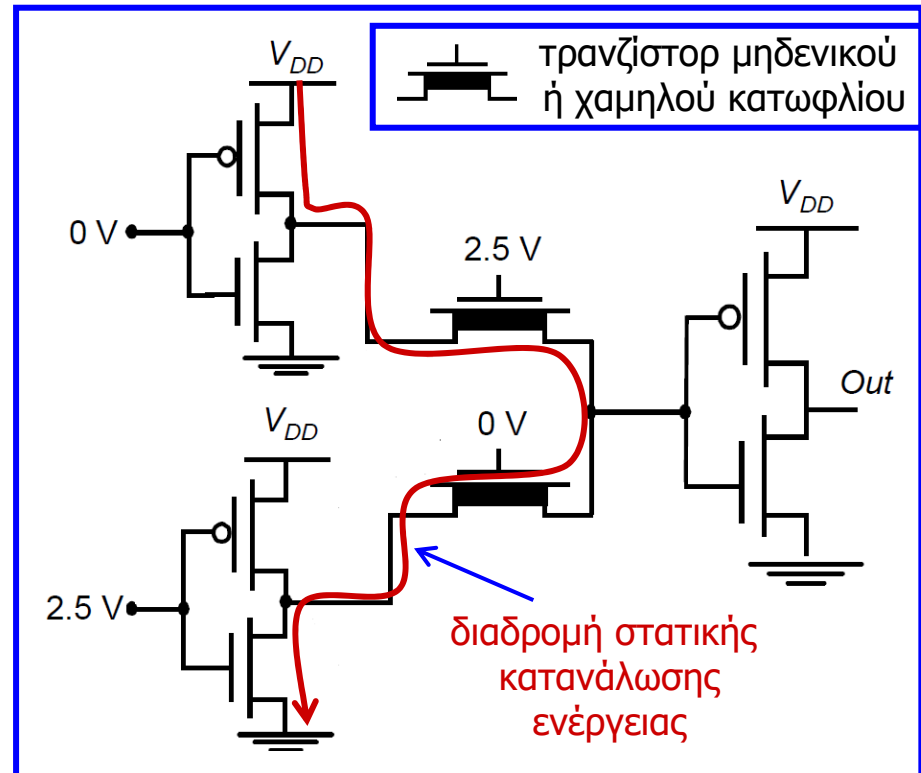




# Τρανζίστορ πολλαπλών κατωφλίων στη λογική CPL

- Η χρησιμοποίηση τρανζίστορ πολλαπλών κατωφλίων αποτελεί μία τεχνολογική λύση στο πρόβλημα της πτώσης τάσης που σχετίζεται με την λογική CPL.
- Η χρησιμοποίηση **τρανζίστορ μηδενικού-κατωφλίου (zero-threshold transistor)** ή χαμηλής τάσης κατωφλίου για τα τρανζίστορ διέλευσης NMOS, εξαλείφει το μεγαλύτερο μέρος της πτώσης τάσης κατωφλίου και οδηγεί την έξοδο πολύ κοντά στην τάση τροφοδοσίας.
- Τα υπόλοιπα τρανζίστορ που χρησιμοποιούνται στη λογική CPL, υλοποιούνται με τρανζίστορ τυπικής τάσης κατωφλίου.

Η χρησιμοποίηση τρανζίστορ μηδενικού κατωφλίου έχει αρνητική επίδραση στην κατανάλωση ενέργειας, λόγω των ρευμάτων διαρροής που ρέουν μέσω των τρανζίστορ διέλευσης (τα οποία δεν αποκόπτονται) και μπορεί να προκαλέσουν στατική κατανάλωση στα κυκλώματα, δημιουργώντας απευθείας διαδρομές ρεύματος μεταξύ τροφοδοσίας και γείωσης.



# Παράδειγμα 14

Υλοποιούμε της συνάρτηση  $S = A \cdot B \cdot C + A \cdot B' \cdot C' + A' \cdot B' \cdot C + A' \cdot B \cdot C'$ , η οποία υπολογίζει το αριθμητικό άθροισμα των 3 εισόδων  $A, B, C$ , χρησιμοποιώντας λογική τρανζίστορ διέλευσης και έναν αντιστροφέα αποκατάστασης σήματος. Υποθέτουμε ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των εισόδων.

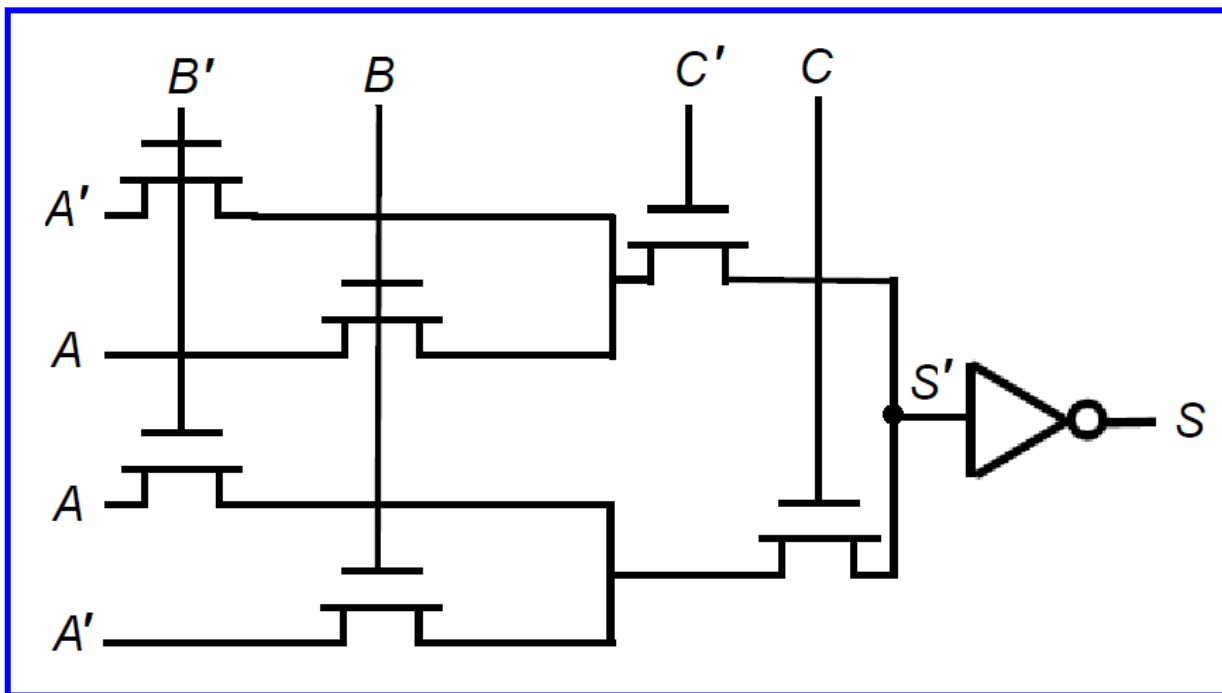
- Λόγω του ότι ζητείται η προσθήκη αντιστροφέα αποκατάστασης σήματος, θα πρέπει να υλοποιήσουμε τη συμπληρωματική συνάρτηση της συνάρτησης που δίνεται. Αφού η συνάρτηση που δίνεται είναι σε μορφή αθροίσματος ελαχιστόρων, η συμπληρωματική συνάρτηση ισούται με το άθροισμα των 4 ελαχιστόρων που απουσιάζουν από τη συνάρτηση, δηλαδή:

$$\begin{aligned} S' &= A' \cdot B' \cdot C' + A' \cdot B \cdot C + A \cdot B' \cdot C + A \cdot B \cdot C' = \\ &= C' \cdot (A' \cdot B' + A \cdot B) + C \cdot (A' \cdot B + A \cdot B'). \end{aligned}$$

- Για την υλοποίηση της συνάρτησης απαιτούνται 4 τρανζίστορ διέλευσης για την υλοποίηση των λογικών γινομένων  $A' \cdot B'$ ,  $A \cdot B$ ,  $A' \cdot B$  και  $A \cdot B'$  με τις εισόδους  $A$  και  $A'$  να είναι είσοδοι στα τρανζίστορ διέλευσης και τις εισόδους  $B$  και  $B'$  να είναι είσοδοι ελέγχου στα τρανζίστορ διέλευσης. Στη συνέχεια, πρέπει να συνδέσουμε παράλληλα ανά 2 τα τρανζίστορ διέλευσης, έτσι ώστε να υλοποιήσουμε τα λογικά αθροίσματα  $A' \cdot B' + A \cdot B$  και  $A' \cdot B + A \cdot B'$ . Τέλος, πρέπει να συνδέσουμε στην έξοδο κάθε ζεύγους παράλληλα συνδεδεμένων τρανζίστορ διέλευσης ένα τρανζίστορ διέλευσης με εισόδους ελέγχου την είσοδο  $C'$  στο πρώτο ζεύγος και την είσοδο  $C$  στο δεύτερο ζεύγος.

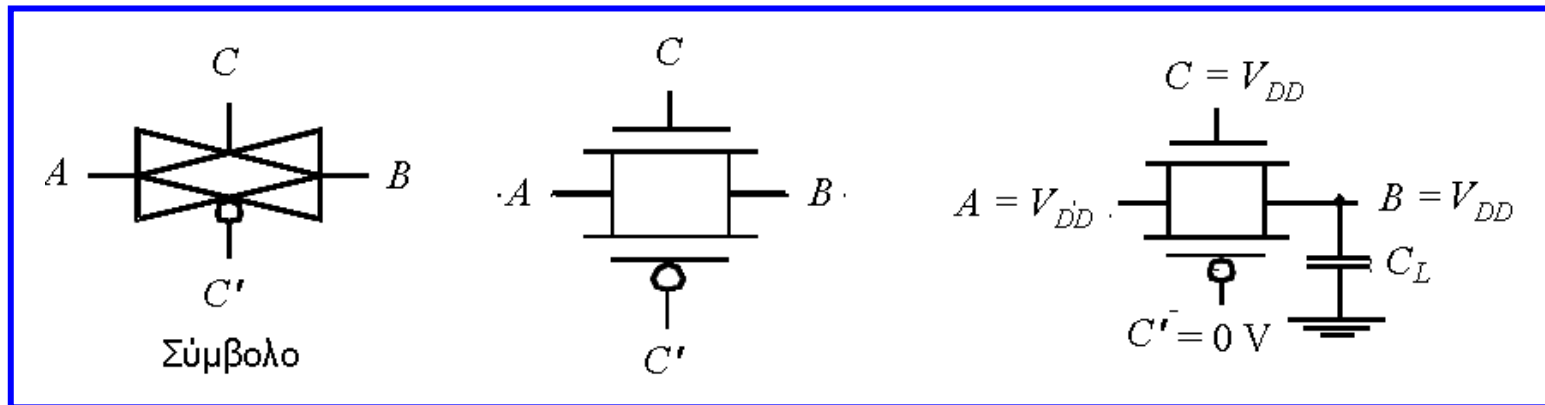
# Παράδειγμα 14

Με βάση τα παραπάνω, η ζητούμενη υλοποίηση έχει ως εξής:



# Λογική πύλης διέλευσης

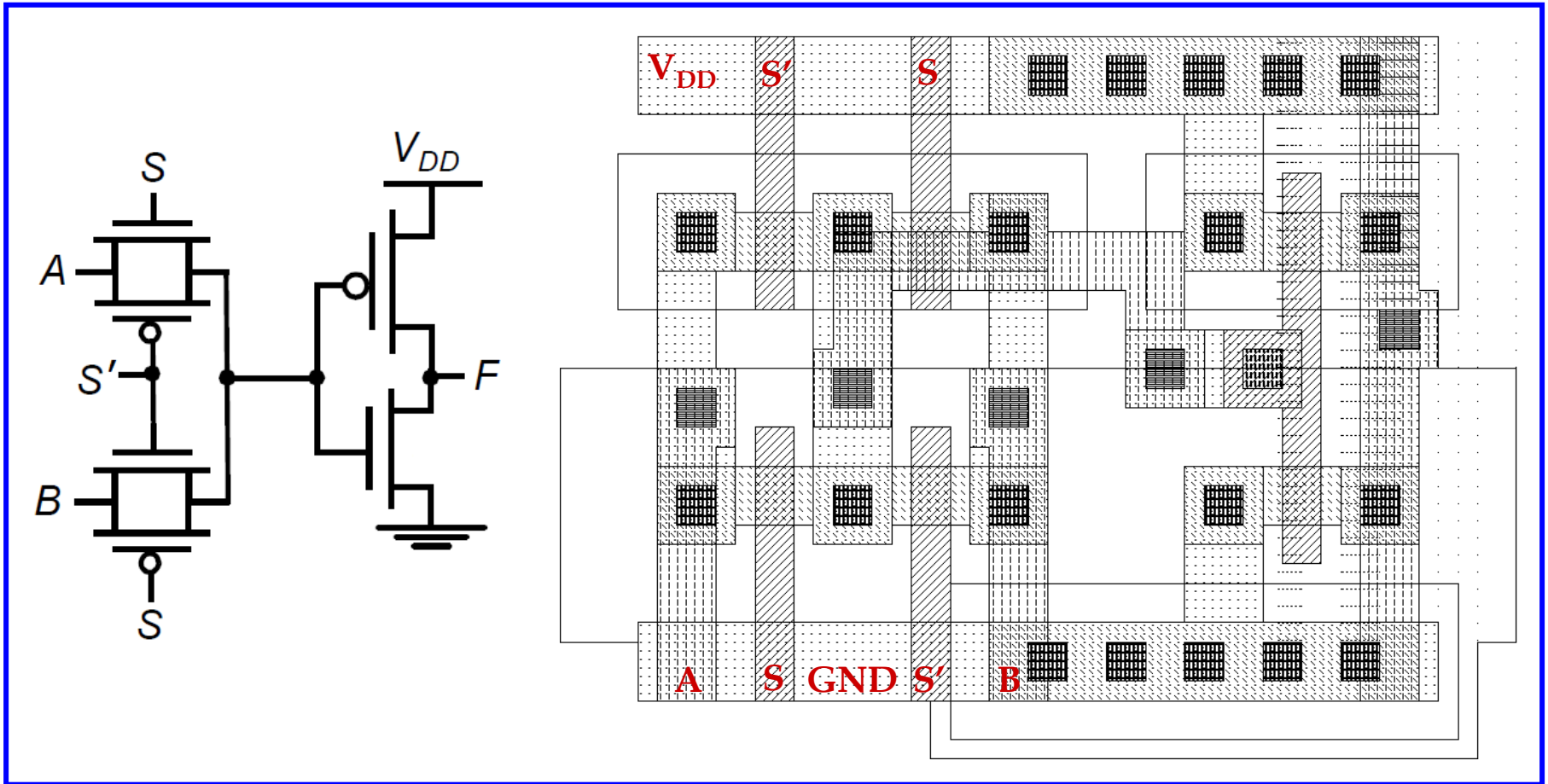
- Η πλέον χρησιμοποιούμενη λύση για την αντιμετώπιση του προβλήματος της πτώσης τάσης κατωφλίου είναι η χρησιμοποίηση **πυλών διέλευσης (transmission gates)**.
- Η λογική βασίζεται στις συμπληρωματικές ιδιότητες των τρανζιστορ NMOS και PMOS: τα NMOS περνούν ισχυρό 0 αλλά ασθενές 1, ενώ τα PMOS περνούν ισχυρό 1 αλλά ασθενές 0.
- Η ιδανική προσέγγιση είναι να χρησιμοποιήσουμε ένα NMOS για οδήγηση της εξόδου στη χαμηλή στάθμη και ένα PMOS για οδήγηση της εξόδου στην υψηλή στάθμη.
- Η πύλη διέλευσης συνδυάζει τις θετικές ιδιότητες των δυο τρανζιστορ, τοποθετώντας ένα τρανζιστορ NMOS παράλληλα με ένα τρανζιστορ PMOS.
- Τα σήματα ελέγχου στην πύλη διέλευσης είναι συμπληρωματικά: όταν  $C = 1$  άγουν και τα δυο τρανζιστορ, επιτρέποντας το σήμα εισόδου να διέλθει μέσω της πύλης ( $A = B$ ), ενώ όταν  $C = 0$  τα τρανζιστορ δεν άγουν με αποτέλεσμα τη δημιουργία ενός ανοιχτού κυκλώματος μεταξύ των A και B.



# Λογική πύλης διέλευσης

Αντιστρέφων πολυπλέκτης 2 σε 1,  $F' = S \cdot A + S' \cdot B$

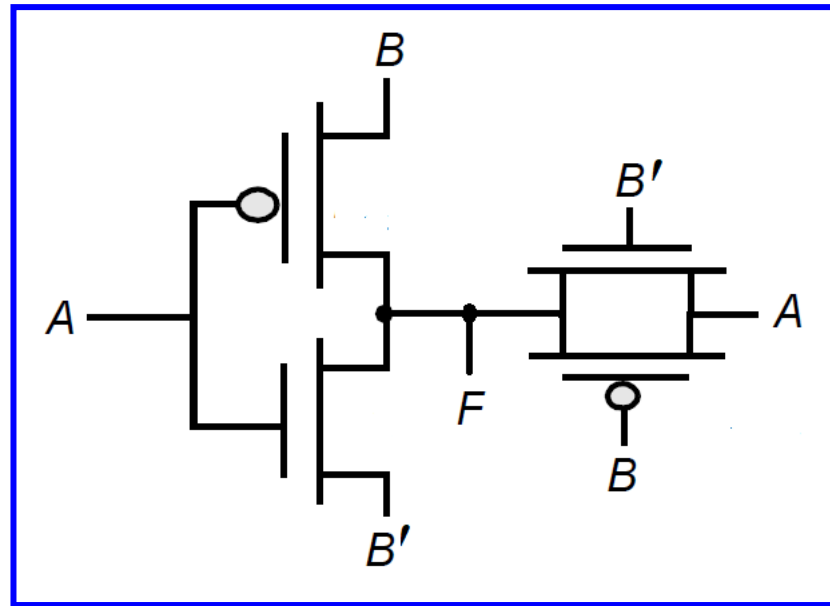
(η αντίστοιχη συμπληρωματική πύλη απαιτεί 8 τρανζίστορ αντί για 6)



# Λογική πύλης διέλευσης

Δημοφιλής **πύλη XOR 2 εισόδων** που βασίζεται σε πύλες διέλευσης και χρησιμοποιείται σε κυκλώματα αθροιστών. Η λογική πύλης διέλευσης χρησιμοποιείται αποδοτικά σε κυκλώματα αθροιστών, πολλαπλασιαστών, καθώς και σε κυκλώματα καταχωρητών.

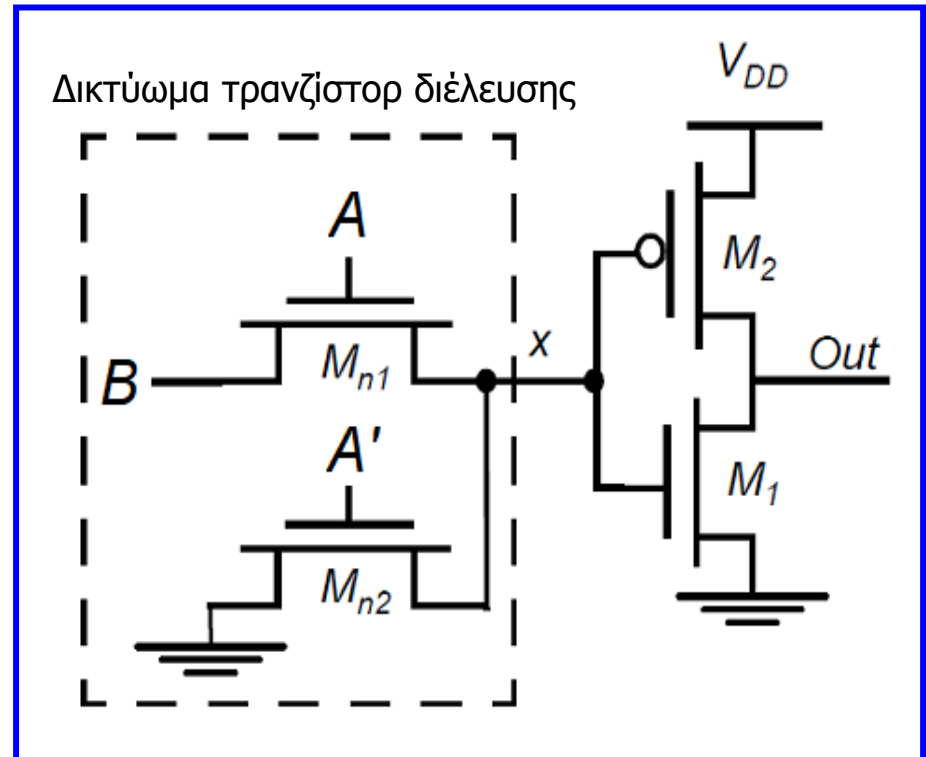
A	B	$F=A\oplus B$
0	0	0
0	1	1
1	0	1
1	1	0



# Παράδειγμα 15

Για το κύκλωμα του διπλανού σχήματος:

- A. Προσδιορίζουμε τη λογική συνάρτηση που υλοποιείται από αυτό.
- B. Διαπιστώνουμε εάν το κύκλωμα καταναλώνει στατική ενέργεια.
- C. Χρησιμοποιώντας ένα τρανζίστορ, βελτιώνουμε το κύκλωμα ώστε να μην καταναλώνει στατική ενέργεια και εξηγούμε το κριτήριο με το οποίο επιλέγουμε το πλάτος του εν λόγω τρανζίστορ, υποθέτοντας ότι το λογικό κατώφλι του αντιστροφέα CMOS του κυκλώματος είναι  $V_{DD} / 2$ .
- D. Υλοποιούμε το ίδιο κύκλωμα με πύλες διέλευσης, υποθέτοντας ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των δύο εισόδων A, B.
- E. Αντικαθιστούμε το δικτύωμα των τρανζίστορ διέλευσης του κυκλώματος που δίνεται με νέο δικτύωμα από τρανζίστορ διέλευσης, έτσι ώστε στον κόμβο x να λαμβάνουμε τη συνάρτηση  $x = A \cdot B \cdot C$ , υποθέτοντας ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των τριών εισόδων A, B και C.



# Παράδειγμα 15

A. Το κύκλωμα υλοποιεί τη συνάρτηση του συμπληρώματος του λογικού γινομένου δύο εισόδων, δηλαδή είναι μια **πύλη NAND με 2 εισόδους**. Αυτό μπορεί να διαπιστωθεί εύκολα, αφού εάν καταγράψουμε σε έναν πίνακα τους τέσσερις συνδυασμούς των εισόδων A και B και υπολογίσουμε την έξοδο του κυκλώματος, προκύπτει ο πίνακας αλήθειας της πύλης NAND 2 εισόδων.

A	B	$(A \cdot B)'$
0	0	1
0	1	1
1	0	1
1	1	0

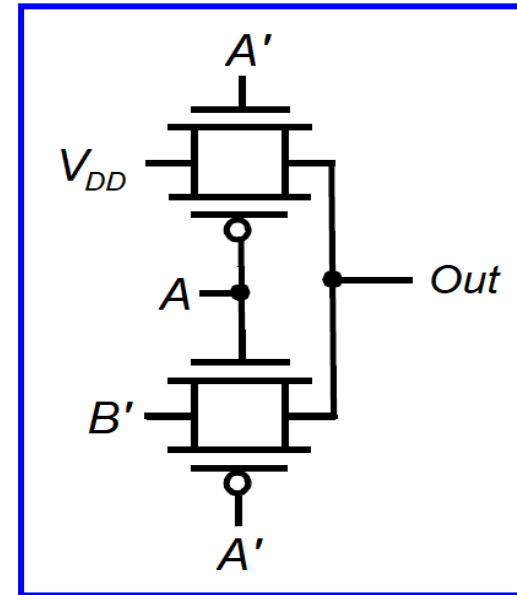
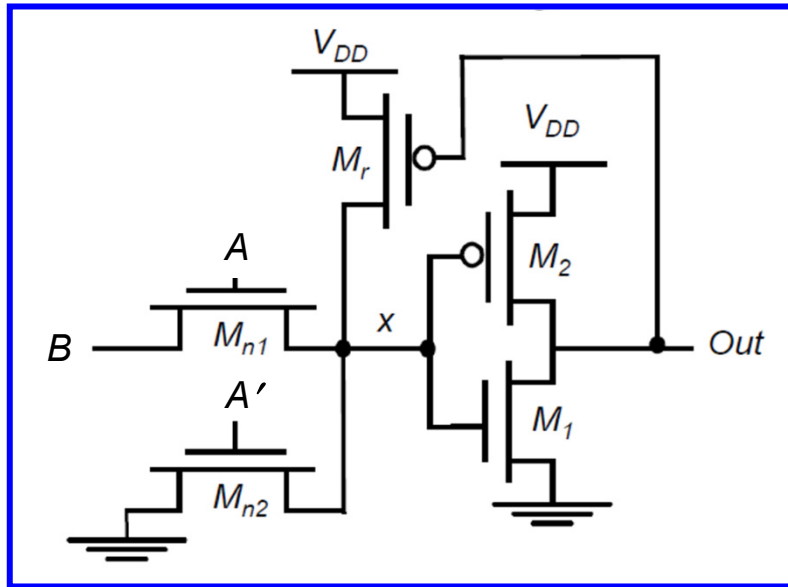
B. Στο κύκλωμα που δίνεται, όταν  $A = B = V_{DD}$ , η τάση του κόμβου x είναι  $V_x = V_{DD} - V_{Tn}$ . Το γεγονός ότι στον κόμβο x η τάση είναι μικρότερη από την τάση τροφοδοσίας, προκαλεί **στατική κατανάλωση ενέργειας στον αντιστροφέα που οδηγείται από το δικτύωμα** των τρανζίστορ διέλευσης, αφού η υποβαθμισμένη υψηλή στάθμη στον κόμβο x, δεν επαρκεί ώστε να αποκόψει πλήρως το τρανζίστορ PMOS του αντιστροφέα.

C. Για να μην καταναλώνει στατική ενέργεια το κύκλωμα, πρέπει να γίνει σε αυτό προσθήκη ενός **τρανζίστορ PMOS με ρόλο αποκαταστάτη στάθμης**. Το βελτιωμένο κύκλωμα παρουσιάζεται στην επόμενη σελίδα.

Το **πλάτος του τρανζίστορ PMOS** που προστέθηκε στο κύκλωμα πρέπει να επιλεγεί, έτσι ώστε όταν μία από τις εισόδους A ή B λαμβάνει τιμή 0, το τρανζίστορ  $M_{n2}$  ή το τρανζίστορ  $M_{n1}$ , αντίστοιχα, να είναι ισχυρότερο ώστε να μπορεί να οδηγήσει τον κόμβο x σε τάση  $V_{DD} / 2$  (λογικό κατώφλι αντιστροφέα) ή μικρότερη, έτσι ώστε να αλλάξει κατάσταση η έξοδος του αντιστροφέα και να διακοπεί η αγωγή του τρανζίστορ PMOS που προσθέσαμε.



# Παράδειγμα 15



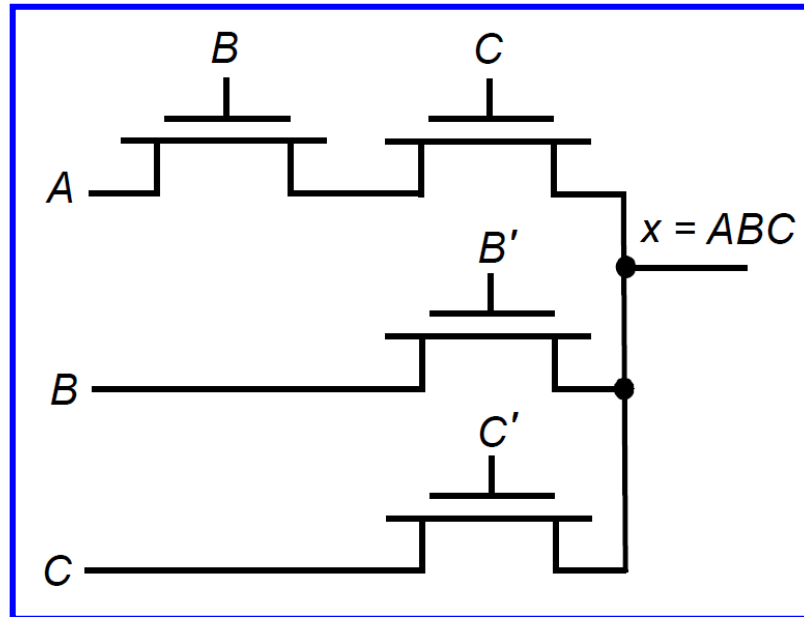
- D. Από τον πίνακα αλήθειας της συνάρτησης, παρατηρούμε ότι όταν  $A = 0$  τότε  $Out = 1$ , ενώ όταν  $A = 1$  τότε  $Out = B'$ .

A	B	$Out = (A \cdot B)'$	
0	0	1	Out = 1
0	1	1	
1	0	1	Out = B'
1	1	0	

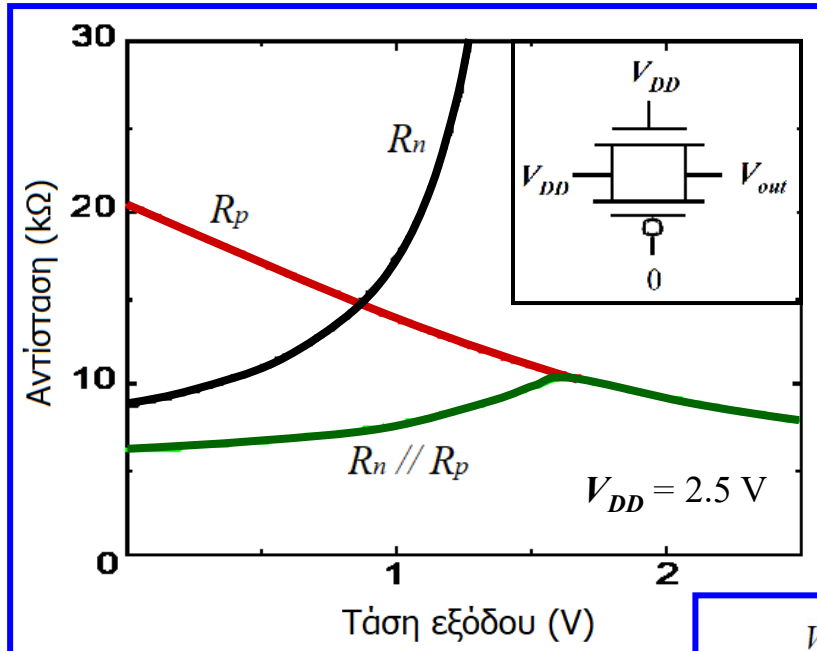
Επομένως, προκύπτει ότι η συνάρτηση μπορεί να υλοποιηθεί με 2 πύλες διέλευσης με εισόδους 1 ( $V_{DD}$ ) και  $B'$  και εισόδους ελέγχου την είσοδο  $A$  και την συμπληρωματική μορφή της  $A'$ .

# Παράδειγμα 15

- E. Μια υλοποίηση της πύλης AND 3 εισόδων με τρανζίστορ διέλευσης (που ουσιαστικά ζητείται) είναι αυτή του σχήματος που ακολουθεί και παράγει το ορθό αποτέλεσμα για όλους τους συνδυασμούς τιμών των τριών εισόδων ( $x = 1$  όταν  $A = B = C = 1$  και  $x = 0$  για όλους τους υπόλοιπους συνδυασμούς τιμών των εισόδων).



# Ισοδύναμη αντίσταση πύλης διέλευσης



$$R_n = \frac{V_{DD} - V_{out}}{I_N} = \frac{V_{DD} - V_{out}}{k'_n \left(\frac{W}{L}\right)_N \left( (V_{DD} - V_{out} - V_{Tn}) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)}$$

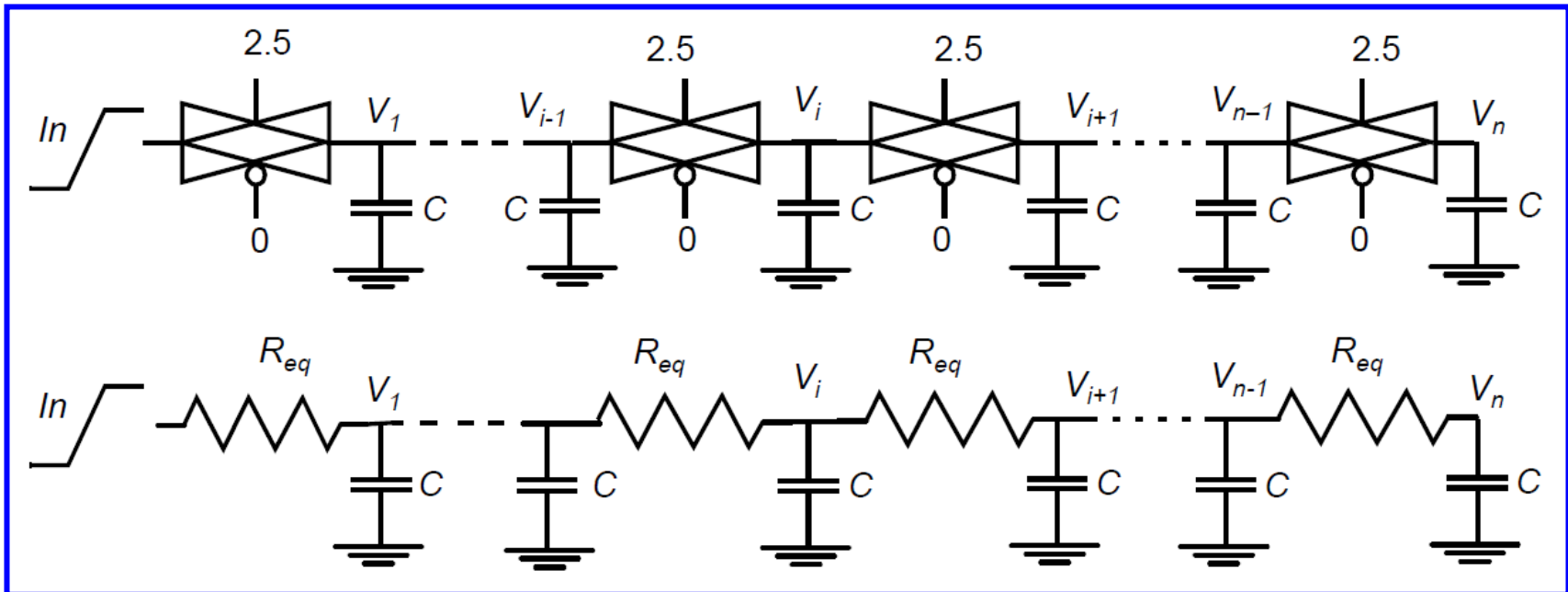
$$\approx \frac{V_{DD} - V_{out}}{k'_n (V_{DD} - V_{out} - V_{Tn}) V_{DSAT}}$$

Η ισοδύναμη αντίσταση της πύλης διέλευσης είναι:  $R_{eq} = R_n // R_p$  και είναι σχετικά σταθερή

$$R_p = \frac{V_{DD} - V_{out}}{I_P} = \frac{V_{DD} - V_{out}}{k_p \cdot \left( (-V_{DD} - V_{Tp})(V_{out} - V_{DD}) - \frac{(V_{out} - V_{DD})^2}{2} \right)}$$

$$\approx \frac{1}{k_p (V_{DD} - |V_{Tp}|)}$$

# Καθυστέρηση αλυσίδας πυλών διέλευσης



- Με βάση τον τύπο καθυστέρησης του Elmore (σελίδα 32), η **καθυστέρηση διάδοσης** μιας αλυσίδας από  $n$  **πύλες διέλευσης** είναι **ανάλογη του  $n^2$**  και δίνεται από τη σχέση:

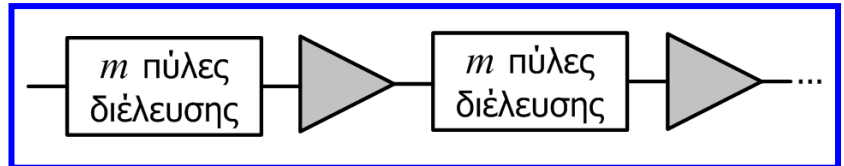
$$t_p = 0.69 \sum_{k=0}^n CR_{eq}k = 0.69CR_{eq} \frac{n(n+1)}{2}$$

- Η χρήση αλυσίδων από πύλες διέλευσης με μεγάλο μήκος σε ένα κύκλωμα, προκαλεί σημαντική αύξηση της καθυστέρησης του κυκλώματος.

# Καθυστέρηση αλυσίδας πυλών διέλευσης

- Η μεγάλη καθυστέρηση της αλυσίδας αντιμετωπίζεται με **διακοπή της αλυσίδας** και **παρεμβολή** ενός **απομονωτή** (απομονωτής = 2 διαδοχικοί αντιστροφείς) μετά από **κάθε τμήμα από  $m$  πύλες διέλευσης**.
- Υποθέτοντας μία καθυστέρηση διάδοσης  $t_{buf}$  για κάθε απομονωτή, η **συνολική καθυστέρηση διάδοσης αλυσίδας και απομονωτών**, δίνεται από την ακόλουθη σχέση:

$$t_p = 0.69 \left[ CR_{eq} \frac{n(m+1)}{2} \right] + \left( \frac{n}{m} - 1 \right) t_{buf}$$



- Η καθυστέρηση που προκύπτει παρουσιάζει γραμμική εξάρτηση ως προς τον αριθμό των πυλών διέλευσης ( $n$ ), σε αντίθεση με το κύκλωμα χωρίς τους απομονωτές, το οποίο παρουσιάζει τετραγωνική εξάρτηση.
- Το βέλτιστο πλήθος  $m_{opt}$  των πυλών διέλευσης μεταξύ των απομονωτών μπορεί να βρεθεί εξισώνοντας την παράγωγο της καθυστέρησης αλυσίδας με 0:

$$m_{opt} = 1.7 \cdot \sqrt{t_{buf} / (C \cdot R_{eq})}$$

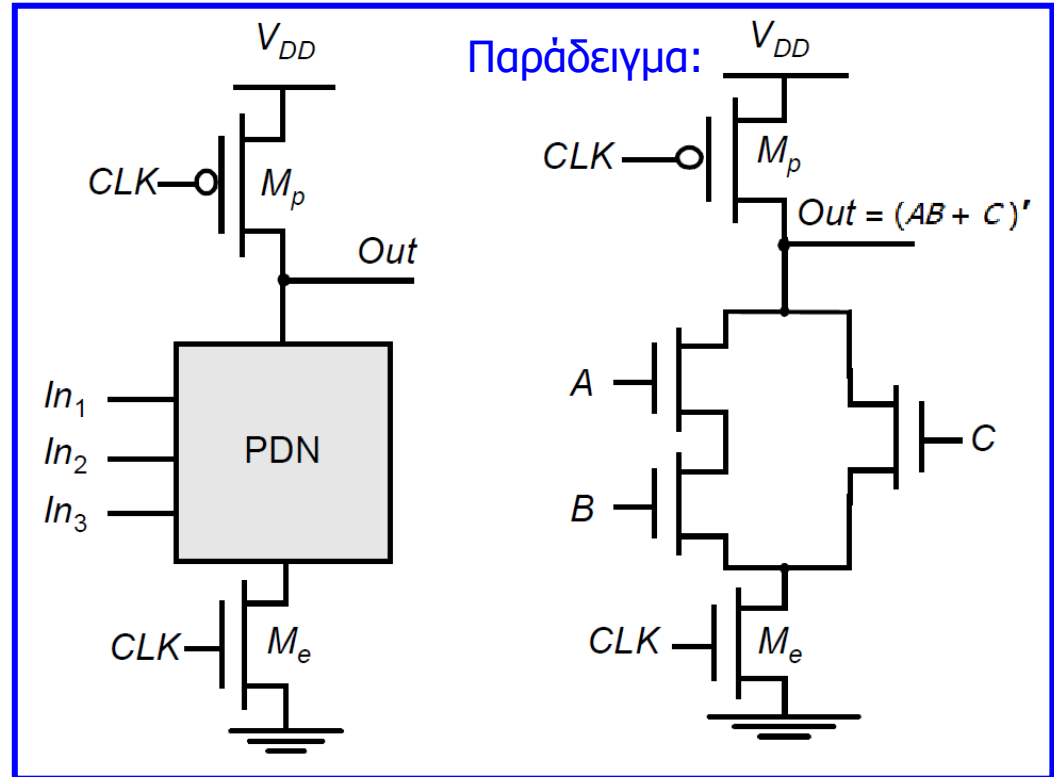
- Ο αριθμός των πυλών διέλευσης ανά τμήμα αυξάνεται με αύξηση της καθυστέρησης  $t_{buf}$ . Στις σύγχρονες τεχνολογίες η τιμή του  $m_{opt}$  είναι 3 ή 4.

# Δυναμική λογική CMOS

- Η συμπληρωματική λογική CMOS για την υλοποίηση λογικής συνάρτησης με  $N$  μεταβλητές (εισόδους) απαιτεί  $2 \cdot N$  τρανζίστορ, ενώ έχουν προταθεί άλλες στατικές λογικές για τη μείωση του πλήθους των τρανζίστορ.
- Η λογική ψεύδο-NMOS απαιτεί μόνο  $N+1$  τρανζίστορ για την υλοποίηση μίας λογικής πύλης με  $N$  εισόδους, αλλά δυστυχώς παρουσιάζει στατική κατανάλωση ενέργειας, ανταγωνισμό στις μεταβάσεις καθόδου και μη μηδενική τάση  $V_{OL}$ .
- Τα κυκλώματα **δυναμικής λογικής (dynamic logic)** αντιπαρέρχονται τα μειονεκτήματα αυτά, επιτυγχάνοντας μειωμένο πλήθος τρανζίστορ για την υλοποίηση λογικών συναρτήσεων, μέσω της **προσθήκης μιας εισόδου ρολογιού** (ακολουθία παλμών) και της υιοθέτησης μιας ακολουθίας **δύο φάσεων λειτουργίας**: φάση **προφόρτισης (precharge)** και **φάση υπολογισμού (evaluation)**.
- Για την **οδήγηση της εξόδου προς την τάση τροφοδοσίας** χρησιμοποιεί ένα **χρονισμένο τρανζίστορ PMOS προφόρτισης** (τροφοδότηση του ακροδέκτη πύλης του τρανζίστορ με το σήμα ρολογιού), αντί για το τρανζίστορ PMOS σε ρόλο φορτίου που χρησιμοποιείται στη λογική ψεύδο-NMOS και άγει διαρκώς.
- Το δικτύωμα PDN μιας δυναμικής πύλης υλοποιείται ακριβώς όπως στην συμπληρωματική λογική CMOS.
- Η φάση (κατάσταση) λειτουργίας των δυναμικών πυλών καθορίζεται από την τιμή του σήματος ρολογιού.

# Δυναμική λογική CMOS

- **Φάση προφόρτισης:** όταν  $CLK = 0$ , η έξοδος οδηγείται στην τάση τροφοδοσίας μέσω του  $M_p$ .
- Κατά τη διάρκεια της προφόρτισης, το τρανζίστορ  $M_e$  (που αναφέρεται και ως «πόδι», foot) δεν άγει με αποτέλεσμα η διαδρομή που περιλαμβάνει το δικτύωμα PDN να είναι απενεργοποιημένη.
- Λόγω του «ποδιού», κατά την προφόρτιση δεν καταναλώνεται στατική ενέργεια, αφού δεν υφίσταται διαδρομή ρεύματος από την τροφοδοσία προς τη γείωση.



- **Φάση υπολογισμού:** όταν  $CLK = 1$ , το τρανζίστορ προφόρτισης  $M_p$  δεν άγει ενώ το «πόδι» άγει και η έξοδος εκφορτίζεται υπό συνθήκη, ανάλογα με τις τιμές των εισόδων και την τοπολογία του δικτύωματος PDN.
- Εάν οι εισοδοί είναι τέτοιες ώστε το δικτύωμα PDN να άγει, δημιουργείται μία διαδρομή μεταξύ της εξόδου και της γείωσης και η έξοδος εκφορτίζεται, ενώ εάν το δικτύωμα PDN δεν άγει, η τιμή προφόρτισης μένει αποθηκευμένη στον κόμβο (χωρητικότητα) εξόδου.

# Δυναμική λογική CMOS

- Κατά τη διάρκεια της φάσης υπολογισμού, η μόνη δυνατή διαδρομή μεταξύ της εξόδου και των γραμμών τροφοδοσίας και γείωσης, είναι προς τη γείωση.
- Συνεπώς, εάν η έξοδος εκφορτιστεί, δεν μπορεί να φορτιστεί ξανά μέχρι την επόμενη λειτουργία προφόρτισης.
- Έτσι, οι είσοδοι της πύλης μπορούν να προκαλέσουν μία μόνο μετάβαση κατά τη διάρκεια της φάσης υπολογισμού.
- Το **πλήθος των τρανζίστορ** που απαιτείται για την υλοποίηση μιας δεδομένης λογικής συνάρτησης με  **$N$  μεταβλητές (εισόδους)** είναι  **$N + 2$**  (μικρότερη επιφάνεια από τις αντίστοιχες συμπληρωματικές στατικές πύλες).
- Η δυναμική λογική δεν εξαρτάται από το λόγο των μεγεθών των τρανζίστορ (**non-ratioed**), αφού το πλάτος του τρανζίστορ προφόρτισης δεν επηρεάζει την λειτουργικότητα της πύλης.
- Το τρανζίστορ προφόρτισης μπορεί να έχει μεγάλο πλάτος για να βελτιωθεί ο χρόνος προφόρτισης, ωστόσο αυτό αυξάνει την κατανάλωση ενέργειας που σχετίζεται με το σήμα ρολογιού.
- Μια πύλη δυναμικής λογικής καταναλώνει **μόνο δυναμική ενέργεια**, αφού δεν εμφανίζεται διαδρομή στατικού ρεύματος μεταξύ της τροφοδοσίας και της γείωσης.
- Η **συνολική κατανάλωση ενέργειας** είναι ωστόσο **μεγαλύτερη** συγκρινόμενη με εκείνη των αντίστοιχων στατικών πυλών, **λόγω αυξημένης δραστηριότητας μεταβάσεων**.



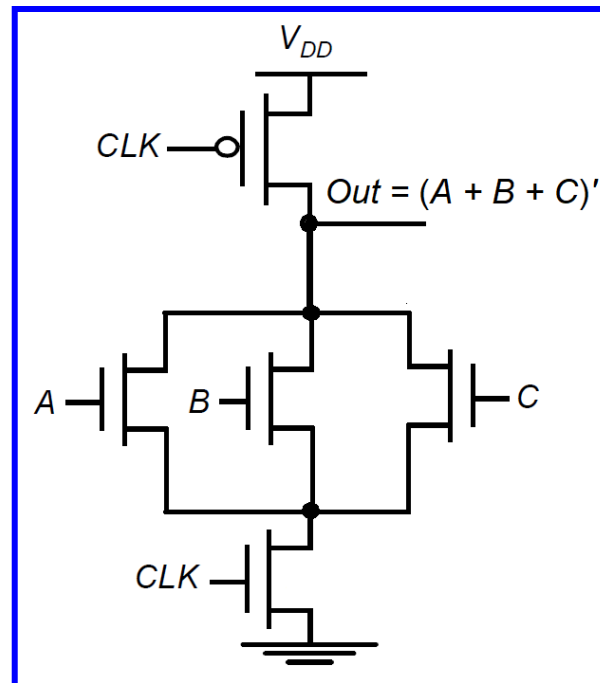
# Δυναμική λογική CMOS

- Οι **δυναμικές πύλες** είναι **ταχύτερες** από τις στατικές, για δύο λόγους:
  - ✓ Ο πρώτος λόγος είναι η **μειωμένη χωρητικότητα φορτίου** λόγω του μικρότερου πλήθους τρανζίστορ ανά πύλη και του ότι η χωρητικότητα ανά είσοδο (ή ανά φόρτο εισόδου) συνίσταται στη χωρητικότητα ενός μόνο τρανζίστορ (**μειωμένη λογική προσπάθεια δυναμικών πυλών**).
  - ✓ Ο δεύτερος λόγος είναι ότι οι δυναμικές πύλες **δεν παρουσιάζουν ρεύμα βραχυκυκλώματος** (το οποίο ανταγωνίζεται την εκφόρτιση της εξόδου) και όλο το ρεύμα του δικτύωματος PDN συμβάλλει στην εκφόρτιση της χωρητικότητας φορτίου.
- Η χαμηλή και υψηλή στάθμη εξόδου  $V_{OL}$  και  $V_{OH}$  είναι ίσες με **0** και **τάση τροφοδοσίας**, αντίστοιχα και δεν εξαρτώνται από τα μεγέθη των τρανζίστορ.
- Για να είναι λειτουργική μία δυναμική πύλη απαιτείται μία περιοδική ακολουθία προφορτίσεων και υπολογισμών.
- Κατά τη διάρκεια της φάσης υπολογισμού, το δικτύωμα PDN (τρανζίστορ NMOS) ενός δυναμικού αντιστροφέα αρχίζει να άγει όταν το σήμα εισόδου υπερβεί την τάση κατώφλιου του, με αποτέλεσμα την έναρξη αλλαγής κατάστασης της πύλης (δηλαδή,  $V_M = V_{Tn}$ ).
- Επειδή δεν υπάρχει το τρανζίστορ PMOS που υπήρχε στον στατικό αντιστροφέα και με αύξηση του πλάτους του αυξανόταν το κατώφλι μετάβασης ( $V_M$ ), ο δυναμικός αντιστροφέας παρουσιάζει **χαμηλή τιμή περιθωρίου θορύβου  $NM_L$** .

# Παράδειγμα 16

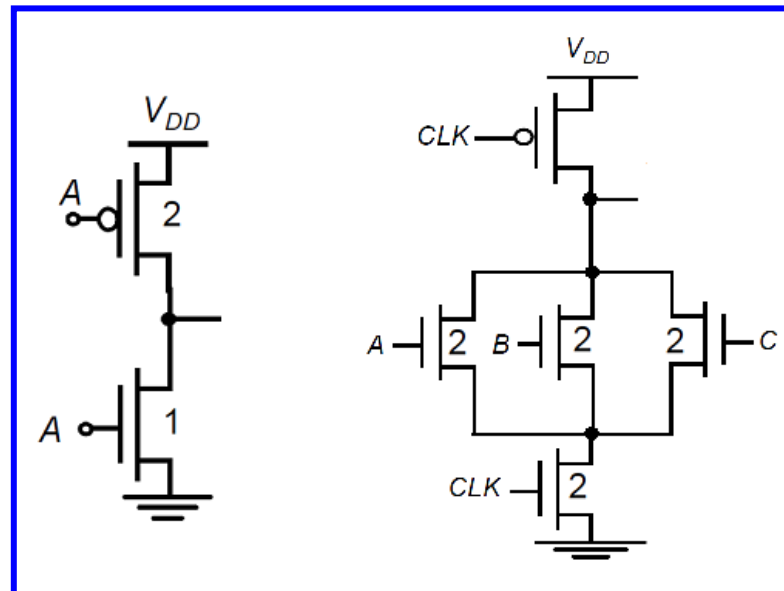
- Σχεδιάζουμε μία δυναμική πύλη NOR με τρεις εισόδους.
- Υπολογίζουμε τη λογική προσπάθεια της πύλης που σχεδιάσαμε και την συγκρίνουμε με τη λογική προσπάθεια της αντίστοιχης στατικής συμπληρωματικής πύλης CMOS.
- Υπολογίζουμε την πιθανότητα να συμβεί μετάβαση που οδηγεί σε κατανάλωση χωρητικής ενέργειας της πύλης που σχεδιάσαμε και τη συγκρίνουμε με την αντίστοιχη πιθανότητα της αντίστοιχης στατικής συμπληρωματικής πύλης CMOS, υποθέτοντας ότι οι εισοδοί των πυλών είναι ανεξάρτητες και ομοιόμορφα κατανομημένες.

Η δυναμική πύλη NOR τριών εισόδων έχει ως εξής:



# Παράδειγμα 16

- Η **λογική προσπάθεια** μιας λογικής πύλης ερμηνεύεται ως το πόσο μεγαλύτερη ή μικρότερη χωρητικότητα εισόδου πρέπει να διαθέτει η πύλη, έτσι ώστε να παράξει το ίδιο ρεύμα εξόδου με έναν στατικό αντιστροφέα CMOS αναφοράς (με  $W_p / W_n = 2$ )
- Πριν τον υπολογισμό της λογικής προσπάθειας της δυναμικής πύλης που σχεδιάσαμε θα πρέπει να καθορίσουμε το πλάτος των τρανζίστορ της, ώστε η ισοδύναμη αντίσταση της να ισούται με την αντίσταση του στατικού αντιστροφέα.
- Το τρανζίστορ προφόρτισης PMOS δεν επηρεάζει τη λογική προσπάθεια της πύλης και επιλέγεται συνήθως να έχει μοναδιαία αντίσταση, αφού η προφόρτιση γίνεται όταν η πύλη είναι ανενεργή, χωρίς να επιδιώκεται υψηλή ταχύτητα.



# Παράδειγμα 16

- Η συνολική χωρητικότητα εισόδου ενός στατικού αντιστροφέα ελάχιστου μεγέθους είναι τριπλάσια της χωρητικότητας πύλης ενός ελάχιστου μεγέθους NMOS τρανζίστορ ( $C_{unit}$ ).
- Η συνολική χωρητικότητα κάθε εισόδου της δυναμικής πύλης NOR 3 εισόδων είναι  $2 \cdot C_{unit}$  ή  $2/3$  της χωρητικότητας εισόδου του αντιστροφέα. Συνεπώς:  $g = 2/3$ .
- Η πύλη αυτή είναι κατά 1.5 ( $3/2$ ) φορές ικανότερη στην παραγωγή ρεύματος εξόδου (ικανότητα οδήγησης) από έναν αντιστροφέα με ίση χωρητικότητα εισόδου.
- Η λογική προσπάθεια της δυναμικής NOR είναι ανεξάρτητη από το πλήθος εισόδων.
- Σύμφωνα με όσα αναφέρθηκαν στις σελίδες 50-52, μια στατική συμπληρωματική πύλη NOR τριών εισόδων, παρουσιάζει λογική προσπάθεια ίση με  $7/3$ .
- Η σύγκριση των δύο λογικών προσπαθειών καταλήγει στο ότι οι δυναμικές πύλες είναι πιο γρήγορες από τις στατικές συμπληρωματικές πύλες.
- Στις στατικές πύλες μεγάλο μέρος της χωρητικότητας εισόδου οφείλεται στα πιο αργά τρανζίστορ PMOS και οδηγεί σε αυξημένη λογική προσπάθεια.
- Οι δυναμικές πύλες NOR έχουν μικρότερη λογική προσπάθεια από τις πύλες NAND (λόγω των σειριακών τρανζίστορ των NAND), ενώ στις στατικές πύλες συμβαίνει το αντίθετο.
- Το γεγονός αυτό μαζί με το ότι η λογική προσπάθεια των δυναμικών πυλών NOR είναι ανεξάρτητη από το πλήθος των εισόδων, είναι σημαντικοί λόγοι για χρήση μεγάλων δυναμικών πυλών NOR, έναντι άλλου τύπου δυναμικών πυλών, όπου αυτό είναι δυνατό.

# Παράδειγμα 16

- Στις λογικές πύλες η μετάβαση που οδηγεί σε κατανάλωση χωρητικής ενέργειας είναι η μετάβαση από την χαμηλή στην υψηλή στάθμη ( $0 \rightarrow 1$ ).
- Σε μια δυναμική πύλη, συμβαίνει μετάβαση της εξόδου από τη χαμηλή στην υψηλή στάθμη κατά τη διάρκεια της φάσης προφόρτισης, μόνο εάν η έξοδος είχε εκφορτιστεί κατά τη διάρκεια της προηγούμενης φάσης υπολογισμού.
- Έτσι, η πιθανότητα να συμβεί μετάβαση εξόδου από τη χαμηλή στην υψηλή στάθμη, σε μια δυναμική πύλη είναι:

$$\alpha_{0 \rightarrow 1} = p_0$$

όπου  $p_0$  είναι η πιθανότητα η τάση εξόδου να είναι σε χαμηλή στάθμη.

- Επομένως, για εισόδους ανεξάρτητες και ομοιόμορφα κατανοημένες, η πιθανότητα μετάβασης για μια δυναμική πύλη με  $N$  εισόδους, είναι:

$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N}$$

όπου  $N_0$  είναι ο αριθμός των μηδενικών στη στήλη εξόδου του πίνακα αλήθειας της πύλης.

- Για μια δυναμική πύλη NOR 3 εισόδων:  $\alpha_{0 \rightarrow 1} = 7 / 2^3 = 7 / 8 = 0.875$ .

# Παράδειγμα 16

- Για τις στατικές συμπληρωματικές πύλες CMOS, η πιθανότητα μετάβασης  $0 \rightarrow 1$  είναι η πιθανότητα  $p_0$  η έξοδος να είναι σε κατάσταση 0 σε έναν κύκλο, πολλαπλασιαζόμενη με την πιθανότητα  $p_1$  η έξοδος να είναι σε κατάσταση 1 στον επόμενο κύκλο:

$$\alpha_{0 \rightarrow 1} = p_0 \cdot p_1 = p_0 \cdot (1 - p_0)$$

- Επομένως, για ανεξάρτητες εισόδους και ομοιόμορφα κατανομημένες, η πιθανότητα μετάβασης από τη χαμηλή στην υψηλή στάθμη, σε μια στατική πύλη με  $N$  εισόδους είναι:

$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N} = \frac{N_0 \cdot (2^N - N_0)}{2^{2N}}$$

όπου  $N_0$  είναι ο αριθμός των 0, και  $N_1$  είναι ο αριθμός των 1 στη στήλη εξόδου του πίνακα αλήθειας της λογικής πύλης.

- Για μια στατική συμπληρωματική πύλη NOR 3 εισόδων:

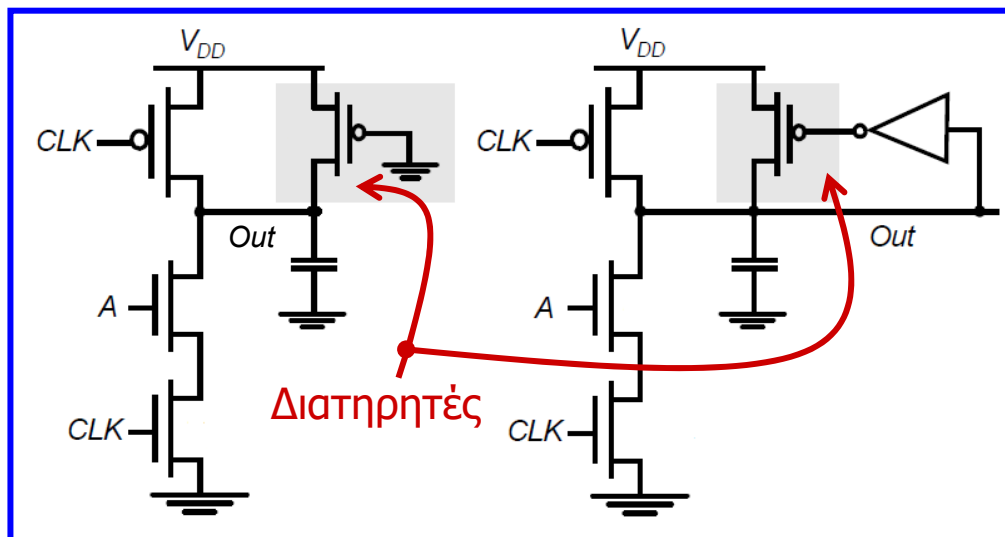
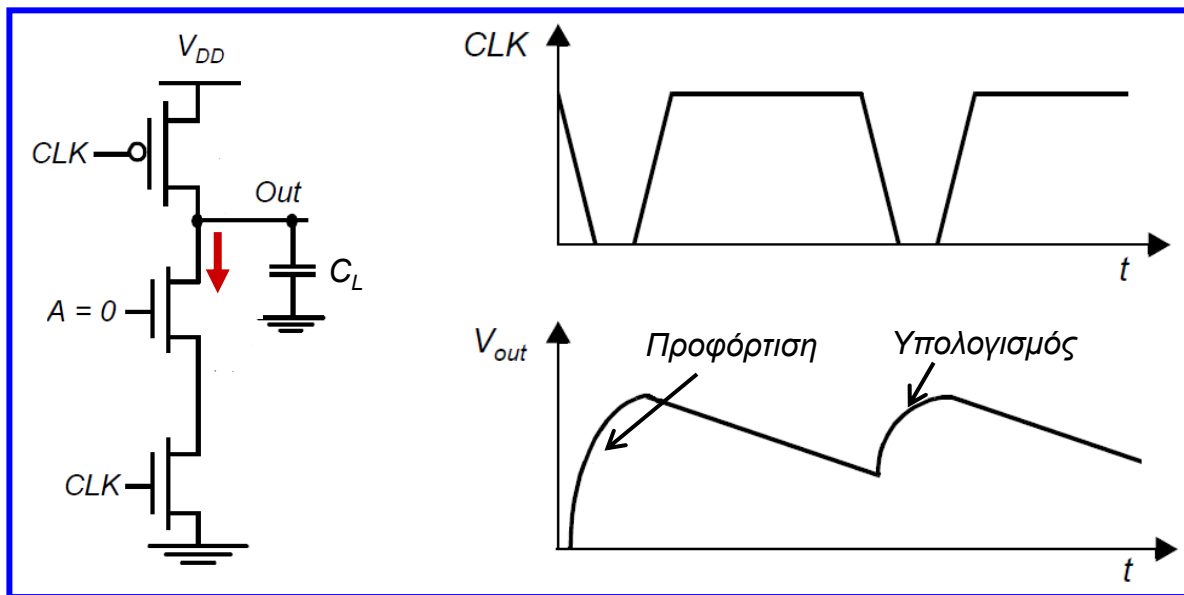
$$\alpha_{0 \rightarrow 1} = 7 \cdot (2^3 - 7) / 2^{2 \cdot 3} = 7 / 64 = 0.11 .$$

- Προκύπτει ότι η πιθανότητα μετάβασης στην στατική πύλη είναι πολύ μικρότερη.
- Η δραστηριότητα μετάβασης μιας δυναμικής πύλης είναι γενικά υψηλότερη από εκείνη μιας αντίστοιχης στατικής πύλης, ωστόσο οι δυναμικές πύλες έχουν μικρότερη φυσική χωρητικότητα.

# Διαρροή φορτίου στην δυναμική λογική CMOS

- Η λειτουργία μίας δυναμικής πύλης βασίζεται στην αποθήκευση της τιμής εξόδου στη χωρητικότητα εξόδου.
- Εάν το δικτύωμα PDN δεν άγει, η έξοδος θα πρέπει να παραμείνει στην προφορτιζόμενη κατάσταση (ίση με την τάση τροφοδοσίας), κατά τη διάρκεια της φάσης υπολογισμού.
- Ωστόσο, **το φορτίο αυτό βαθμιαία διαρρέει λόγω των ρευμάτων διαρροής** (υποκατωφλίου και ανάστροφα πολωμένων επαφών υποδοχής-υποστρώματος), με αποτέλεσμα τη **μείωση της τάσης εξόδου με την πάροδο του χρόνου**, καταλήγοντας σε προβληματική λειτουργία της πύλης.
- Η συμπεριφορά αυτή καθιστά μη ελκυστική τη χρήση δυναμικών πυλών για κυκλώματα χαμηλής συχνότητας (αργής λειτουργίας).
- Το πρόβλημα της διαρροής μπορεί να αντιμετωπιστεί με την προσθήκη ενός τρανζίστορ PMOS με ρόλο **διατηρητή (keeper) ή τροφοδότη (bleeder)**, το οποίο αντισταθμίζει το φορτίο που χάνεται λόγω των διαδρομών διαρροής.
- Ο διατηρητής θα πρέπει να έχει επαρκές πλάτος ώστε να μπορεί να αντισταθμίσει τα ρεύματα διαρροής, αλλά το μεγάλο πλάτος οδηγεί σε στατική κατανάλωση ενέργειας και σε αύξηση της καθυστέρησης.
- Συχνά, ο διατηρητής υλοποιείται σε σχηματισμό ανατροφοδότησης, ώστε να εξαλείφεται η στατική κατανάλωση ενέργειας.

# Διαρροή φορτίου στην δυναμική λογική CMOS



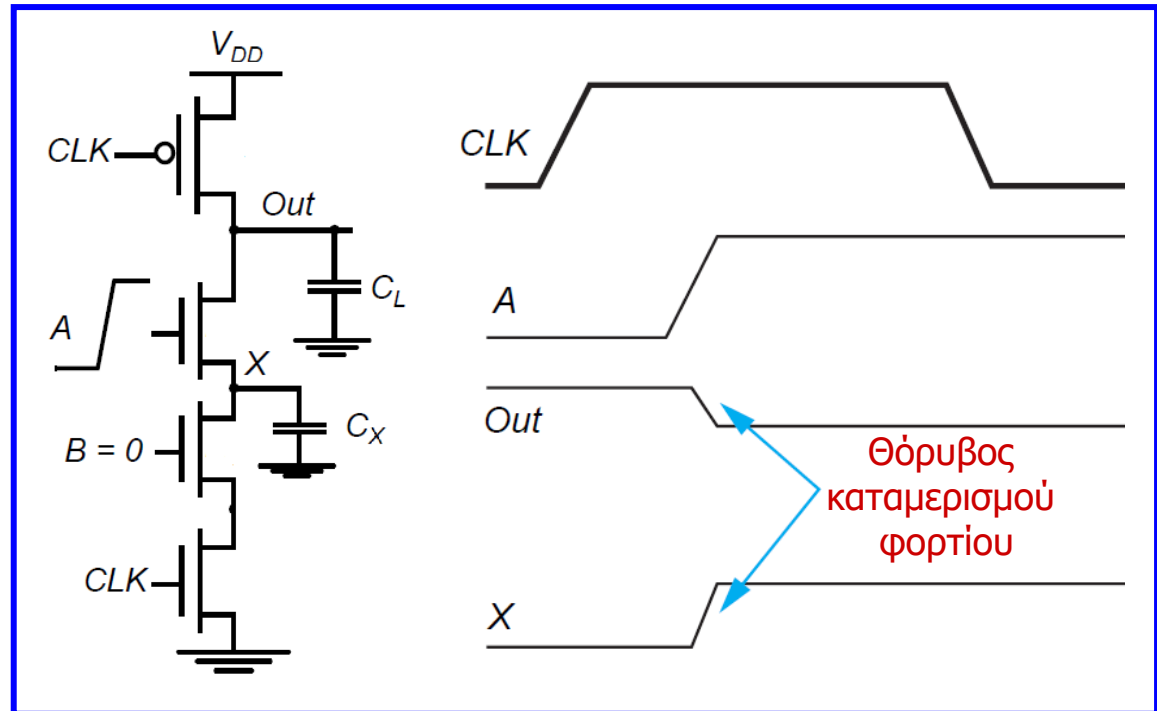


# Καταμερισμός φορτίου στην δυναμική λογική CMOS

- Στις δυναμικές πύλες παρουσιάζονται προβλήματα, τα οποία σχετίζονται με τον **καταμερισμό φορτίου (charge sharing)**.
- Για **παράδειγμα** σε μια δυναμική πύλη NAND 2 εισόδων, όταν κατά την προφόρτιση οι είσοδοι έχουν τιμή 0 και η χωρητικότητα στον κόμβο X είναι εκφορτισμένη, εάν κατά τον υπολογισμό η είσοδος A μεταβεί από τη χαμηλή στην υψηλή στάθμη και η είσοδος B παραμείνει στη χαμηλή στάθμη, το αρχικό φορτίο της  $C_L$  καταμερίζεται στις  $C_L$  και  $C_X$ .
- Σχηματίζεται χωρητικός διαιρέτης τάσης και οι τάσεις ισοσταθμίζονται με αποτέλεσμα την μείωση της τάσης εξόδου.

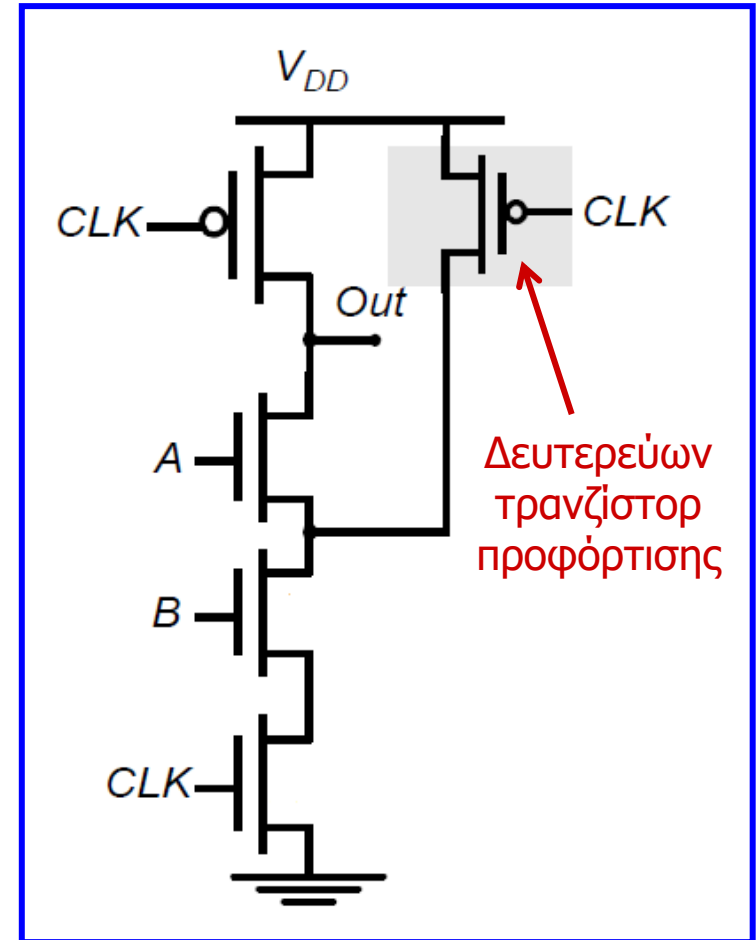
$$V_X = V_{out} = \frac{C_L}{(C_L + C_X)} \cdot V_{DD}$$

- Εάν ο θόρυβος καταμερισμού είναι μικρός, ο διατηρητής αποκαθιστά την τάση εξόδου.
- Ωστόσο, όταν η χωρητικότητα εξόδου είναι μικρή και η εσωτερική χωρητικότητα είναι μεγάλη, ο καταμερισμός φορτίου καθίσταται σοβαρό πρόβλημα.



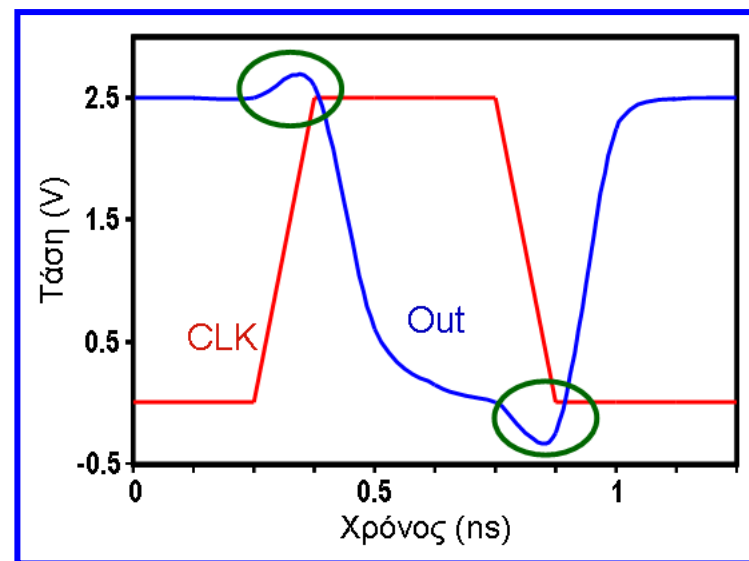
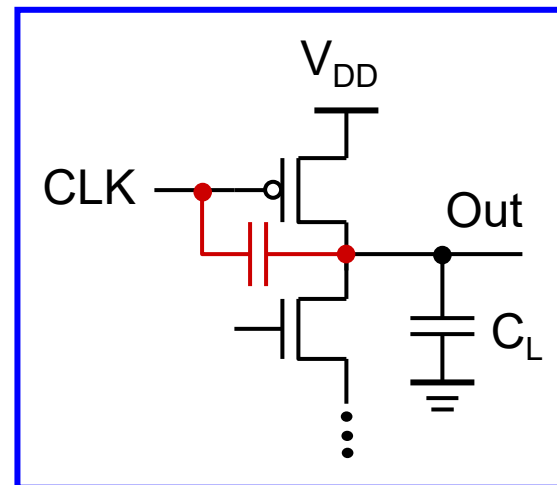
# Καταμερισμός φορτίου στην δυναμική λογική CMOS

- Ο καταμερισμός φορτίου μπορεί να αντιμετωπιστεί με την **προφόρτιση στην τάση τροφοδοσίας μερικών ή όλων των εσωτερικών κόμβων**.
- Αυτό επιτυγχάνεται με **προσθήκη δευτερευόντων τρανζίστορ προφόρτισης**.
- Αφού οι εσωτερικοί κόμβοι φορτίζονται στην τάση τροφοδοσίας κατά την προφόρτιση, δεν συμβαίνει καταμερισμός φορτίου κατά τη φάση του υπολογισμού.
- Τα δευτερεύοντα τρανζίστορ προφόρτισης θα πρέπει να έχουν μικρό πλάτος, αφού ρόλος τους είναι μόνο η φόρτιση των σχετικά μικρών εσωτερικών χωρητικοτήτων και η χωρητικότητα διάχυσής τους καθυστερεί την φάση υπολογισμού.
- Συνήθως, αρκεί να προφορτίζεται κάθε δεύτερος κόμβος στο κύκλωμα.



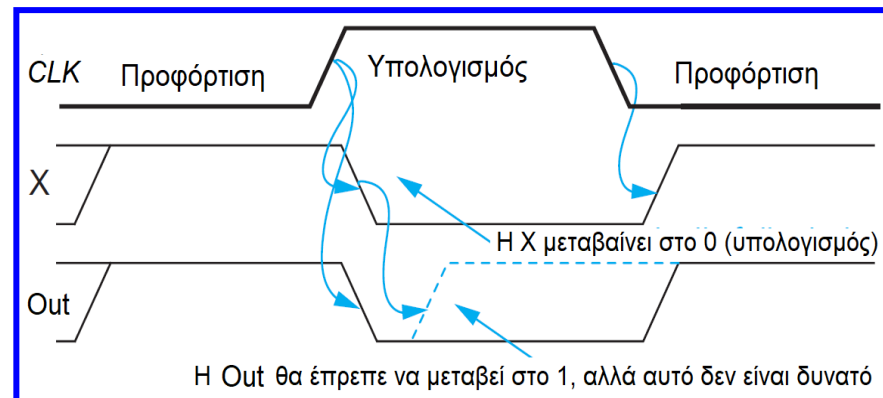
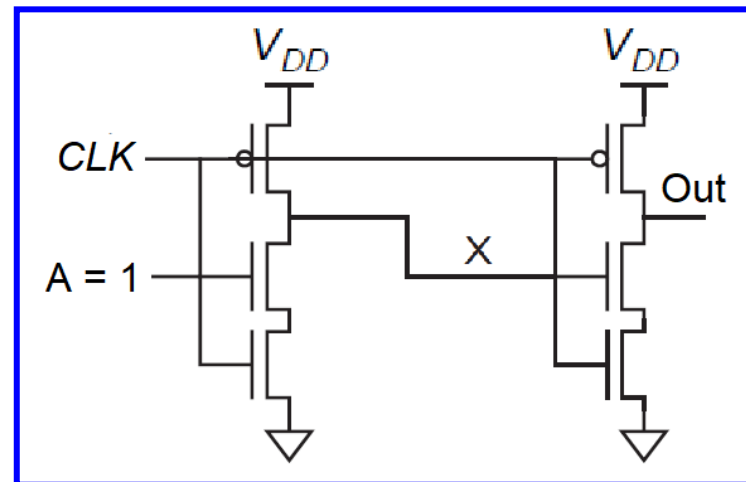
# Χωρητική σύζευξη εισόδου ρολογιού & εξόδου πύλης

- Λόγω της χωρητικότητας πύλης-υποδοχής του τρανζίστορ προφόρτισης, δημιουργείται χωρητική σύζευξη μεταξύ της εισόδου ρολογιού και της εξόδου της πύλης (**τροφοδότηση ρολογιού, clock feedthrough**).
- Αυτό έχει ως αποτέλεσμα, κατά τη γρήγορη μετάβαση του σήματος ρολογιού από την χαμηλή στην υψηλή στάθμη, η τάση εξόδου να υπερβαίνει την τάση τροφοδοσίας, ενώ κατά την αντίστροφη μετάβαση του σήματος ρολογιού, η τάση εξόδου να λαμβάνει αρνητικές τιμές.
- Οι υπερβάσεις αυτές, διαρκούν όσο και η μετάβαση του σήματος ρολογιού, και μπορούν να οδηγήσουν την επαφή υποδοχής-υποστρώματος του τρανζίστορ προφόρτισης σε ορθή πόλωση (από τη φυσιολογική ανάστροφη), με αποτέλεσμα την έγχυση ηλεκτρονίων (ροή ρεύματος) στο υπόστρωμα, τα οποία μπορούν να συλληχθούν από γειτονικό κόμβο, προκαλώντας διαταραχή στην τάση του και ενδεχομένως λανθασμένη λειτουργία του κυκλώματος.
- Το φαινόμενο πρέπει να παραμένει σε επιτρεπτά όρια.



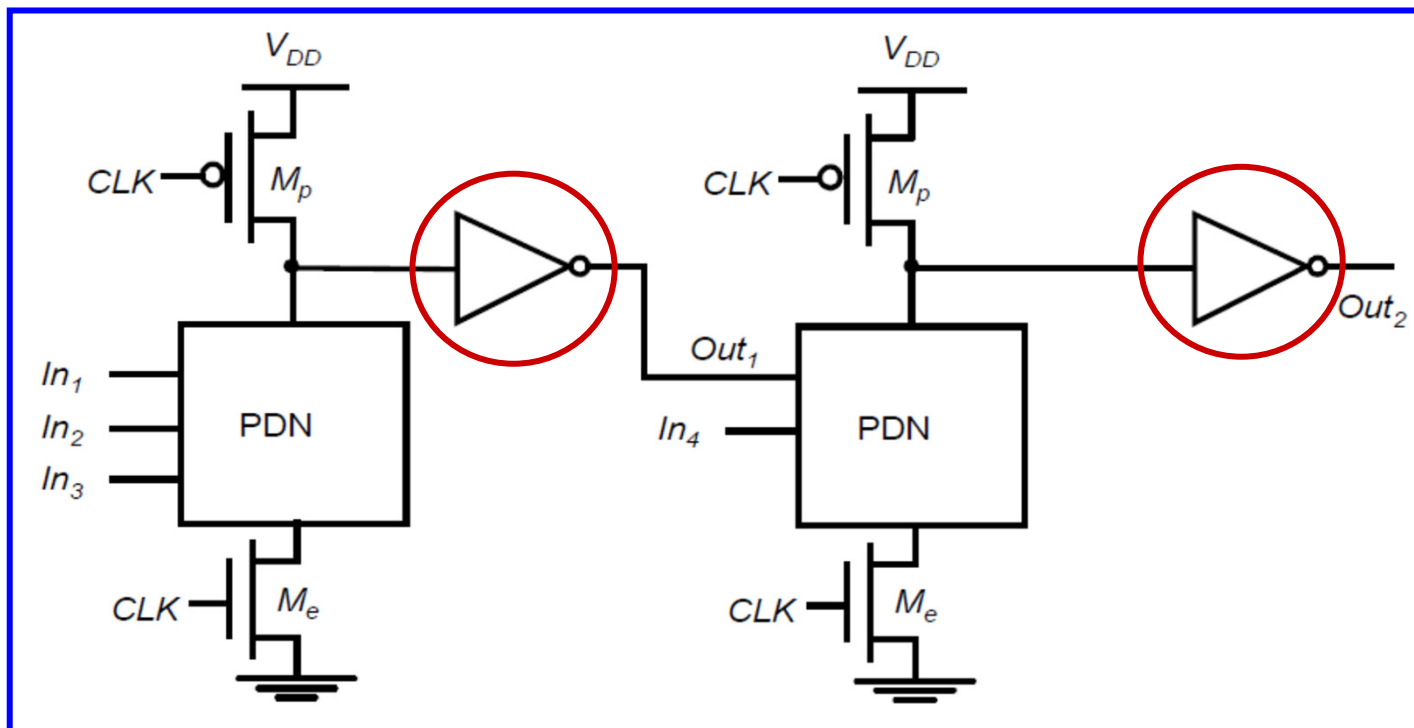
# Τοποθέτηση δυναμικών πυλών σε σειρά

- Η **άμεση** σύνδεση δυναμικών πυλών σε σειρά παρουσιάζει λειτουργικά προβλήματα.
- Κατά τη διάρκεια της φάσης υπολογισμού, οι έξοδοι πρέπει να μεταβαίνουν στην υψηλή στάθμη.
- Αυτό σημαίνει ότι οι εισοδοι μπορεί να είναι αρχικά σε χαμηλή στάθμη και να μεταβούν σε υψηλή, να είναι σε υψηλή στάθμη και να παραμείνουν σε αυτή, αλλά δεν μπορούν να είναι σε υψηλή στάθμη και να μεταβούν σε χαμηλή.
- Σε έναν δυναμικό αντιστροφέα, κατά την προφόρτιση η έξοδος οδηγείται σε υψηλή στάθμη και όταν  $CLK = 1$ , η είσοδος είναι σε υψηλή στάθμη και η έξοδος μεταβαίνει σε χαμηλή στάθμη.
- Εάν κατόπιν η είσοδος μεταβεί στη χαμηλή στάθμη, η έξοδος παραμένει στη χαμηλή στάθμη, ενώ για ορθή λειτουργία αντιστροφέα θα έπρεπε να μεταβεί στην υψηλή στάθμη.
- Οι **είσοδοι** λοιπόν **πρέπει να μεταβαίνουν από 0 σε 1**, για να υπολογίσει μια πύλη τη σωστή συνάρτηση.



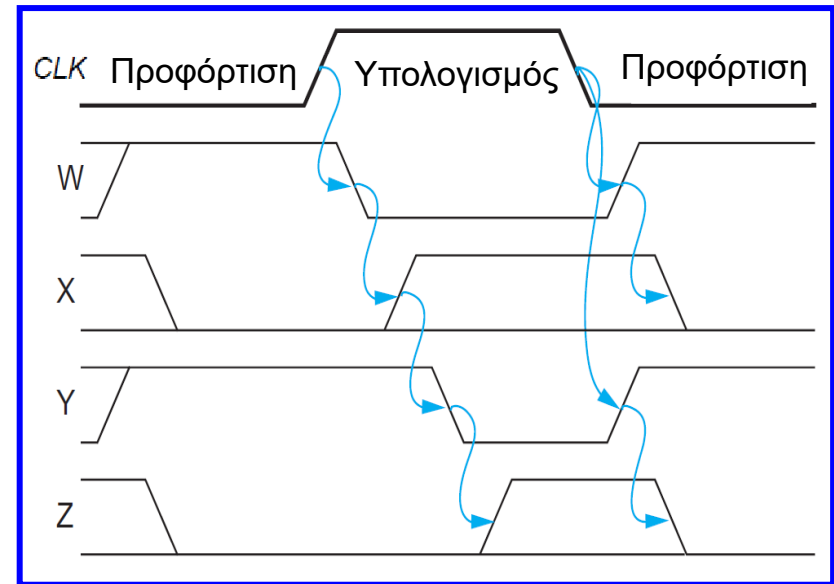
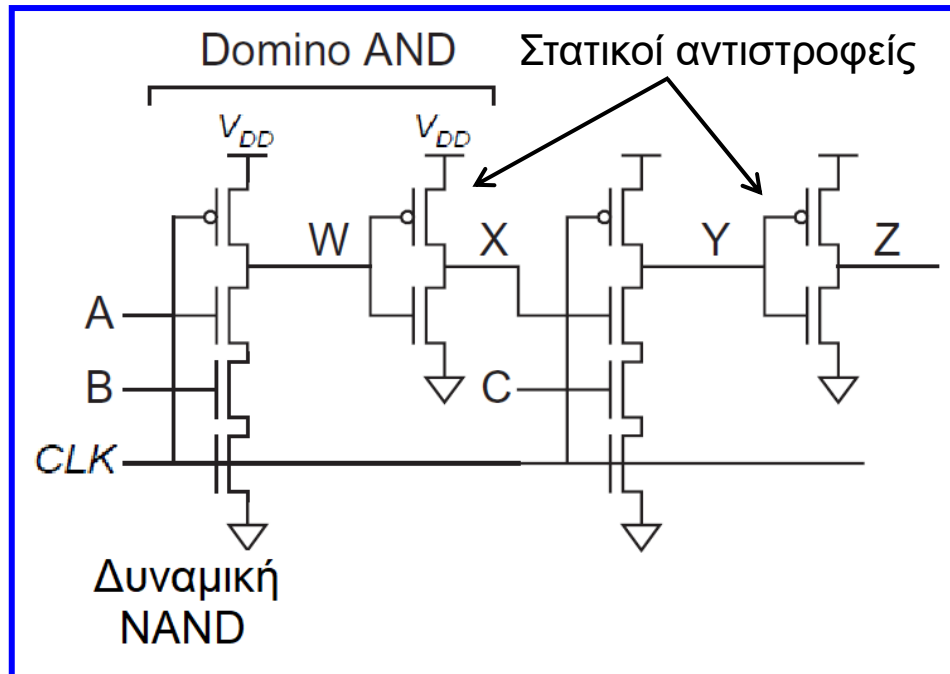
# Δυναμική λογική διαδοχικής επίδρασης (domino)

- Το πρόβλημα λειτουργίας που παρουσιάζουν οι δυναμικές πύλες σε άμεση σύνδεση, μπορεί να λυθεί με την **παρεμβολή ενός στατικού αντιστροφέα CMOS** ανάμεσα στις δυναμικές πύλες.
- Η διάταξη αυτή αναφέρεται ως **λογική διαδοχικής επίδρασης** ή **λογική domino**, επειδή η προφόρτιση μοιάζει με το στήσιμο μιας σειράς από πλακίδια domino, ενώ η φάση υπολογισμού ενεργοποιεί τις πύλες (διαδοχικά, η προηγούμενη την επόμενη), περίπου όπως η πτώση των πλακιδίων domino.



# Δυναμική λογική διαδοχικής επίδρασης (domino)

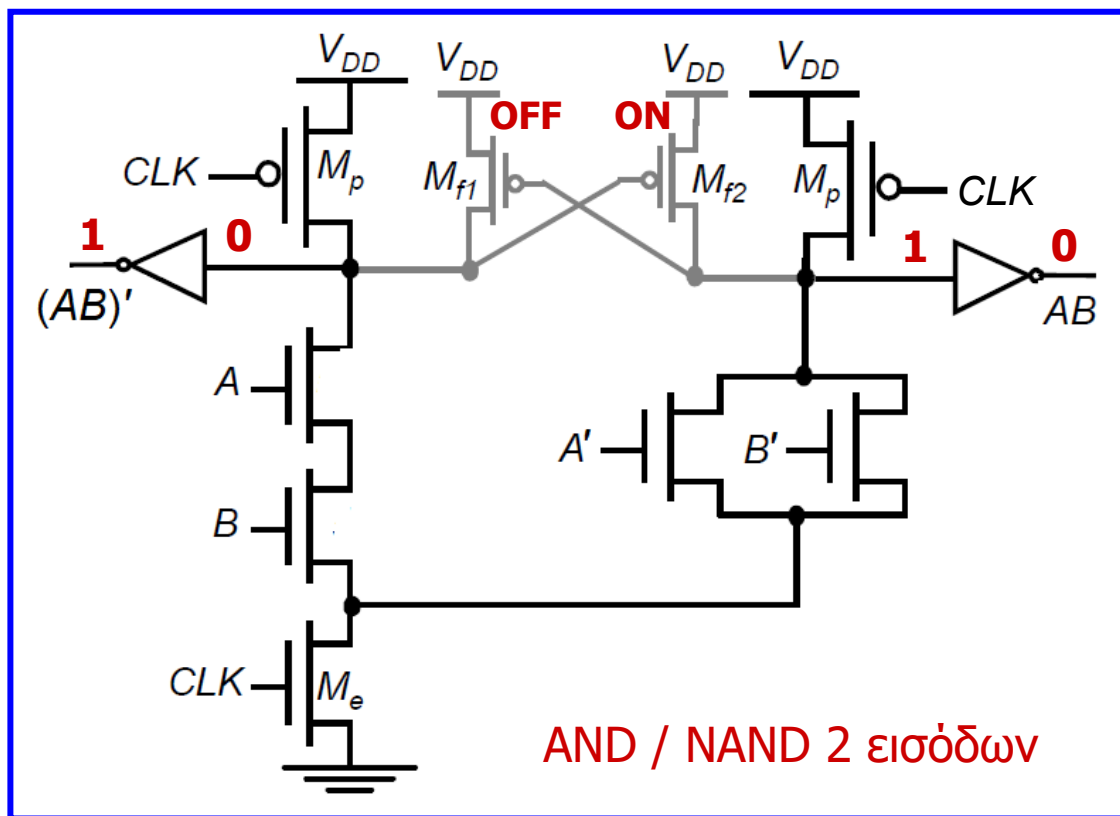
- Η **προφόρτιση** γίνεται **παράλληλα**, ενώ ο **υπολογισμός** γίνεται **διαδοχικά**.
- Επειδή κατά τον υπολογισμό η δυναμική έξοδος μεταβαίνει μόνο από την υψηλή στη χαμηλή στάθμη, ο στατικός αντιστροφέας CMOS μεταβαίνει μόνο από την χαμηλή στην υψηλή στάθμη, ευνοώντας τη μετάβαση της εξόδου από τη χαμηλή στην υψηλή στάθμη.
- Με τη λογική domino μπορούν να επιτευχθούν μεγάλες ταχύτητες, αφού υπάρχει μόνο ένας τύπος καθυστέρησης (για μετάβαση εξόδου από τη χαμηλή στην υψηλή στάθμη), ενώ ο άλλος τύπος καθυστέρησης ( $t_{pHL}$ ) ισούται με 0.



# Διαφορική λογική domino

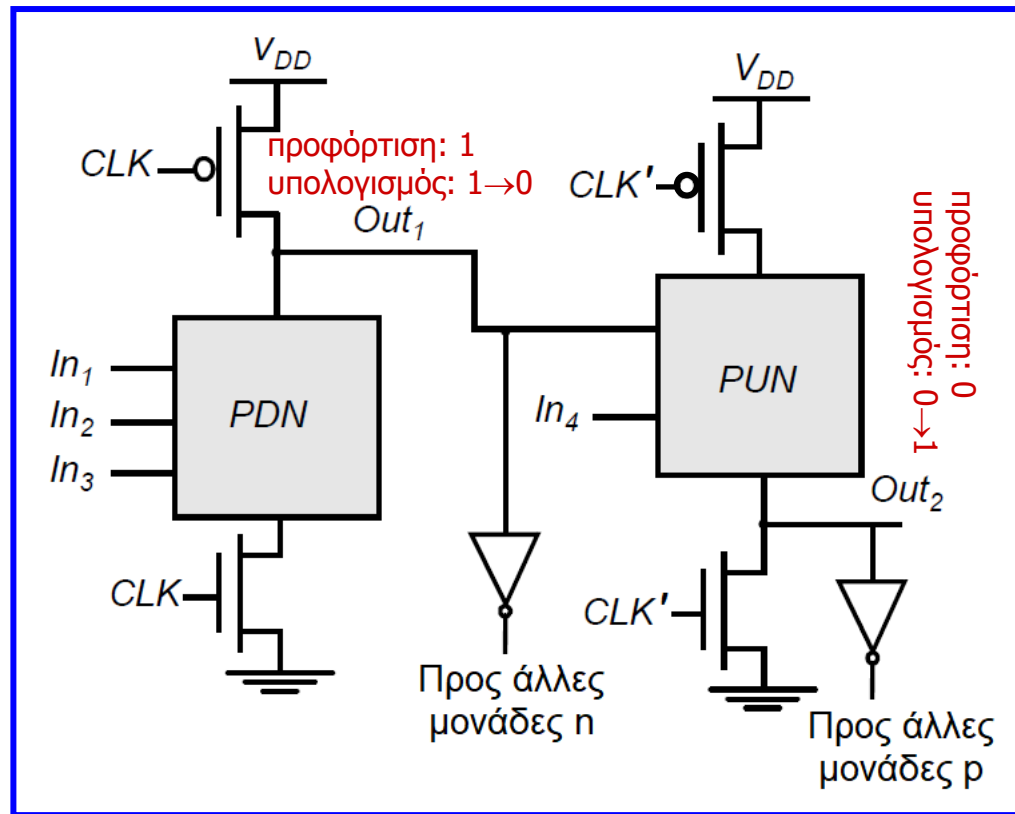
- Οι **πύλες λογικής domino** είναι από τη φύση τους **μη-αντιστρέφουσες** (non-inverting).
- Ο περιορισμός αυτός ξεπερνιέται με χρήση της **διαφορικής λογικής domino** (differential domino logic).
- Η λογική αυτή παρουσιάζει ομοιότητες με την λογική DCVSL, αλλά χρησιμοποιεί τρανζίστορ προφόρτισης αντί για απλά διασταυρούμενα φορτία-PMOS.
- Ο ρόλος των τρανζίστορ  $M_{f1}$  και  $M_{f2}$ , είναι να διατηρήσουν την τιμή των εξόδων όταν το σήμα ρολογιού παραμένει σε υψηλή στάθμη για μεγάλο χρονικό διάστημα.

Οι εισοδοί έρχονται από άλλες διαφορικές πύλες domino, είναι σε χαμηλή στάθμη κατά την προφόρτιση και μεταβαίνουν από 0 σε 1 κατά τον υπολογισμό.



# Λογική ηρ-CMOS

- Μια **εναλλακτική** προσέγγιση για την **σειριακή σύνδεση δυναμικών πυλών** είναι η **λογική ηρ-CMOS**.
- Η λογική αυτή χρησιμοποιεί 2 μονάδες δυναμικής λογικής: **μονάδα n** με δικτύωμα PDN (NMOS) και **μονάδα p** με δικτύωμα PUN (PMOS) χωρίς τη χρήση ενδιάμεσου αντιστροφέα.
- Τα δικτύωμα PDN ελέγχεται από το CLK, ενώ το δικτύωμα PUN ελέγχεται από το CLK'.
- Στις εισόδους της μονάδας n επιτρέπονται μόνο μεταβάσεις από 0 σε 1, ενώ στις εισόδους της μονάδας p επιτρέπονται μεταβάσεις από 1 σε 0.
- Κατά την προφόρτιση (CLK = 0) η Out<sub>1</sub> οδηγείται στην τάση τροφοδοσίας, ενώ η Out<sub>2</sub> σε τάση 0.
- Για τη σύνδεση μεταξύ μονάδων ίδιου τύπου απαιτούνται αντιστροφείς.



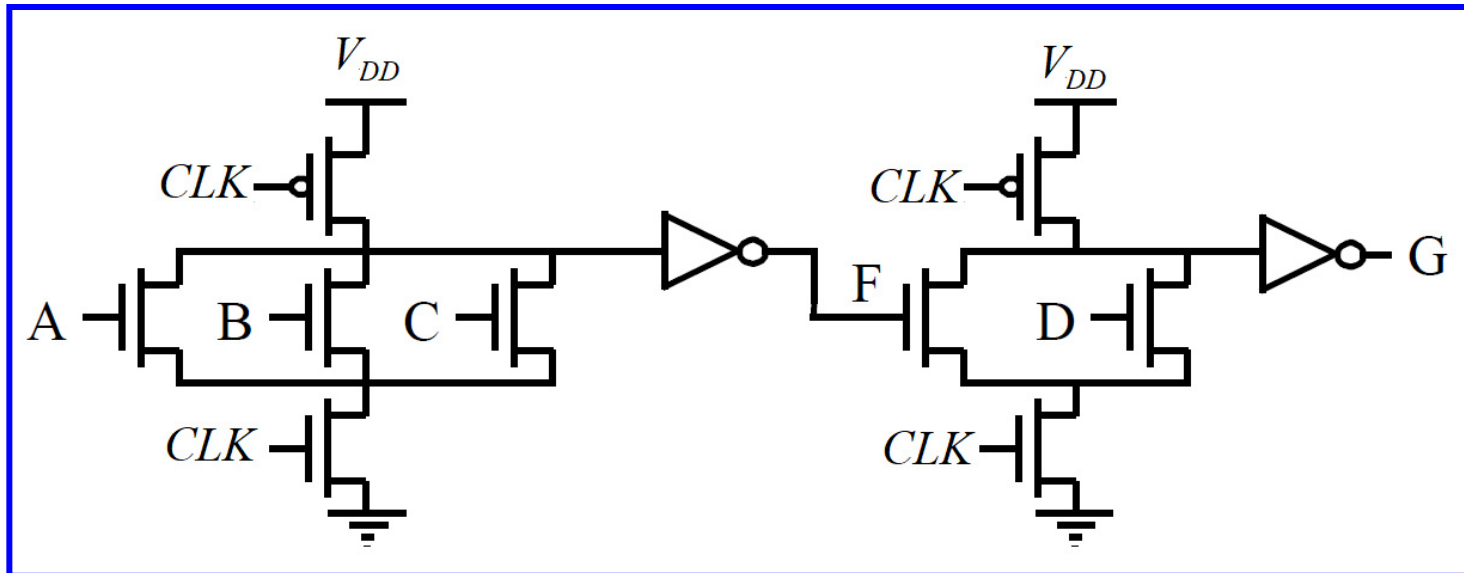


# Παράδειγμα 17

Υλοποιούμε τις λογικές συναρτήσεις  $F = A + B + C$  και  $G = A + B + C + D$  αρχικά ως διαδοχικές δυναμικές πύλες και στη συνέχεια χρησιμοποιώντας λογική nr-CMOS, υποθέτοντας ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των εισόδων A, B, C και D.

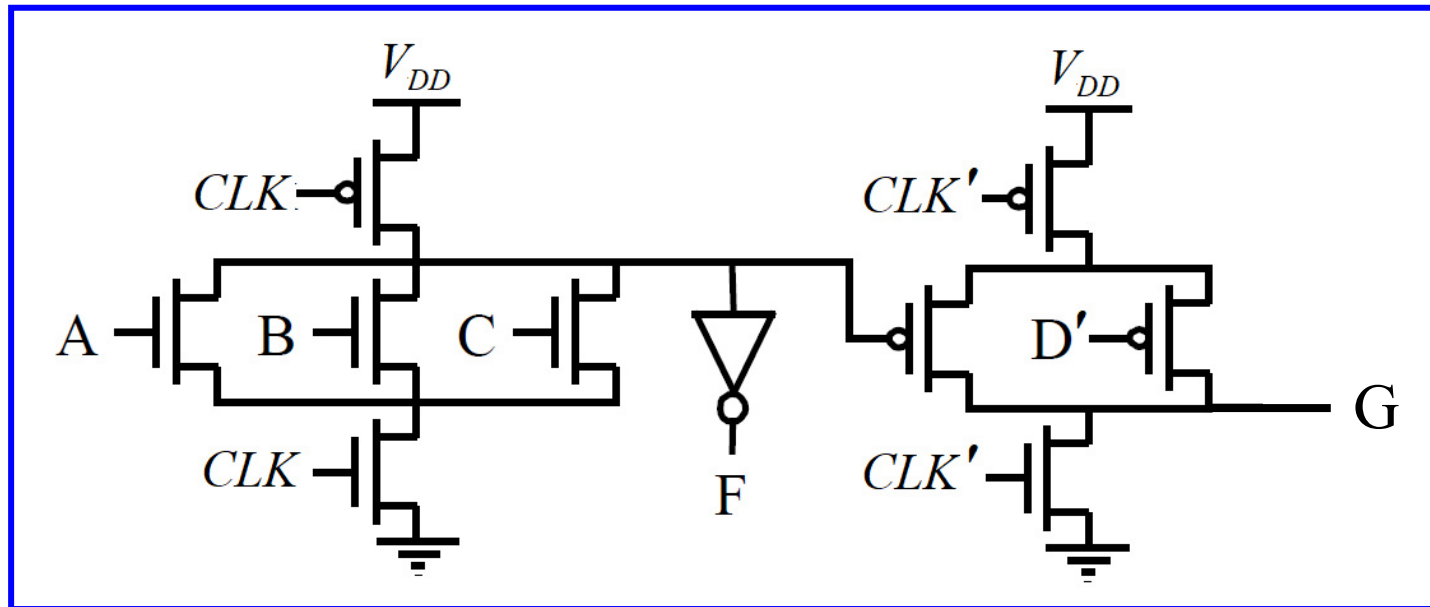
Οι δυναμικές πύλες με δικτυώματα PDN από τρανζίστορ NMOS δεν μπορούν να συνδεθούν απευθείας σε σειρά, λόγω των λειτουργικών προβλημάτων που παρουσιάζονται.

Έτσι, για να υλοποιήσουμε τις λογικές συναρτήσεις F και G ως δύο διαδοχικές δυναμικές πύλες χρησιμοποιούμε τη δυναμική λογική διαδοχικής επίδρασης (domino), όπως παρουσιάζεται στο παρακάτω σχήμα:



# Παράδειγμα 17

Η υλοποίηση των λογικών συναρτήσεων F και G χρησιμοποιώντας λογική np-CMOS, παρουσιάζεται στο παρακάτω σχήμα:



Με τη **λογική domino** υλοποιούμε αντιστρέφουσες λογικές συναρτήσεις και για το λόγο αυτό τις μη αντιστρέφουσες συναρτήσεις F και G τις λαμβάνουμε στις εξόδους των αντιστροφέν που ακολουθούν τις δυναμικές πύλες.

Στη **λογική np-CMOS**, η μονάδα n υλοποιεί αντιστρέφουσα λογική συνάρτηση, ενώ η μονάδα p υλοποιεί μη αντιστρέφουσα λογική συνάρτηση.

# Συμπεράσματα

- Η στατική συμπληρωματική CMOS συνδυάζει τα δυικά δικτυώματα οδήγησης PDN και PUN, με μόνο ένα από αυτά είναι ενεργοποιημένο κάθε φορά.
- Η πιο διαδεδομένη τεχνική φυσικού σχεδιασμού στατικών συμπληρωματικών πυλών CMOS, είναι η τεχνική τυπικού κυττάρου (standard cell), κατά την οποία ακολουθούνται μεθοδολογικά βήματα για την επίτευξη λειτουργικού και συμπαγούς φυσικού σχεδιασμού.
- Η επίδοση μίας πύλης CMOS είναι ισχυρή συνάρτηση του φόρτου εισόδου.
- Τεχνικές για τον χειρισμό του υψηλού φόρτου εισόδου, περιλαμβάνουν τον καθορισμό του μεγέθους των τρανζίστορ, την αναδιάταξη των εισόδων και την τμηματοποίηση.
- Η καθυστέρηση μιας πύλης CMOS είναι γραμμική συνάρτηση του φόρτου εξόδου.
- Η κατανάλωση ενέργειας ενός λογικού δικτυώματος εξαρτάται από τη δραστηριότητα μεταβάσεων του δικτυώματος.
- Η δραστηριότητα αυτή είναι μία συνάρτηση των στατιστικών των εισόδων, της τοπολογίας του δικτυώματος και του τύπου της λογικής.
- Τεχνικές που ασχολούνται με τη μείωση της δραστηριότητας μεταβάσεων, περιλαμβάνουν τη λογική επαναδόμηση, την αναδιάταξη εισόδων και τη μείωση των ψευδοπαλμών.
- Η εξαρτημένη από τον λόγο των μεγεθών των τρανζίστορ λογική αποτελείται από ένα PDN δικτύωμα συνδεδεμένο σε ένα στοιχείο φορτίου PMOS.

# Συμπεράσματα

- Αυτό έχει ως αποτέλεσμα μείωση της πολυπλοκότητας της πύλης με κόστος τη στατική κατανάλωση ενέργειας και μία ασύμμετρη απόκριση.
- Οι πιο δημοφιλείς προσεγγίσεις αυτής της κατηγορίας είναι οι λογικές ψεύδο-NMOS και DCVSL, η οποία απαιτεί συμπληρωματικές εισόδους και παρέχει συμπληρωματικές εξόδους.
- Η λογική τρανζίστορ διέλευσης με τρανζίστορ NMOS, υλοποιεί τη λογική πύλη ως ένα απλό δικτύωμα διακοπών και παράγει απλές δομές, αλλά έχει το πρόβλημα της στατικής κατανάλωσης ενέργειας και των μειωμένων περιθωρίων θορύβου.
- Το πρόβλημα αυτό μπορεί να αντιμετωπιστεί προσθέτοντας αντιστροφείς αποκατάστασης σήματος, τρανζίστορ αποκατάστασης στάθμης ή με άλλες τεχνικές (λογική SPRL).
- Μεγάλες αλυσίδες από τρανζίστορ ή πύλες διέλευσης θα πρέπει να αποφεύγονται λόγω της τετραγωνικής αύξησης στη καθυστέρηση ως προς το πλήθος των τρανζίστορ της αλυσίδας.
- Η λειτουργία της δυναμικής λογικής βασίζεται στην αποθήκευση φορτίου σε ένα χωρητικό κόμβο και στην υπό συνθήκη εκφόρτιση του κόμβου ανάλογα με τις τιμές των εισόδων.
- Αυτό απαιτεί διαδικασία δύο φάσεων: φάση προφόρτισης και κατόπιν φάση υπολογισμού.
- Η δυναμική λογική είναι ευαίσθητη σε παρασιτικά φαινόμενα όπως η διαρροή φορτίου, ο καταμερισμός φορτίου και η τροφοδότηση ρολογιού.
- Η σύνδεση σε σειρά δυναμικών πυλών προκαλεί λειτουργικά προβλήματα και πρέπει να αντιμετωπίζεται προσεκτικά με αποδοτικές τεχνικές (domino, np-CMOS).



Τέλος 5<sup>ης</sup> ενότητας