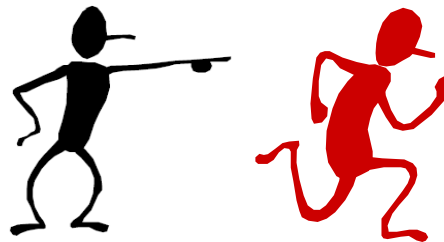


4^η ενότητα:
**ΑΝΤΙΣΤΡΟΦΕΑΣ CMOS ΚΑΙ
ΔΙΑΣΥΝΔΕΣΕΙΣ ΚΥΚΛΩΜΑΤΩΝ CMOS**



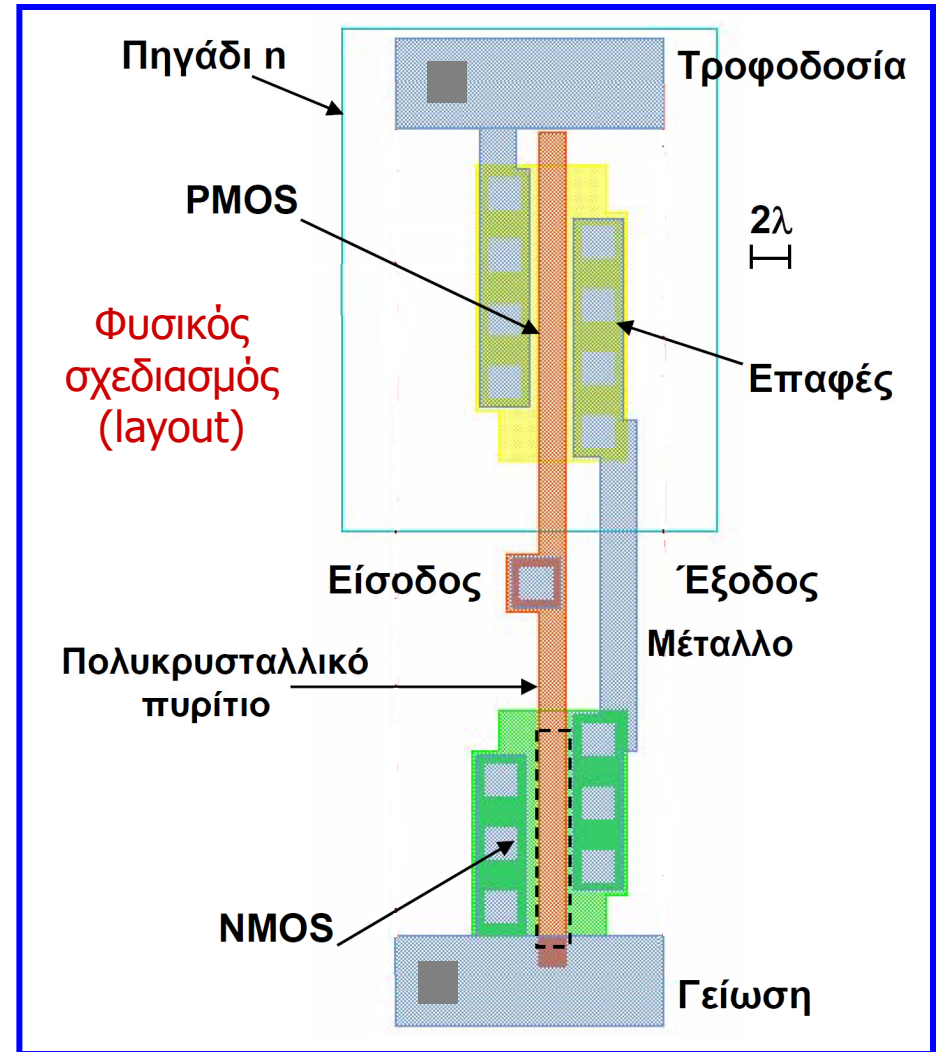
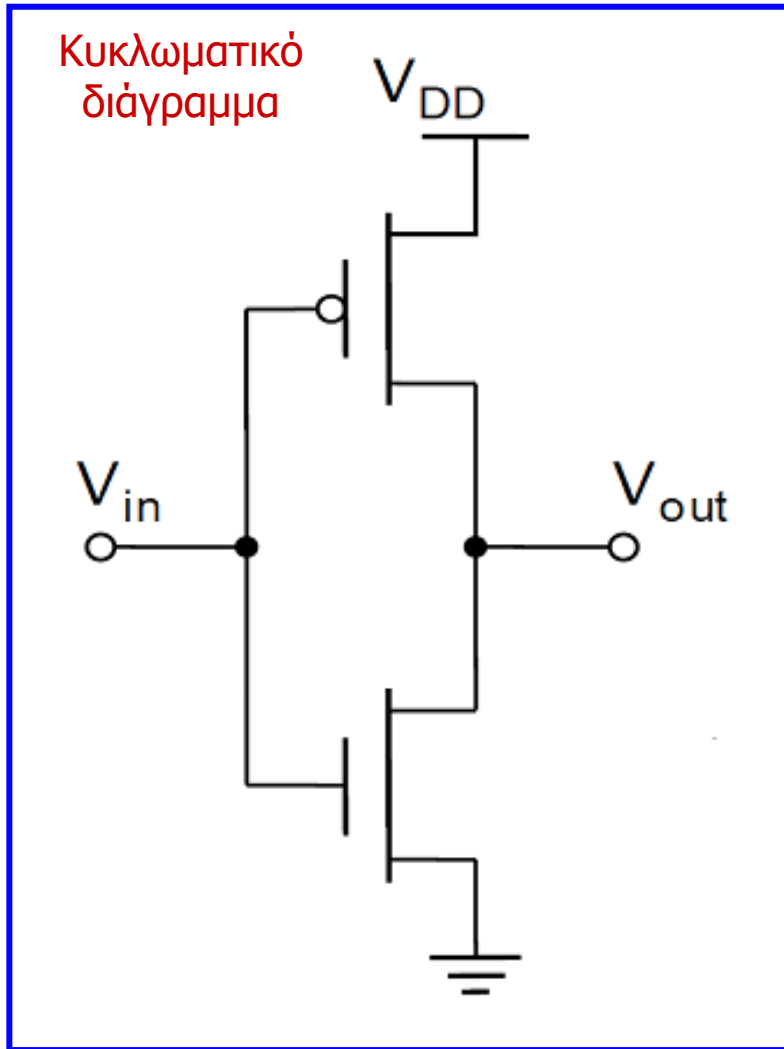
Περιεχόμενα 4^{ης} ενότητας

- Εισαγωγή και βασικά χαρακτηριστικά του αντιστροφέα CMOS
- Στατική συμπεριφορά του αντιστροφέα CMOS
- Χαρακτηριστική μεταφοράς τάσης, κατώφλι μετάβασης και περιθώρια θορύβου
- Δυναμική συμπεριφορά του αντιστροφέα CMOS
- Χωρητικότητες του αντιστροφέα CMOS
- Καθυστέρηση διάδοσης και παράμετροι που την επηρεάζουν
- Καθορισμός μεγέθους αντιστροφέα CMOS για βελτίωση επίδοσης
- Καθυστέρηση αλυσίδας αντιστροφέων CMOS
- Ισχύς και κατανάλωση ενέργειας του αντιστροφέα CMOS
- Δυναμική (χωρητική) κατανάλωση ενέργειας, κατανάλωση ενέργειας βραχυκυκλώματος, στατική κατανάλωση ενέργειας, γινόμενο ενέργειας-καθυστέρησης
- Διασυνδέσεις κυκλωμάτων CMOS
- Χωρητικότητα, αντίσταση και αυτεπαγωγή διασυνδέσεων
- Μοντελοποίηση διασυνδέσεων (συγκεντρωτικό μοντέλο χωρητικότητας, συγκεντρωτικό μοντέλο RC, καθυστέρηση Elmore, κατανεμημένη γραμμή rc)
- Συμπεράσματα

Εισαγωγή στον αντιστροφέα CMOS

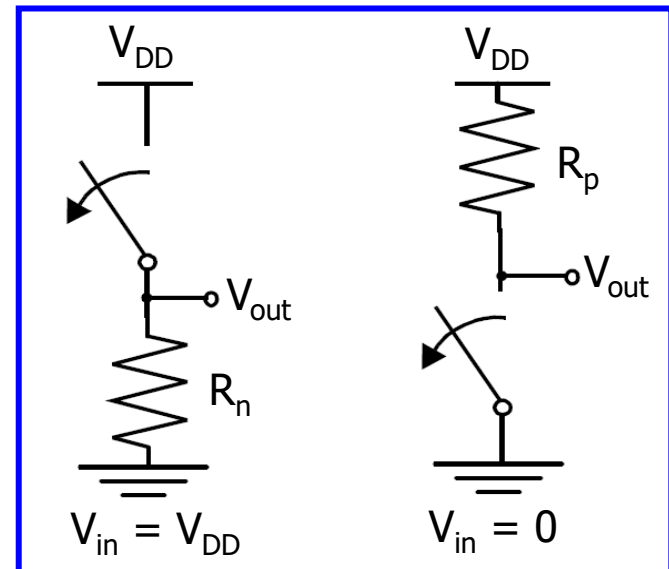
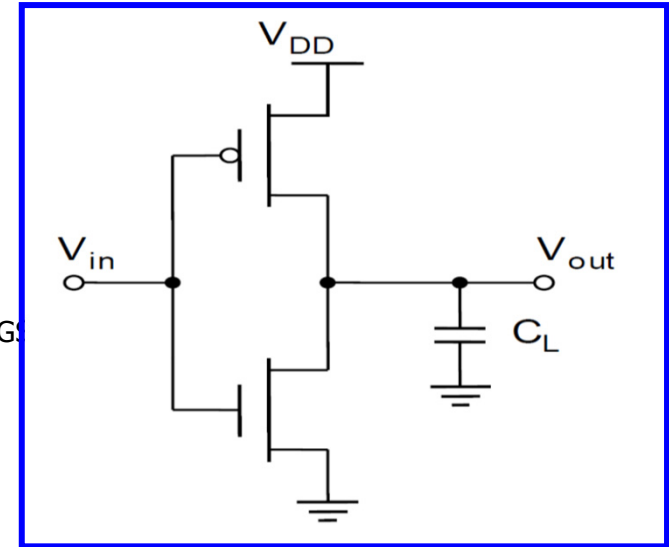
- Ο αντιστροφέας είναι το βασικότερο κυκλωματικό στοιχείο των ψηφιακών κυκλωμάτων.
- Η κατανόηση της λειτουργίας του και των ιδιοτήτων του αποτελούν βασικό εφόδιο για την κατανόηση της λειτουργίας και το σχεδιασμό πιο σύνθετων κυκλωμάτων.
- Η ανάλυση της λειτουργίας του αντιστροφέα μπορεί να επεκταθεί για να εξηγήσει τη συμπεριφορά πιο σύνθετων λογικών πυλών, οι οποίες με τη σειρά τους αποτελούν τα βασικά δομικά στοιχεία για πολύπλοκα κυκλώματα (πολλαπλασιαστές, επεξεργαστές κ.ά.).
- Το πιο βασικό κύκλωμα της τεχνολογίας CMOS, όπου συνυπάρχουν τρανζίστορ NMOS και PMOS, είναι ο **στατικός αντιστροφέας CMOS**.
- Η ανάλυση του αντιστροφέα CMOS εστιάζεται σε θέματα, όπως:
 - ✓ **Στατική συμπεριφορά** με στόχο τη μελέτη της **στιβαρότητάς** του.
 - ✓ **Δυναμική συμπεριφορά** με στόχο τη μελέτη της **επίδοσής** του.
 - ✓ **Κατανάλωση ενέργειας**.
- Στα πλαίσια της ανάλυσης λειτουργίας του αντιστροφέα προσδιορίζονται βασικές σχεδιαστικές του παράμετροι (**κατώφλι μετάβασης, περιθώρια θορύβου, χωρητικότητες, καθυστέρηση διάδοσης, μέγεθος αντιστροφέα και αλυσίδας αντιστροφέων για βελτίωση επίδοσης, κατανάλωση ενέργειας κ.ά.**)

Εισαγωγή στον αντιστροφέα CMOS



Βασικά χαρακτηριστικά αντιστροφέα CMOS

- Η αρχή λειτουργίας του αντιστροφέα κατανοείται κατανοείται εύκολα μέσω του **απλού διακοπτικού μοντέλου των τρανζίστορ MOSFET**.
- Θεωρούμε ότι το τρανζίστορ (NMOS ή PMOS) είναι διακόπτης με μία άπειρη αντίσταση αποκοπής (για $|V_T| < |V_{GS}|$) και πεπερασμένη αντίσταση αγωγής (για $|V_{GS}| > |V_T|$).
- Όταν η V_{in} είναι στην υψηλή στάθμη και ίση με V_{DD} , το NMOS άγει και το PMOS είναι σε αποκοπή.
- Τότε δημιουργείται αγωγίμη διαδρομή μεταξύ της V_{out} και της γείωσης, που έχει ως αποτέλεσμα $V_{out} = 0$.
- Όταν η V_{in} είναι στη χαμηλή στάθμη (0 V), τα NMOS και PMOS είναι σε αποκοπή και αγωγή, αντίστοιχα.
- Τότε δημιουργείται αγωγίμη διαδρομή μεταξύ της V_{DD} και της V_{out} , που επιφέρει την υψηλή στάθμη στην τάση εξόδου ($V_{out} = V_{DD}$).



Βασικά χαρακτηριστικά αντιστροφία CMOS

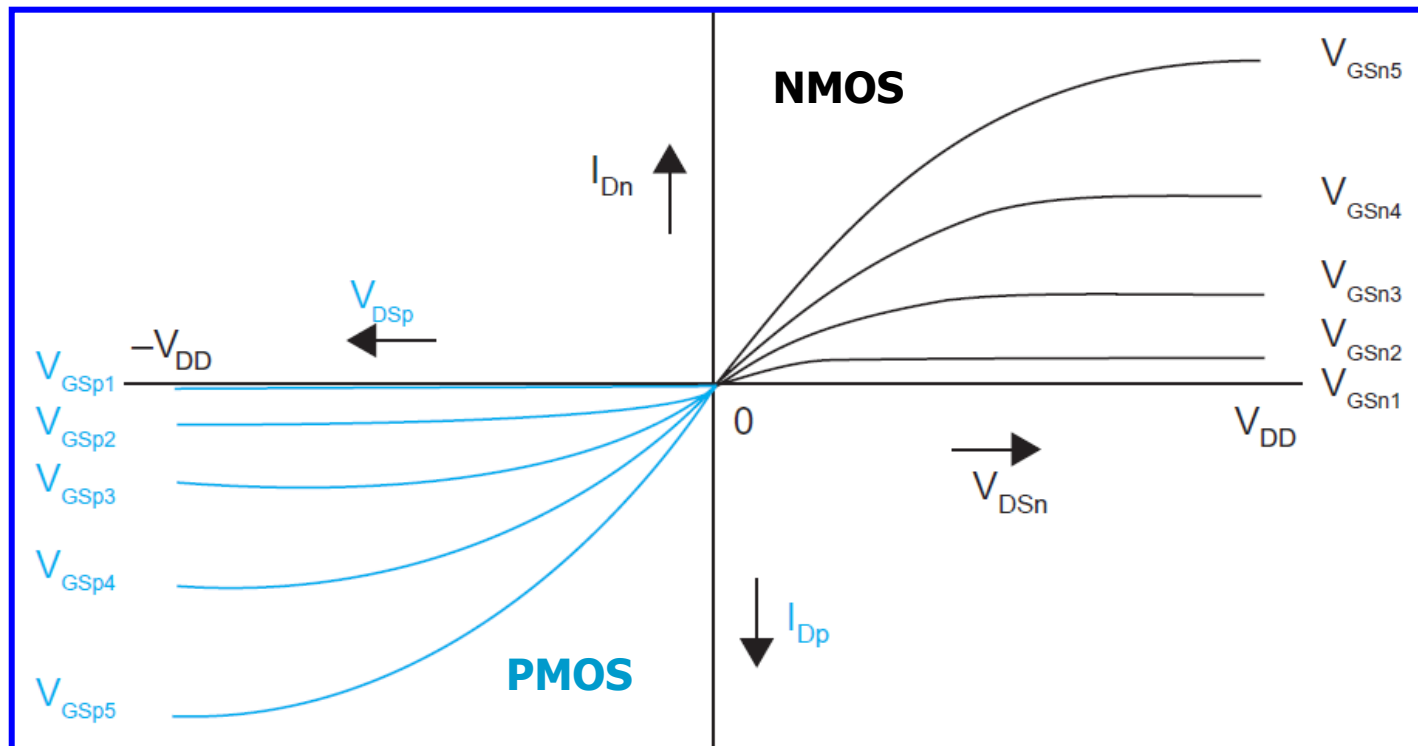
- Η υψηλή και χαμηλή στάθμη εξόδου του αντιστροφία CMOS είναι V_{DD} και 0 (γείωση), αντίστοιχα, δηλαδή το **εύρος ταλάντευσης τάσης** είναι ίσο με την **τάση τροφοδοσίας** με αποτέλεσμα υψηλά περιθώρια θορύβου.
- Οι λογικές στάθμες δεν εξαρτώνται από τα σχετικά μεγέθη των τρανζίστορ κι έτσι αυτά μπορούν να έχουν το ελάχιστο μέγεθος.
- Οι πύλες με την ιδιότητα αυτή ονομάζονται **μη εξαρτημένες από τον λόγο μεγεθών των τρανζίστορ (ratioless)**, σε αντίθεση με την εξαρτημένη λογική από τον λόγο μεγεθών των τρανζίστορ (ratioed logic), όπου οι λογικές στάθμες καθορίζονται από τα σχετικά μεγέθη των τρανζίστορ που στοιχειοθετούν τις πύλες.
- **Δεν υπάρχει αγωγή διαδρομή** μεταξύ των γραμμών **τροφοδοσίας και γείωσης** σε συνθήκες λειτουργίας **σταθερής κατάστασης** (δηλαδή όταν η είσοδος και η έξοδος παραμένουν σταθερές).
- Η απουσία ροής ρεύματος (εάν αγνοήσουμε τα ρεύματα διαρροής) σημαίνει ότι η πύλη **δεν καταναλώνει στατική ενέργεια**.
- Στη **σταθερή κατάσταση**, υπάρχει πάντα μία **διαδρομή** με πεπερασμένη αντίσταση μεταξύ της **εξόδου** και της **τροφοδοσίας** ή της **γείωσης**.

Στατική συμπεριφορά αντιστροφέα CMOS

- Η ανάλυση στατικής συμπεριφοράς του αντιστροφέα CMOS είναι η **ανάλυση της λειτουργίας του σε συνθήκες λειτουργίας σταθερής κατάστασης**, δηλαδή όταν η είσοδος και η έξοδος παραμένουν **σταθερές**.
- Αρχικό μέλημα είναι εξαγωγή και η εκτίμηση της **χαρακτηριστικής μεταφοράς τάσης (voltage transfer characteristic, VTC)**, δηλαδή της καμπύλης της τάσης εξόδου σε συνάρτηση με την τάση εισόδου του αντιστροφέα.
- Στόχος είναι ο προσδιορισμός της μεταβολής της τάσης εξόδου για τις διάφορες αλλαγές της τάσης εισόδου του αντιστροφέα.
- Στη συνέχεια είναι σημαντικό να προσδιοριστεί το **κατώφλι μετάβασης (switching threshold)**, δηλαδή το σημείο στο οποίο η **τάση εισόδου** είναι **ίση** με την **τάση εξόδου** του αντιστροφέα.
- Σημαντικό στόχο της ανάλυσης της στατικής συμπεριφοράς είναι η εκτίμηση των **περιθωρίων θορύβου (NM_H , NM_L)** του αντιστροφέα CMOS, τα οποία καθορίζουν τη **στιβαρότητα** του αντιστροφέα, δηλαδή την **ανεκτικότητα του στο θόρυβο**.
- Από την ανάλυση της στατικής συμπεριφοράς προκύπτουν συμπεράσματα για τους παράγοντες οι οποίοι επηρεάζουν τις στατικές παραμέτρους του αντιστροφέα.

Χαρακτηριστική μεταφοράς τάσης

- Η γραφική εκτίμηση της χαρακτηριστικής μεταφοράς τάσης του αντιστροφέα CMOS επιτυγχάνεται με **υπέρθυση των χαρακτηριστικών των τρανζίστορ NMOS και PMOS**.
- Το γράφημα που προκύπτει από την εν λόγω υπέρθεση αναφέρεται ως **γραφική παράσταση γραμμής φορτίου (load-line plot)**.
- Για την εξαγωγή της παράστασης αυτής απαιτείται η τοποθέτηση των χαρακτηριστικών των δύο τρανζίστορ σε ένα κοινό σύστημα συντεταγμένων.



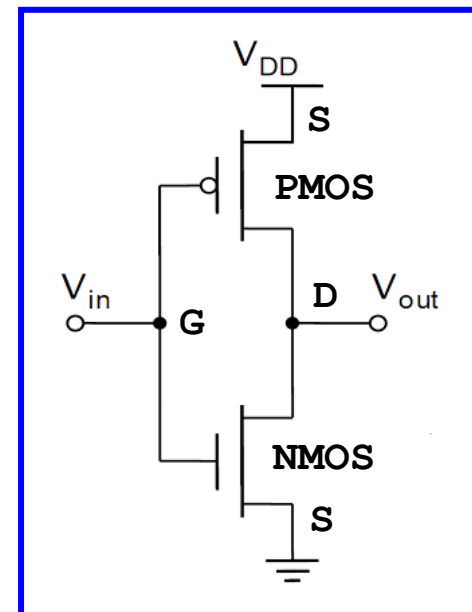
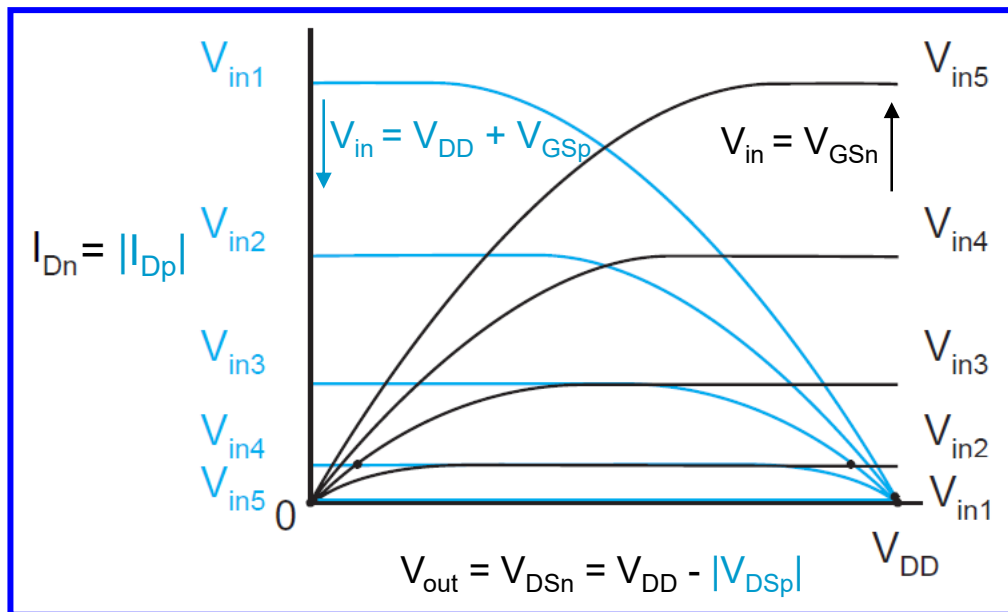
Χαρακτηριστική μεταφοράς τάσης

- Οι μεταβλητές του γραφήματος είναι η V_{in} , η V_{out} και το I_D του τρανζίστορ NMOS.
- Το ρεύμα και οι τάσεις του τρανζίστορ PMOS μεταφράζονται σε αυτό το πεδίο μεταβλητών μέσω των διπλανών σχέσεων.
- Αρχικά, σχεδιάζουμε τις συμμετρικές ως προς τον άξονα της τάσης (x) χαρακτηριστικές του PMOS (δηλαδή, θεωρούμε την **απόλυτη τιμή του I_{Dp}**) και στη συνέχεια τις ολισθαίνουμε οριζόντια κατά V_{DD} (δηλαδή, θεωρούμε την **απόλυτη τιμή της V_{Dsp}**).

$$I_{Dp} = -I_{Dn}$$

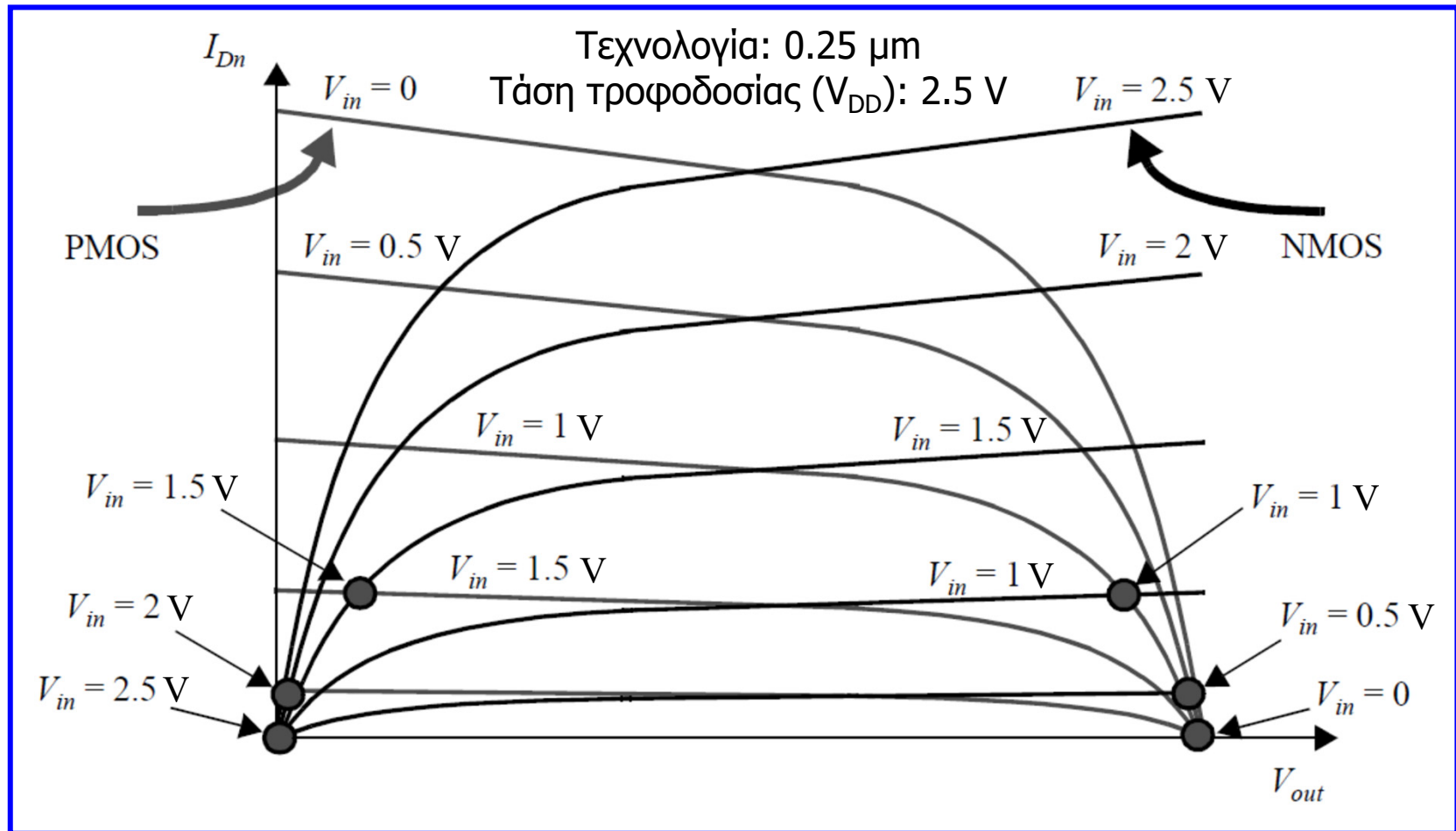
$$V_{GSn} = V_{in} ; V_{GSp} = V_{in} - V_{DD}$$

$$V_{DSn} = V_{out} ; V_{DSp} = V_{out} - V_{DD}$$



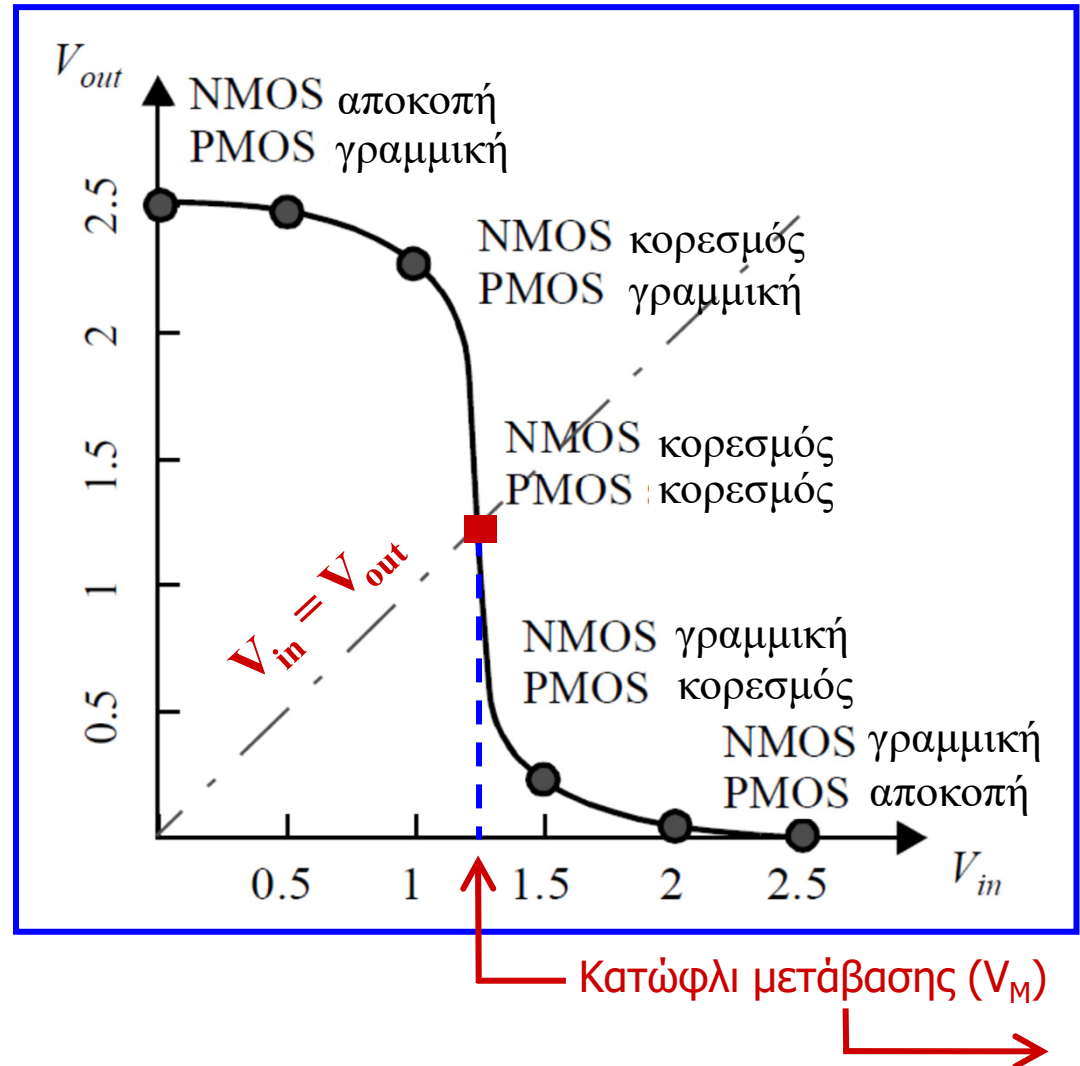
Χαρακτηριστική μεταφοράς τάσης

Επιλέγουμε έγκυρα **σημεία λειτουργίας** του αντιστροφέα (δηλαδή σημεία τομής των χαρακτηριστικών των δύο τρανζίστορ), τα οποία λαμβάνονται για την **ίδια τάση εισόδου** και για **ίσα ρεύματα των δύο τρανζίστορ**.



Χαρακτηριστική μεταφοράς τάσης

- Με βάση τα επιλεγμένα σημεία, χαράσσουμε την χαρακτηριστική μεταφοράς τάσης του αντιστροφέα CMOS.
- Παρατηρούμε ότι τα έγκυρα σημεία λειτουργίας βρίσκονται είτε σε υψηλές είτε σε χαμηλές τιμές της τάσης εισόδου.
- Κατά συνέπεια, η χαρακτηριστική μεταφοράς τάσης του αντιστροφέα παρουσιάζει **πολύ στενή ζώνη μετάβασης**.
- Σε αυτή την περιοχή λειτουργίας, όπου τα δύο τρανζίστορ άγουν ταυτόχρονα και λειτουργούν στην περιοχή κορεσμού, μια **μικρή αλλαγή στην τάση εισόδου έχει αποτέλεσμα μεγάλη μεταβολή της τάσης εξόδου** (υψηλό κέρδος στη ζώνη μετάβασης).



Κατώφλι μετάβασης

- Το **κατώφλι μετάβασης (switching threshold, V_M)** ορίζεται ως το σημείο στο οποίο $V_{in} = V_{out}$.
- Η τιμή του μπορεί να ληφθεί γραφικά από την **τομή της χαρακτηριστικής μεταφοράς τάσης** με τη **ευθεία** που προκύπτει από τη σχέση $V_{in} = V_{out}$.
- Στην περιοχή αυτή, και τα δύο τρανζίστορ λειτουργούν πάντα στην **περιοχή κόρου**, αφού $V_{DS} = V_{GS}$.
- Μια **έκφραση** για την V_M λαμβάνεται **εξισώνοντας τα αντίθετα ρεύματα των δύο τρανζίστορ**, με δεδομένο ότι τα τρανζίστορ λειτουργούν στην περιοχή κορεσμού ταχύτητας των φορέων ($V_{DSAT} < V_M - V_T$) και παραβλέποντας το φαινόμενο διαμόρφωσης μήκους καναλιού.

$$k_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right) + k_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) = 0$$

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1 + r} \quad \text{με } r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{\mu_{satp} W_p}{\mu_{satn} W_n}$$

Για μεγάλες τιμές της V_{DD} σε σχέση με τις τάσεις κατωφλίου και κορεσμού

$$V_M \approx \frac{r V_{DD}}{1 + r}$$

Κατώφλι μετάβασης

- Προκύπτει λοιπόν, ότι το κατώφλι μετάβασης ρυθμίζεται από τον λόγο r , ο οποίος συγκρίνει τη σχετική ικανότητα οδήγησης των τρανζίστορ PMOS και NMOS.
- Γενικά είναι επιθυμητό για τη V_M να κυμαίνεται περίπου στη μέση του διαθέσιμου εύρους ταλάντευσης τάσης (ή στην τιμή $V_{DD}/2$), αφού αυτό οδηγεί σε συγκρίσιμες τιμές του χαμηλού και του υψηλού περιθωρίου θορύβου.
- Αυτό απαιτεί ο λόγος r να είναι κατά προσέγγιση 1, γεγονός που είναι ισοδύναμο με το να σχεδιάζουμε το στοιχείο PMOS έτσι ώστε:

$$(W/L)_p = (W/L)_n (V_{DSATn} k'_n) / (V_{DSATp} k'_p)$$

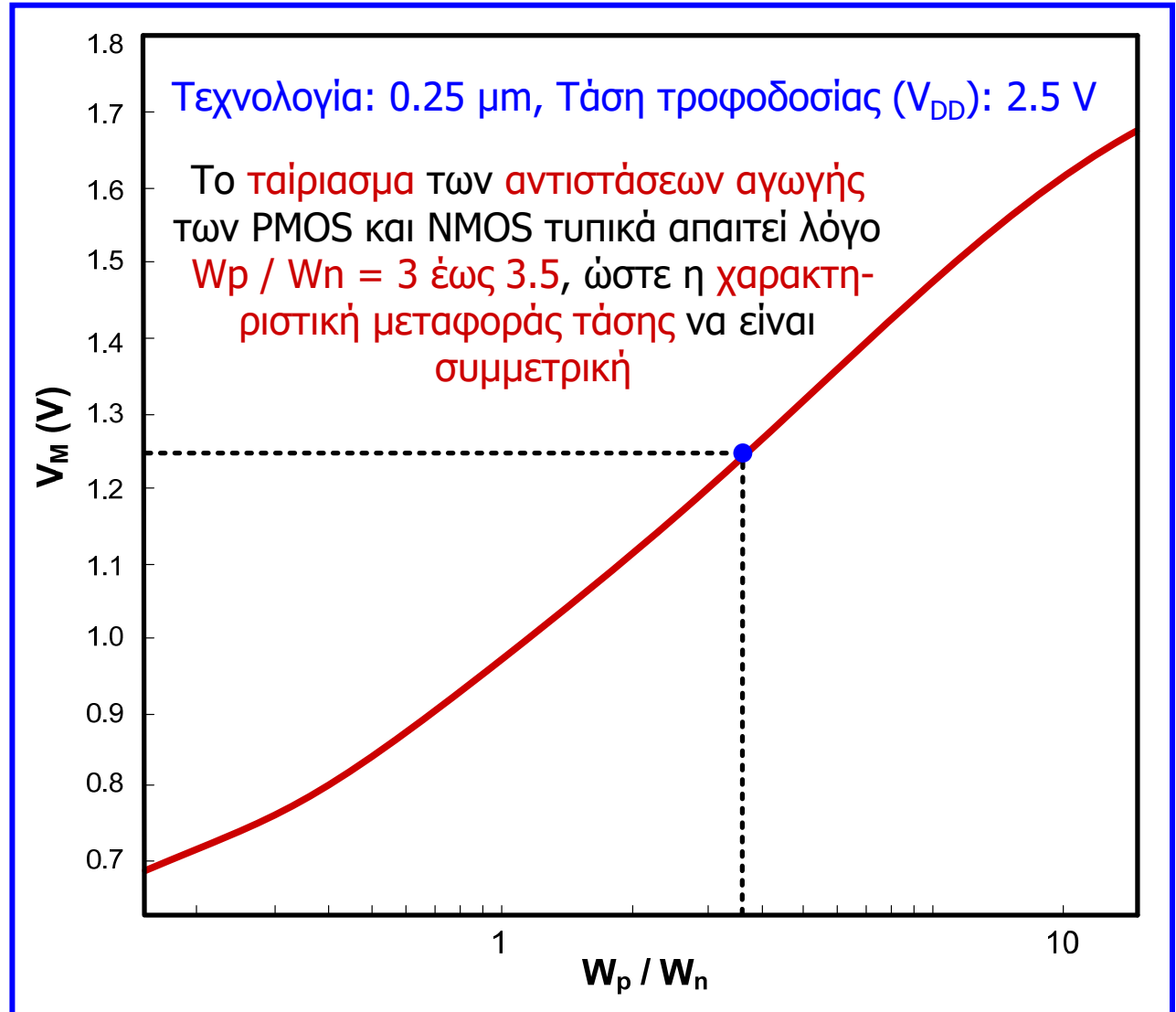
$$k' = \mu C_{ox}$$

- Για να αυξηθεί η V_M , απαιτείται μεγαλύτερη τιμή του r , που σημαίνει ότι το στοιχείο PMOS πρέπει να γίνει πλατύτερο.
- Από την άλλη πλευρά, με αύξηση της ικανότητας οδήγησης του NMOS, το κατώφλι μετάβασης τείνει προς τη γείωση.
- Απαιτούμενος λόγος διαστάσεων των τρανζίστορ PMOS και NMOS, έτσι ώστε το κατώφλι μετάβασης να τεθεί σε μία επιθυμητή τιμή V_M :

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)}{k'_p V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)}$$

Κατώφλι μετάβασης

- Το κατώφλι μετάβασης αυξάνεται όταν αυξηθεί σημαντικά ο λόγος W_p / W_n των πλατών των τρανζίστορ του αντιστροφέα.
- Αυτό σημαίνει ότι η μεταβατική περιοχή της χαρακτηριστικής μεταφοράς τάσης του αντιστροφέα CMOS ολισθαίνει προς τα δεξιά όταν αυξάνεται ο λόγος W_p / W_n και προς τα αριστερά όταν ο λόγος αυτός μειώνεται.



Παράδειγμα 1

- Η έκφραση της V_M στην οποία καταλήξαμε στη σελίδα 12, παράχθηκε με την υπόθεση ότι τα τρανζίστορ του αντιστροφέα λειτουργούν στην περιοχή κορεσμού της ταχύτητας των φορέων ($V_{DSAT} < V_M - V_T$). Υπολογίζουμε το κατώφλι κορεσμού (V_M) όταν τα τρανζίστορ έχουν μεγάλο μήκος καναλιού και δεν συμβαίνει κορεσμός της ταχύτητας των φορέων.
- Γύρω από το σημείο λειτουργίας V_M , τα δύο τρανζίστορ λειτουργούν στην περιοχή κορεσμού. Για παράδειγμα, για το τρανζίστορ NMOS ισχύει ότι $V_{DS} = V_{out} = V_M$ και $V_{GS} = V_{in} = V_M$, συνεπώς $V_{DS} > V_{GS} - V_T$ και αντίστοιχη είναι η κατάσταση λειτουργίας του τρανζίστορ PMOS.
- Το κατώφλι μετάβασης υπολογίζεται εξισώνοντας τα αντίθετα ρεύματα που ρέουν στα τρανζίστορ, αφού παραβλέψουμε το φαινόμενο διαμόρφωσης μήκους καναλιού ($\lambda = 0$):

$$\frac{k_n}{2} (V_M - V_{Tn})^2 = -\frac{k_p}{2} (V_M - V_{DD} - V_{Tp})^2 \Rightarrow (V_M - V_{Tn})^2 = -\frac{k_p}{k_n} (V_M - V_{DD} - V_{Tp})^2 \Rightarrow$$

$$V_M - V_{Tn} = -\sqrt{-\frac{k_p}{k_n}} (V_M - V_{DD} - V_{Tp}) \quad r = \sqrt{\frac{k_p}{k_n}} \Rightarrow (1+r)V_M = V_{Tn} + r(V_{DD} + V_{Tp}) \Rightarrow$$

$$V_M = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1+r}$$

Παράδειγμα 2

- Επιθυμούμε να σχεδιάσουμε έναν αντιστροφέα CMOS με διαστάσεις των τρανζίστορ PMOS και NMOS, έτσι ώστε το κατώφλι μετάβασης του αντιστροφέα που υλοποιείται σε τεχνολογία CMOS 0.25 μm (οι παράμετροι της οποίας δίνονται στον παρακάτω πίνακα), να βρίσκεται στο μέσο μεταξύ της τάσης τροφοδοσίας και της γείωσης. Ο λόγος του πλάτους καναλιού προς το μήκος καναλιού του τρανζίστορ με ελάχιστο μέγεθος ισούται με 1.5.

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$

- Χρησιμοποιούμε τη σχέση της σελίδας 13, με την οποία υπολογίζουμε το λόγο διαστάσεων των τρανζίστορ PMOS και NMOS, έτσι ώστε το κατώφλι μετάβασης να τεθεί σε μία επιθυμητή τιμή V_M και θέτουμε ως επιθυμητή τιμή την $V_M = V_{DD} / 2 = 2.5 / 2 = 1.25 \text{ V}$.

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)}{k'_p V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)} \Rightarrow$$

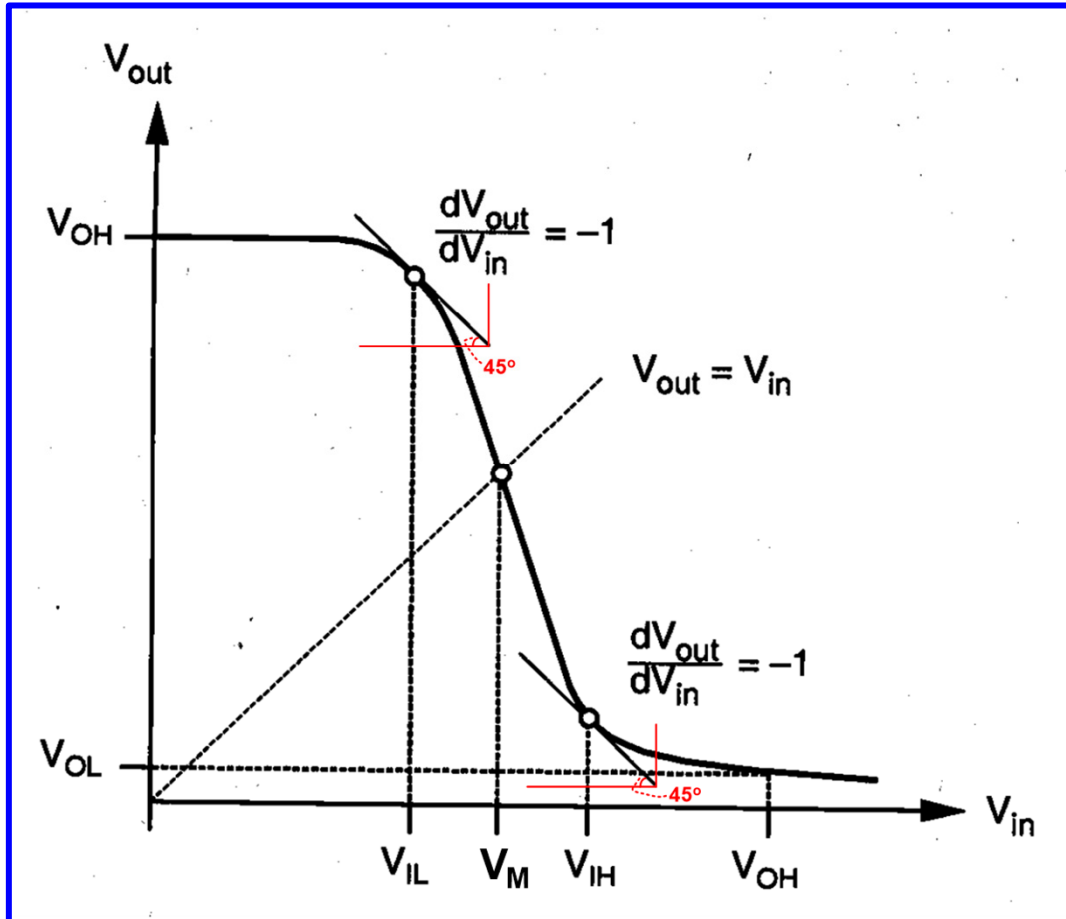
Παράδειγμα 2

$$\frac{(W/L)_p}{(W/L)_n} = \frac{115 \times 10^{-6}}{30 \times 10^{-6}} \times \frac{0.63}{1.0} \times \frac{(1.25 - 0.43 - 0.63/2)}{(1.25 - 0.4 - 1.0/2)} = 3.5$$

- Αφού ο λόγος του πλάτους καναλιού προς το μήκος καναλιού του τρανζίστορ με ελάχιστο μέγεθος ισούται με 1.5, κατά το σχεδιασμό θέτουμε τις ελάχιστες διαστάσεις στο τρανζίστορ NMOS, δηλαδή $L_n = 0.25 \mu\text{m}$, $W_n = 1.5 \times 0.25 = 0.375 \mu\text{m}$ και στο τρανζίστορ PMOS θέτουμε $L_p = 0.25 \mu\text{m}$, $W_p = 3.5 \times 0.375 = 1.3 \mu\text{m}$.
- Σχεδιάζοντας τον αντιστροφέα CMOS με τις παραπάνω διαστάσεις των τρανζίστορ, επιτυγχάνουμε το κατώφλι μετάβασης να βρίσκεται στο μέσο μεταξύ της τάσης τροφοδοσίας και της γείωσης (1.25 V).

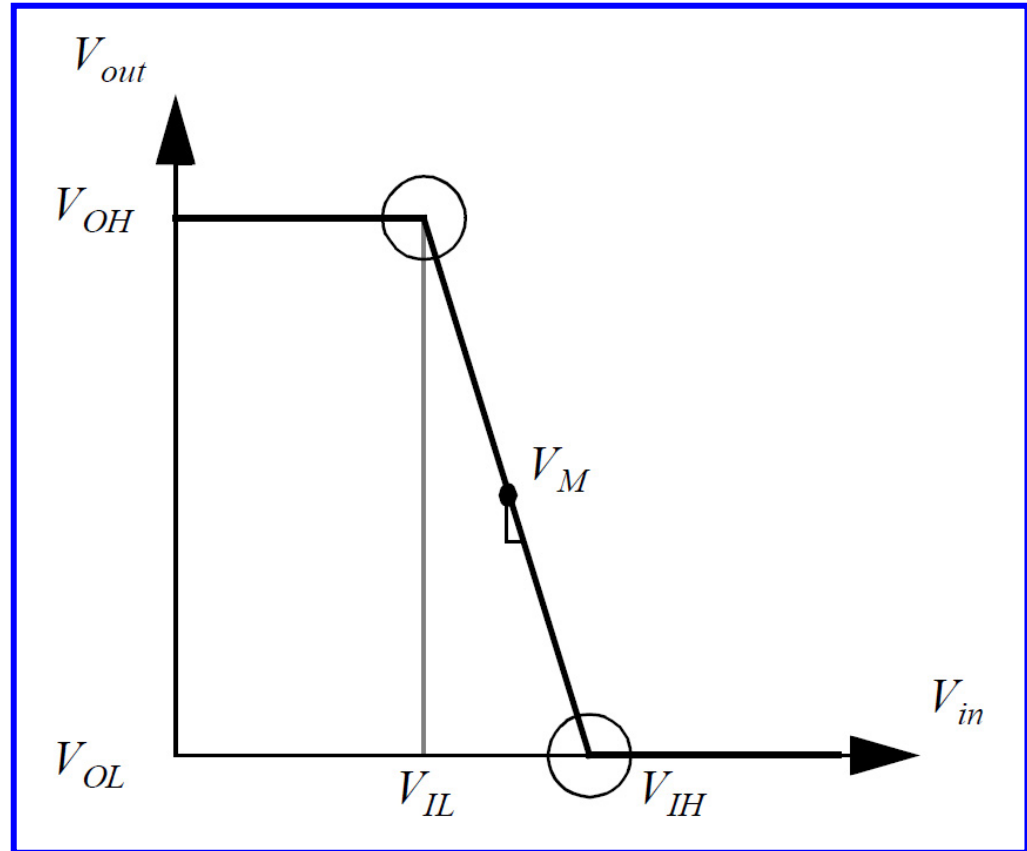
Περιθώρια θορύβου

Το εύρος της μεταβατικής περιοχής του αντιστροφέα οριοθετείται από τιμές της τάσης εισόδου (V_{IH} και V_{IL}), στις οποίες $dV_{out} / dV_{in} = -1$, δηλαδή, η γωνία που σχηματίζει η χαρακτηριστική μεταφοράς τάσης με τον άξονα της τάσης εισόδου είναι 45° .



Περιθώρια θορύβου

- Μια απλή προσέγγιση για τον υπολογισμό V_{IH} και V_{IL} είναι να προσεγγίσουμε την χαρακτηριστική μεταφοράς τάσης με γραμμικά τμήματα.
- Η μεταβατική περιοχή προσεγγίζεται από μία ευθεία, η κλίση ή κέρδος (g) της οποίας σε σχέση με τον άξονα της τάσης εισόδου, είναι η κλίση στο κατώφλι μετάβασης V_M .
- Τα σημεία τομής της χαρακτηριστικής μεταφοράς τάσης με τις παράλληλες γραμμές που ξεκινούν από τις τιμές V_{OH} και V_{OL} (ονομαστικές τιμές υψηλής και χαμηλής στάθμης, δηλ. τροφοδοσία V_{DD} και γείωση 0), ορίζουν τις τιμές της τάσης εισόδου V_{IH} και V_{IL} .



Περιθώρια θορύβου

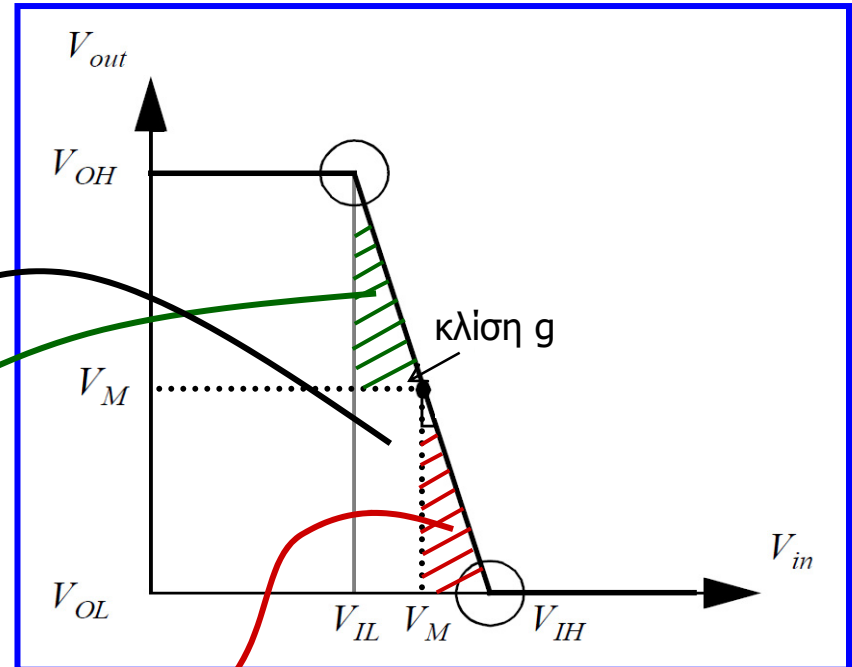
$$V_{OH} = V_{DD} \text{ και } V_{OL} = 0$$

$$NM_H = V_{OH} - V_{IH} \text{ και } NM_L = V_{IL} - V_{OL}$$

$$V_{IH} - V_{IL} = \frac{(V_{OH} - V_{OL})}{|g|} = \frac{V_{DD}}{|g|}$$

$$V_{IH} = V_M + \frac{V_M}{|g|} \text{ και } V_{IL} = V_M - \frac{V_{DD} - V_M}{|g|}$$

$$NM_H = V_{DD} - V_{IH} \text{ και } NM_L = V_{IL}$$



Περιθώρια θορύβου

Η έκφραση του g (κέρδος ή κλίση μέσου σημείου, *midpoint gain*), λαμβάνεται εάν αρχικά εξισώσουμε τα ρεύματα των δύο τρανζίστορ στην περιοχή κορεσμού ταχύτητας των φορέων:

$$k_n V_{DSATn} \left(V_{in} - V_{Tn} - \frac{V_{DSATn}}{2} \right) (1 + \lambda_n V_{out}) + k_p V_{DSATp} \left(V_{in} - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) (1 + \lambda_p V_{out} - \lambda_p V_{DD}) = 0$$

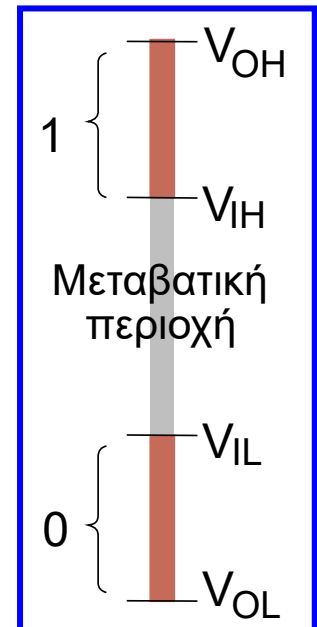
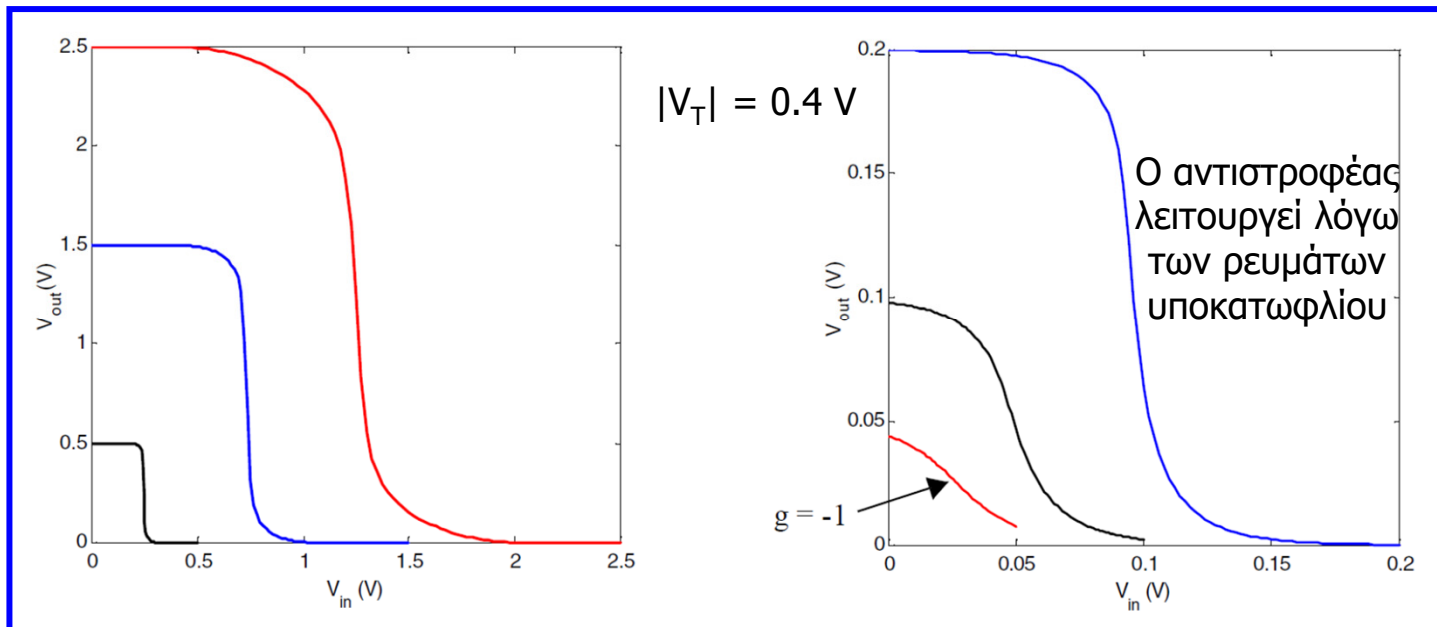
Μετά από παραγωγή και επίλυση της εξίσωσης που προκύπτει ως προς dV_{out} / dV_{in} και αφού θέσουμε $V_{in} = V_M$, μπορούμε να εξάγουμε μια απλή, αλλά προσεγγιστική σχέση για το κέρδος μέσου σημείου g , παραλείποντας μερικούς όρους δεύτερης τάξης:

$$g = \frac{dV_{out}}{dV_{in}} \Big|_{V_{in}=V_M} \approx - \frac{1 + r}{(V_M - V_{Tn} - V_{DSATn}/2)(\lambda_n - \lambda_p)} \quad r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}}$$

Λόγω των απλοποιήσεων, η παραπάνω έκφραση **υπερεκτιμά την τιμή του g** .

Περιθώρια θορύβου και στιβαρότητα

- Για να είναι μία πύλη στιβαρή και αναισθητη στις διαταραχές θορύβου, οι περιοχές τάσης που αντιστοιχούν στις λογικές τιμές 0 και 1 πρέπει να είναι όσο το δυνατόν μεγαλύτερες.
- Ένα μέτρο της ευαισθησίας μίας πύλης στο θόρυβο είναι τα περιθώρια θορύβου, που καθορίζουν το εύρος των επιτρεπτών περιοχών στάθμης 0 και 1, αντίστοιχα.
- **Αυξημένη τιμή του g , οδηγεί σε αυξημένα περιθώρια θορύβου, δηλαδή σε μεγαλύτερη στιβαρότητα** (δυνατότητα ενός κυκλώματος να εξουδετερώνει τις πηγές θορύβου).
- Η **μείωση της τάσης τροφοδοσίας** βελτιώνει την τιμή του g , αλλά αυτό δεν συμβαίνει όταν πρόκειται για πολύ χαμηλές τιμές της τάσης τροφοδοσίας (αρκετά μικρότερες της V_T).



Παράδειγμα 3

Έχουμε σχεδιάσει έναν αντιστροφέα CMOS σε τεχνολογία 0.25 μm ($L_{n,p}$), οι παράμετροι της οποίας δίνονται στον παρακάτω πίνακα, με λόγο $W_p / W_n = 3.4$ και πλάτος του τρανζίστορ NMOS $W_n = 0.375 \mu\text{m}$. Η επιλογή του προαναφερόμενου λόγου πλατών έγινε έτσι ώστε το κατώφλι μετάβασης να είναι 1.25 V. Υπολογίζουμε τις παραμέτρους V_{IH} , V_{IL} , NM_H , NM_L .

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$	$\lambda \text{ (V}^{-1}\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$	0.06
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$	-0.1

Πρέπει αρχικά να υπολογίσουμε το **κέρδος μέσου σημείου (g)**:

$$r = \frac{k_p \cdot V_{DSATp}}{k_n \cdot V_{DSATn}} \Rightarrow r = \frac{k'_p \cdot \frac{W_p}{L_p} V_{DSATp}}{k'_n \cdot \frac{W_n}{L_n} \cdot V_{DSATn}} \Rightarrow r = \frac{(-30) \cdot \frac{3.4 \cdot 0.375}{0.25} \cdot (-1)}{115 \cdot \frac{0.375}{0.25} \cdot 0.63} \Rightarrow r = 1.41$$

$$g = -\frac{1+r}{\left(V_M - V_{Tn} - \frac{V_{DSATn}}{2}\right) \cdot (\lambda_n - \lambda_p)} \Rightarrow g = -\frac{1+1.41}{\left(1.25 - 0.43 - \frac{0.63}{2}\right) \cdot (0.06 + 0.1)} \Rightarrow g = -29.8$$

Παράδειγμα 3

$$V_{OH} = V_{DD} \text{ και } V_{OL} = 0$$

$$NM_H = V_{OH} - V_{IH} \text{ και } NM_L = V_{IL} - V_{OL}$$

$$V_{IH} = V_M + \frac{V_M}{|g|} \text{ και } V_{IL} = V_M - \frac{V_{DD} - V_M}{|g|}$$

$$NM_H = V_{DD} - V_{IH} \text{ και } NM_L = V_{IL}$$

$$V_{IH} = 1.25 + 1.25 / 29.8 = 1.29 \text{ V}$$

$$V_{IL} = 1.25 - (2.5 - 1.25) / 29.8 = 1.21 \text{ V}$$

$$NM_H = 2.5 - 1.29 = 1.21 \text{ V}$$

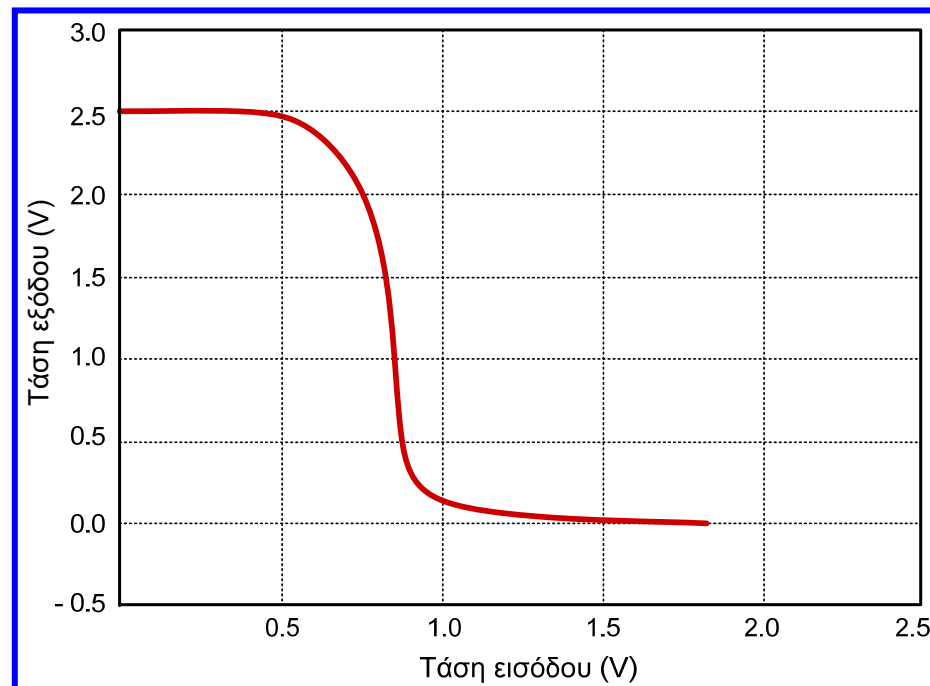
$$NM_L = 1.21 \text{ V}$$

Προέκυψαν περιθώρια
θορύβου με ιδανικό εύρος,
αλλά η τιμή του g που
υπολογίσαμε είναι
υπερεκτιμημένη

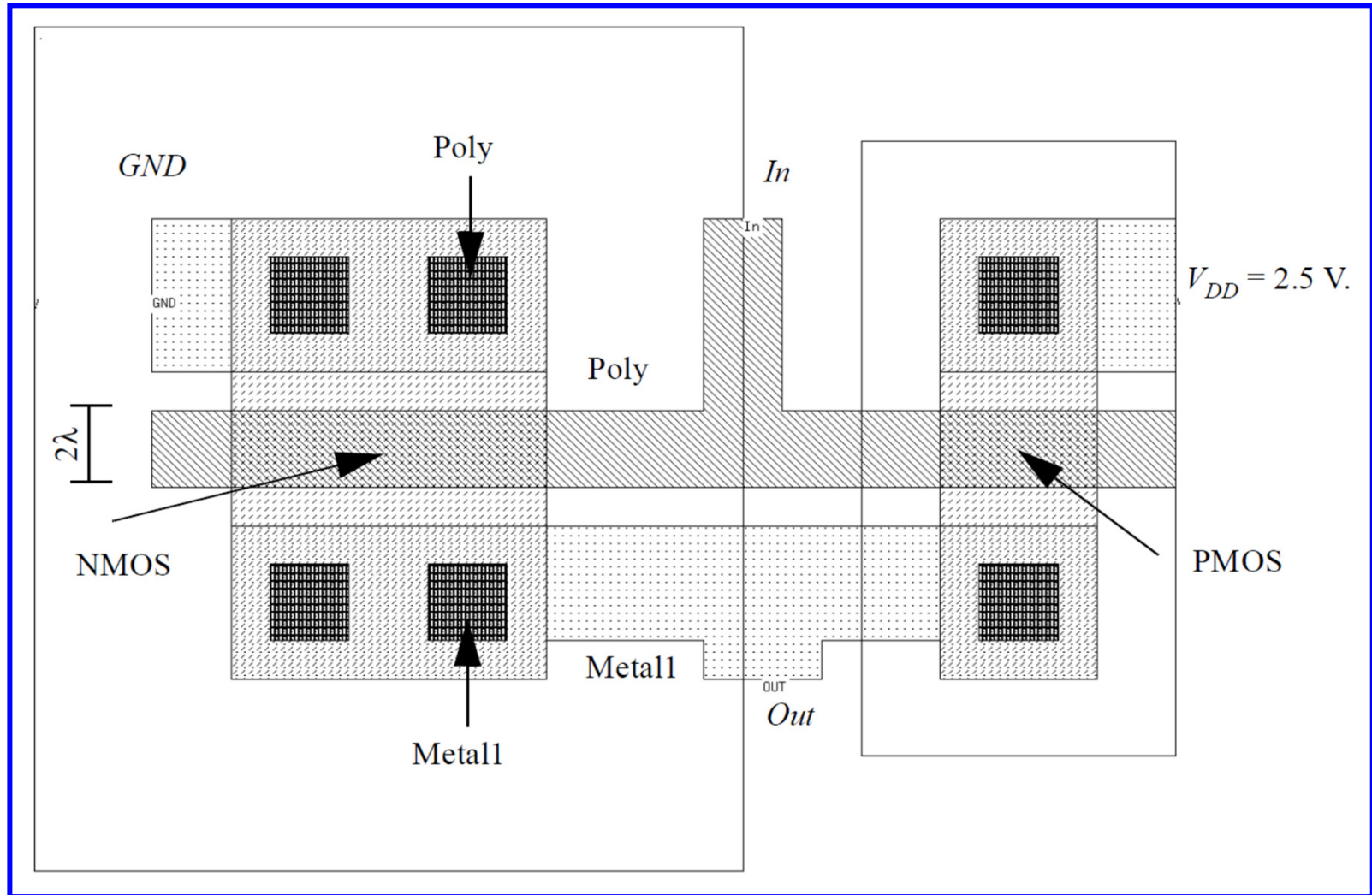
Παράδειγμα 4

Στο σχήματα που ακολουθούν δίνεται η χαρακτηριστική μεταφοράς τάσης ενός αντιστροφέα CMOS και το φυσικό του σχέδιο ($\lambda = 0.125 \mu\text{m}$).

1. Υπολογίζουμε τις διαστάσεις (W, L) των δύο τρανζίστορ.
2. Υπολογίζουμε γραφικά (με βάση τη χαρακτηριστική μεταφοράς τάσης) τις παραμέτρους: $V_{OH}, V_{OL}, V_M, V_{IH}, V_{IL}, NM_H, NM_L$ και κατόπιν υπολογίζουμε το κέρδος μέσου σημείου (g).
3. Για να γίνει το κατώφλι μετάβασης 0.75 V , θα πρέπει να αυξήσουμε ή να μειώσουμε το πλάτος καναλιού του τρανζίστορ NMOS; Πως θα επηρεαστούν τα περιθώρια θορύβου;



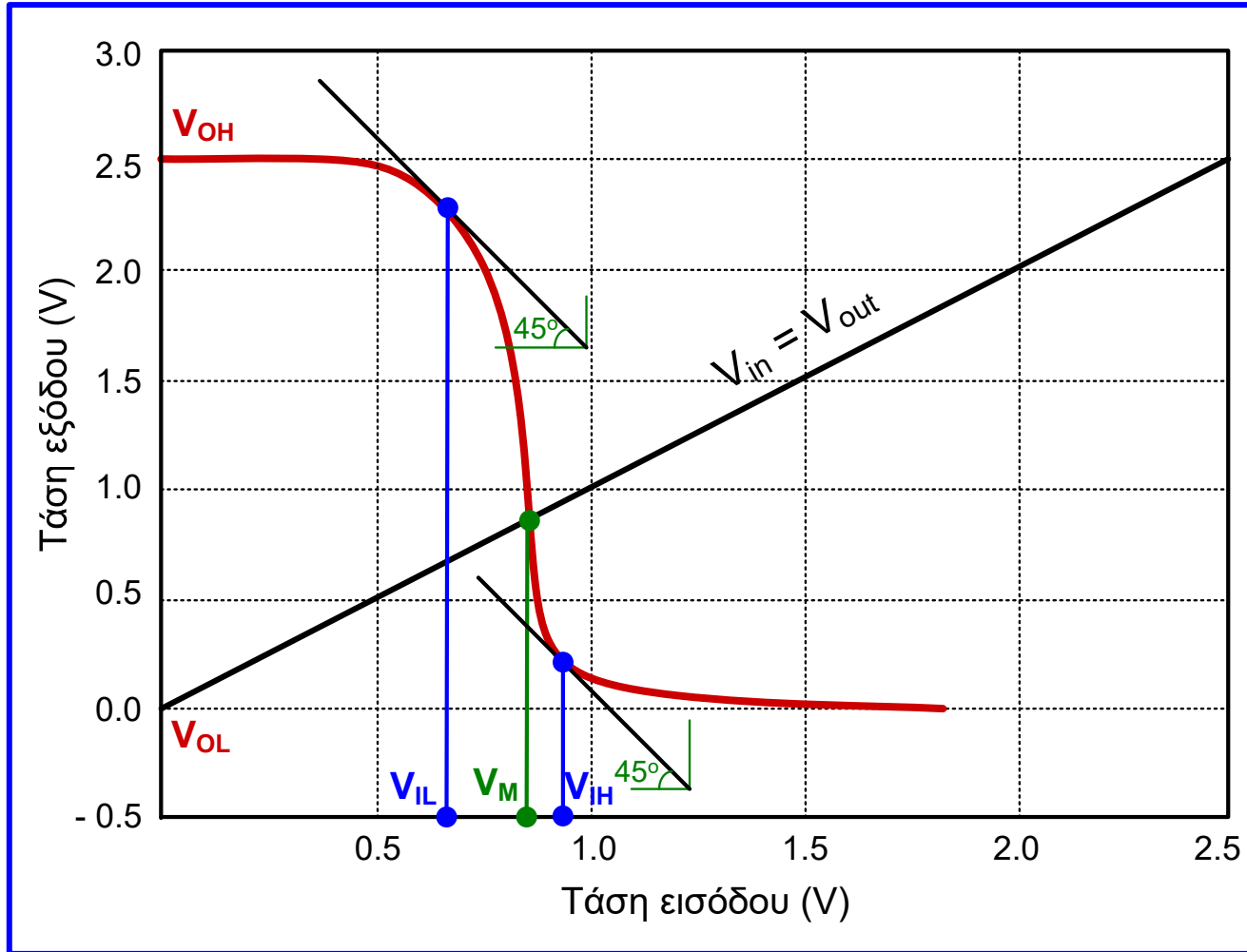
Παράδειγμα 4



1. $W_n = 8 \lambda = 1 \mu\text{m}$, $L_n = 2 \lambda = 0.25 \mu\text{m}$ και $W_p = 4 \lambda = 0.5 \mu\text{m}$, $L_p = 2 \lambda = 0.25 \mu\text{m}$

Παράδειγμα 4

2.



$$\begin{aligned}V_{OH} &= V_{DD} = 2.5 \text{ V} \\V_{OL} &= 0 \text{ V} \\V_M &= 0.85 \text{ V} \\V_{IH} &= 0.95 \text{ V} \\V_{IL} &= 0.65 \text{ V} \\NM_H &= V_{OH} - V_{IH} \\&= 1.55 \text{ V} \\NM_L &= V_{IL} - V_{OL} \\&= 0.65 \text{ V}\end{aligned}$$

$$\begin{aligned}V_{IH} &= V_M + \frac{V_M}{|g|} \Rightarrow \\|g| &= V_M / (V_{IH} - V_M) \\&\Rightarrow |g| = 8.5 \\&g = -8.5\end{aligned}$$

Παράδειγμα 4

3. Το κατώφλι μετάβασης (V_M) αυξάνεται όταν αυξηθεί ο λόγος W_p / W_n των πλατών των τρανζίστορ του αντιστροφέα. Για να μειώσουμε το κατώφλι μετάβασης (V_M) από 0.85 V σε 0.75 V θα πρέπει να μειώσουμε το λόγο W_p / W_n , που σημαίνει ότι θα πρέπει να **αυξήσουμε το πλάτος καναλιού του τρανζίστορ NMOS**.

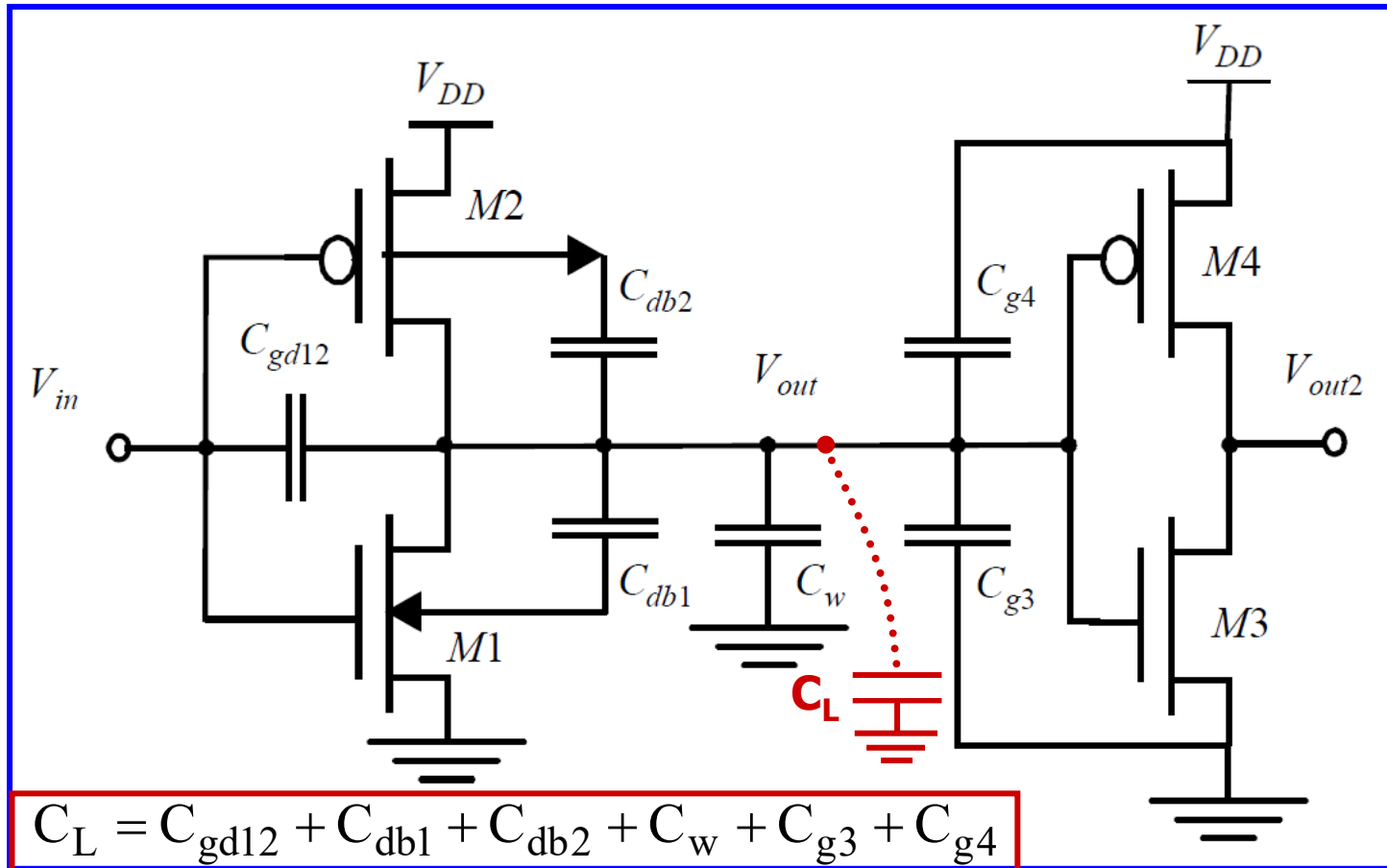
Λαμβάνοντας υπόψη το διάγραμμα της σελίδας 14, προκύπτει ότι θα πρέπει περίπου να διπλασιαστεί το πλάτος του τρανζίστορ NMOS ($W_n = 2 \mu\text{m}$), δηλαδή ο λόγος W_p / W_n να μειωθεί σε 0.25 από 0.5 που ήταν αρχικά.

Η μεταβατική περιοχή της χαρακτηριστικής μεταφοράς τάσης ολισθαίνει προς τα αριστερά όταν μειώνεται ο λόγος W_p / W_n . Επομένως, μετά την αύξηση του πλάτους του τρανζίστορ NMOS, το **περιθώριο θορύβου NM_H θα αυξηθεί** και το **περιθώριο θορύβου NM_L θα μειωθεί**.

Δυναμική συμπεριφορά αντιστροφέα CMOS

- Η **καθυστέρηση διάδοσης** (βασικό μέτρο **επίδοσης**) του αντιστροφέα CMOS καθορίζεται από το χρόνο που διαρκεί η φόρτιση και η εκφόρτιση της **χωρητικότητας εξόδου** του, μέσω των τρανζίστορ PMOS και NMOS, αντίστοιχα.
- Εκτός από την εξάρτηση από την χωρητικότητα εξόδου, η καθυστέρηση διάδοσης του αντιστροφέα εξαρτάται και από τις **αντιστάσεις αγωγής των τρανζίστορ**.
- Η επίτευξη όσο το δυνατόν μικρότερης χωρητικότητας εξόδου είναι κρίσιμη για την υλοποίηση κυκλωμάτων CMOS υψηλής επίδοσης.
- Το συνολικό **χωρητικό φορτίο (χωρητικότητα εξόδου)** ενός αντιστροφέα CMOS και γενικότερα μιας πύλης CMOS, προκύπτει από το άθροισμα της:
 - ✓ **χωρητικότητας πύλης των εισόδων που συνδέονται στην έξοδο** της πύλης,
 - ✓ **χωρητικότητας των περιοχών υποδοχής και χωρητικότητας πύλης-υποδοχής** που συνδέονται στην έξοδο της πύλης,
 - ✓ **χωρητικότητας των διασυνδέσεων** (που δημιουργούνται από γραμμές μετάλλου, πολυκρυσταλλικού πυριτίου ή διάχυσης) της εξόδου με τις εισόδους που αυτή οδηγεί.
- Συνεπώς, πριν την μελέτη της καθυστέρησης διάδοσης του αντιστροφέα, είναι απαραίτητο να μελετηθούν οι **συνιστώσες της χωρητικότητας εξόδου του αντιστροφέα**.

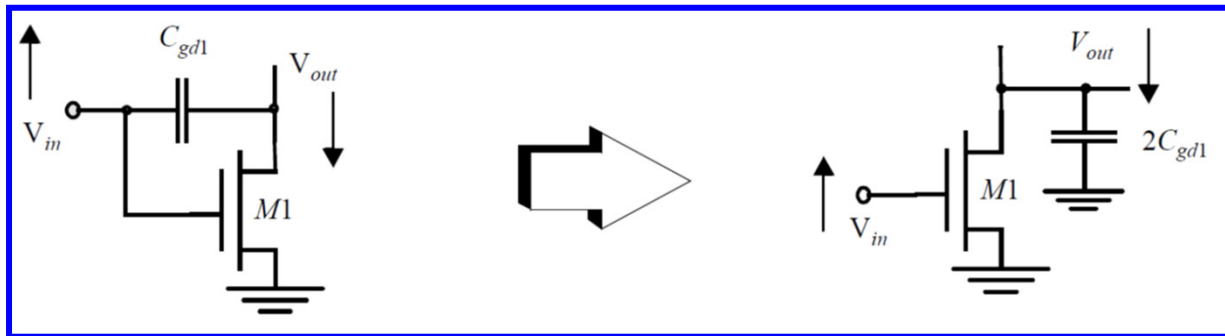
Χωρητικότητα εξόδου αντιστροφέα CMOS



Για να μειώσουμε την πολυπλοκότητα της ανάλυσης, υποθέτουμε ότι όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα, συγκεντρώνονται σε μία μόνο χωρητικότητα C_L , που συνδέεται μεταξύ της εξόδου και της γείωσης (συγκεντρωτικό μοντέλο).

Χωρητικότητα πύλης-υποδοχής

- Τα τρανζίστορ M1 και M2 λειτουργούν στην περιοχή αποκοπής ή στην περιοχή κορεσμού κατά τη διάρκεια του πρώτου μισού (έως το 50%) της μετάβασης εξόδου.
- Κάτω από αυτές τις συνθήκες, οι μόνες συνιστώσες που συμμετέχουν στην C_{gd12} είναι οι **χωρητικότητες επικάλυψης των τρανζίστορ M1 και M2**.
- Η **χωρητικότητα καναλιού** των τρανζίστορ **δεν επιδρά** στο διάστημα αυτό, αφού δημιουργείται μεταξύ πύλης-υποστρώματος (αποκοπή) ή μεταξύ πύλης-πηγής (κορεσμός).
- Το συγκεντρωτικό μοντέλο επιβάλλει την αντικατάσταση της χωρητικότητας πύλης-υποδοχής από μία χωρητικότητα που συνδέεται στη γείωση.
- Κατά την διάρκεια μετάβασης από τη χαμηλή στην υψηλή ή από την υψηλή στη χαμηλή στάθμη, η τάση στα 2 άκρα της χωρητικότητας C_{gd12} κινούνται σε αντίθετες κατευθύνσεις, επομένως η **αλλαγή τάσης στην C_{gd12} είναι διπλάσια του εύρους ταλάντευσης της V_{out}** .
- Με βάση το **φαινόμενο Miller**, η χωρητικότητα που συνδέεται στη γείωση πρέπει να έχει διπλάσια τιμή από την χωρητικότητα C_{gd12} .



$$C_{gd12} = 2C_{gdon} W_n + 2C_{gdop} W_p$$

C_{gdo} : χωρητικότητα επικάλυψης ανά μονάδα πλάτους καναλιού

Χωρητικότητες περιοχών υποδοχής

- Η χωρητικότητα υποδοχής που οφείλεται στην **ανάστροφα πολωμένη επαφή pn υποστρώματος - υποδοχής**, είναι μη γραμμική και εξαρτάται από την εφαρμοζόμενη τάση.
- Συνίσταται από την **χωρητικότητα βάσης (C_j)** της επαφής και από τη χωρητικότητα **περιφερειακών πλευρών (C_{jsw})** της επαφής: $C_{db} = W L_S C_j + (W + 2 L_S) C_{jsw}$.

$$C_j = C_{j0} \left(1 - \frac{V_j}{\phi_b} \right)^{-m_j}$$

V_j : τάση (πόλωση) επαφής υποστρώματος - υποδοχής

C_{j0} : χωρητικότητα για $V_j = 0$

ϕ_b : ενσωματωμένο δυναμικό επαφής (0.6 – 1 V)

m : 0.3 – 0.5. **Αντίστοιχη σχέση ισχύει για την C_{jsw} .**

- Όταν η τάση επαφής υποστρώματος-υποδοχής μεταβάλλεται μεταξύ δύο σημείων πόλωσης (V_{high} , V_{low}), η χωρητικότητα υποδοχής μπορεί να προσεγγιστεί με την μέση τιμή των χωρητικότητων που προκύπτουν για κάθε σημείο πόλωσης:

$$C_j = C_{j0} K_{eq} = C_{j0} \frac{(1 - V_{high} / \phi_b)^{-m_j} + (1 - V_{low} / \phi_b)^{-m_j}}{2}$$

$$C_{jsw} = C_{jsw0} K_{eqsw} = C_{jsw0} \frac{(1 - V_{high} / \phi_b)^{-m_{jsw}} + (1 - V_{low} / \phi_b)^{-m_{jsw}}}{2}$$

Χωρητικότητες περιοχών υποδοχής

- **Δεύτερη προσέγγιση** για τον παράγοντα K_{eq} , που καταλήγει σε παρόμοια αποτελέσματα:

$$K_{eq} = \frac{\phi_b^{-m_j}}{(V_{high} - V_{low})(1 - m_j)} [(\phi_b - V_{high})^{1-m_j} - (\phi_b - V_{low})^{1-m_j}]$$

$$K_{eqsw} = \frac{\phi_b^{-m_{jsw}}}{(V_{high} - V_{low})(1 - m_{jsw})} [(\phi_b - V_{high})^{1-m_{jsw}} - (\phi_b - V_{low})^{1-m_{jsw}}]$$

- Η καθυστέρηση διάδοσης ορίζεται ως ο χρόνος μεταξύ του 50% των μεταβάσεων της τάσης εισόδου και της τάσης εξόδου.
- Στο 50% της μετάβασης εξόδου $V_{out} = 1.25 \text{ V}$ (για $V_{DD} = 2.5 \text{ V}$) και κατά τη διάρκεια της μετάβασης της εξόδου από την υψηλή στη χαμηλή στάθμη, αφού το υπόστρωμα του **NMOS** συνδέεται στη γείωση, αυτό μεταφράζεται σε μία ανάστροφη πόλωση των 2.5 V στην επαφή υποστρώματος-υποδοχής ($V_{high} = -2.5 \text{ V}$) και σε μια ανάστροφη πόλωση των 1.25 V ($V_{low} = -1.25 \text{ V}$).
- Κατά τη διάρκεια της μετάβασης της εξόδου από τη χαμηλή στην υψηλή στάθμη, έχουμε αντίστοιχα, $V_{high} = -1.25 \text{ V}$ και $V_{low} = 0 \text{ V}$.
- Το **PMOS** παρουσιάζει αντίστροφη συμπεριφορά, αφού το υπόστρωμά του συνδέεται σε τάση $V_{DD} = 2.5 \text{ V}$ (H → L: $V_{low} = 0$, $V_{high} = -1.25 \text{ V}$, L → H: $V_{low} = -1.25 \text{ V}$, $V_{high} = -2.5 \text{ V}$).

Χωρητικότητα διασύνδεσης & χωρητικότητα φορτίου

- Η **χωρητικότητα** λόγω των **γραμμών διασύνδεσης** εξαρτάται από το μήκος και το πλάτος των γραμμών αυτών και είναι συνάρτηση της απόστασης των πυλών που οδηγούνται από την πύλη και του αριθμού αυτών των πυλών.
- Η **χωρητικότητα φορτίου (ή φόρτου) εξόδου** ισούται με τη συνολική χωρητικότητα των πυλών των τρανζίστορ M3 και M4 που οδηγούνται από τον αντιστροφέα.

$$\begin{aligned}C_{fanout} &= C_{gate}(\text{NMOS}) + C_{gate}(\text{PMOS}) \\ &= (C_{GSO_n} + C_{GDO_n} + W_n L_n C_{ox}) + (C_{GSO_p} + C_{GDO_p} + W_p L_p C_{ox})\end{aligned}$$

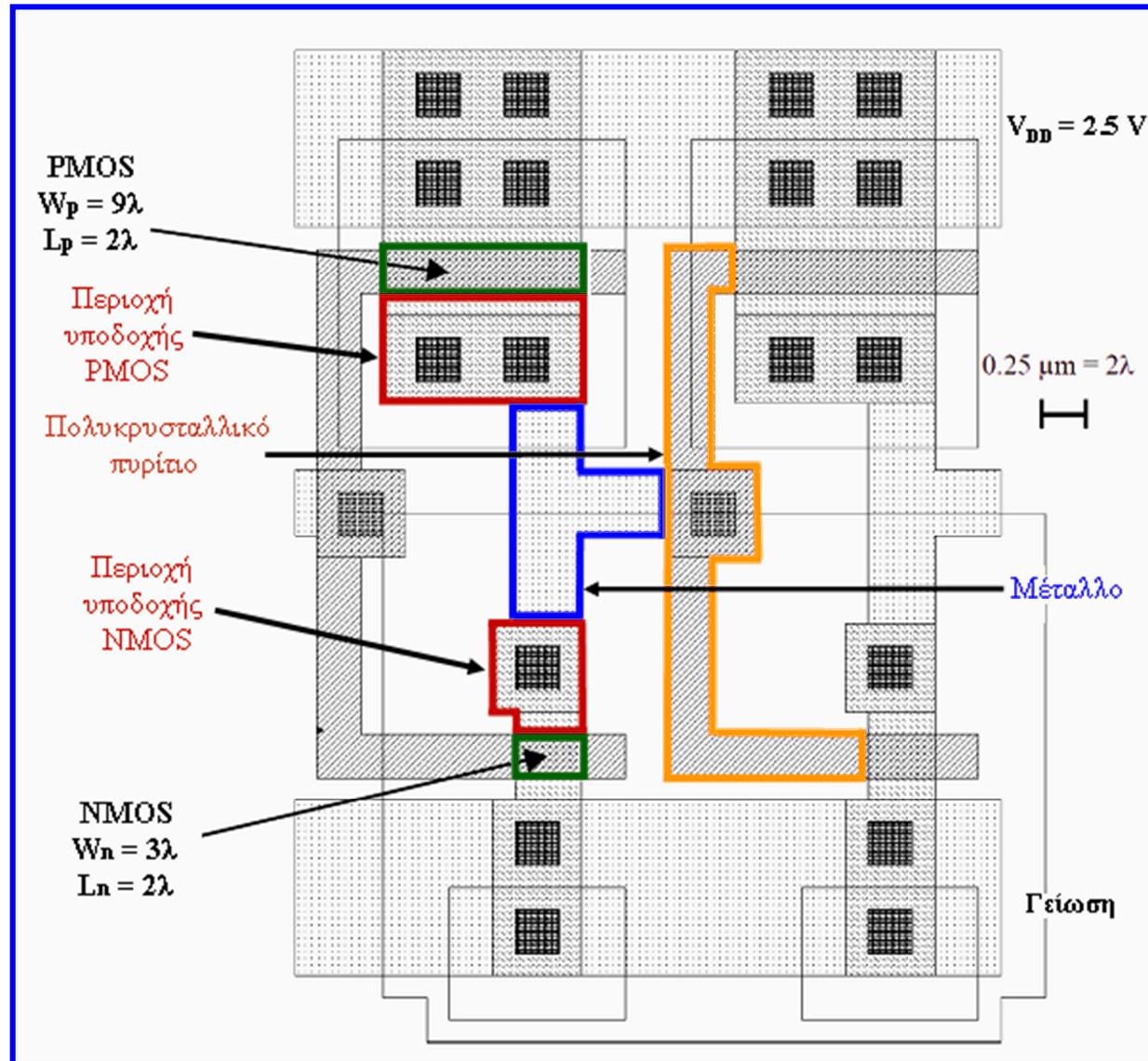
- Η παραπάνω έκφραση υποθέτει ότι η χωρητικότητα καναλιού της συνδεδεμένης πύλης είναι σταθερή στο διάστημα μετάβασης εξόδου μέχρι το 50% της τάσης τροφοδοσίας.
- Ωστόσο, η συνολική χωρητικότητα καναλιού κυμαίνεται από $(2/3) W L C_{ox}$ (περιοχή κορεσμού) έως $W L C_{ox}$ (γραμμική περιοχή και αποκοπή).
- Το σφάλμα παράβλεψης της μεταβολής της χωρητικότητας καναλιού είναι περίπου 10%.
- Η παραπάνω έκφραση υποθέτει επίσης ότι όλες οι συνιστώσες της χωρητικότητας πύλης συνδέονται μεταξύ εξόδου και γείωσης ή τροφοδοσίας και παραβλέπει το φαινόμενο Miller στις χωρητικότητες πύλης-υποδοχής.

Παράδειγμα 5

Στην επόμενη σελίδα δίνεται το φυσικό σχέδιο αλυσίδας δύο όμοιων αντιστροφών CMOS τεχνολογίας CMOS ($\lambda = 0.125 \mu\text{m}$). Οι παράμετροι που σχετίζονται με τις χωρητικότητες των τρανζίστορ δίνονται στον παρακάτω πίνακα. Επίσης, δίνεται ότι η χωρητικότητα ανά μονάδα επιφάνειας μιας γραμμής διασύνδεσης πολυκρυσταλλικού πυριτίου είναι $0.09 \text{ fF}/\mu\text{m}^2$, ενώ μιας γραμμής διασύνδεσης μετάλλου είναι $0.03 \text{ fF}/\mu\text{m}^2$. Υπολογίζουμε την χωρητικότητα εξόδου (C_L) του πρώτου αντιστροφέα της αλυσίδας.

$t_{\text{ox}} = 6 \text{ nm}$	C_{ox} (fF/ μm^2)	$C_{\text{gso/gdo}}$ (fF/ μm)	C_{j0} (fF/ μm^2)	m_j	ϕ_b (V)	C_{jsw0} (fF/ μm)	m_{jsw}	ϕ_{bsw} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

Παράδειγμα 5



Παράδειγμα 5

- Από το φυσικό σχέδιο μπορούμε να εξαγάγουμε τα παρακάτω γεωμετρικά χαρακτηριστικά των τρανζίστορ.

	W/L	AD (μm^2)	PD (μm)
NMOS	0.375/0.25	0.3 ($19 \lambda^2$)	1.875 (15λ)
PMOS	1.125/0.25	0.7 ($45 \lambda^2$)	2.375 (19λ)

- Επίσης, από το φυσικό σχέδιο συμπεραίνουμε ότι η επιφάνεια της γραμμής μετάλλου και της γραμμής πολυκρυσταλλικού πυριτίου (εκτός των τρανζίστορ) που διασυνδέουν τους δυο αντιστροφείς της αλυσίδας είναι $42\lambda^2$ και $72\lambda^2$, αντίστοιχα.
- Η ζητούμενη χωρητικότητα εξόδου του πρώτου αντιστροφέα, έχει ως εξής:

$$C_L = C_{db1} + C_{db2} + C_{gd12} + C_w + C_{fanout}$$

- Για τον υπολογισμό της **χωρητικότητας περιοχής υποδοχής του τρανζίστορ NMOS (C_{db1})**, λαμβάνουμε υπόψη ότι η καθυστέρηση διάδοσης ορίζεται ως ο χρόνος μεταξύ του 50% των μεταβάσεων της τάσης εισόδου και της τάσης εξόδου και γραμμικοποιούμε τη χωρητικότητα στο διάστημα $\{2.5 \text{ V}, 1.25 \text{ V}\}$ για τη μετάβαση από την υψηλή στη χαμηλή στάθμη και στο διάστημα $\{0, 1.25 \text{ V}\}$ για τη μετάβαση από τη χαμηλή στην υψηλή στάθμη.

Παράδειγμα 5

- Το τρανζίστορ PMOS παρουσιάζει αντίστροφη συμπεριφορά, αφού το υπόστρωμά του συνδέεται σε τάση 2.5 V.
- Έτσι, τον υπολογισμό της **χωρητικότητας περιοχής υποδοχής του τρανζίστορ PMOS (C_{db2})**, για τη μετάβαση από την υψηλή στη χαμηλή στάθμη γραμμικοποιούμε τη χωρητικότητα στο διάστημα {0 V, 1.25 V} και για τη μετάβαση από την χαμηλή στην υψηλή στάθμη, γραμμικοποιούμε τη χωρητικότητα στο διάστημα {1.25 V, 2.5 V}.
- Οι επαφές υποστρώματος-υποδοχής είναι ανάστροφα πολωμένες.

$$C_j = C_{j0} K_{eq} = C_{j0} \frac{(1 - V_{high} / \phi_b)^{-m_j} + (1 - V_{low} / \phi_b)^{-m_j}}{2}$$

$$C_{jsw} = C_{jsw0} K_{eqsw} = C_{jsw0} \frac{(1 - V_{high} / \phi_b)^{-m_{jsw}} + (1 - V_{low} / \phi_b)^{-m_{jsw}}}{2}$$

$$C_{jH \rightarrow L} = C_{j0} K_{eq} = 2 \frac{(1 - (-2.5) / 0.9)^{-0.5} + (1 - (-1.25) / 0.9)^{-0.5}}{2} = 1.16 \text{ fF} / \mu\text{m}^2$$

$$C_{jswH \rightarrow L} = C_{jsw0} K_{eqsw} = 0.28 \frac{(1 - (-2.5) / 0.9)^{-0.44} + (1 - (-1.25) / 0.9)^{-0.44}}{2} = 0.17 \text{ fF} / \mu\text{m}^2$$

$$C_{db1 H \rightarrow L} = AD_n C_j + PD_n C_{jsw} \Rightarrow C_{db1 H \rightarrow L} = 0.3 \times 1.16 + 1.875 \times 0.17 = \mathbf{0.66 \text{ fF}}$$

Παράδειγμα 5

$$C_{jL \rightarrow H} = C_{j0} K_{eq} = 2 \frac{(1 - (-1.25)/0.9)^{-0.5} + (1 - 0/0.9)^{-0.5}}{2} = 1.64 \text{ fF}/\mu\text{m}^2$$

$$C_{jswL \rightarrow H} = C_{jsw0} K_{eqsw} = 0.28 \frac{(1 - (-1.25)/0.9)^{-0.44} + (1 - 0/0.9)^{-0.44}}{2} = 0.23 \text{ fF}/\mu\text{m}^2$$

$$C_{db1 L \rightarrow H} = AD_n C_j + PD_n C_{jsw} \Rightarrow C_{db1 L \rightarrow H} = 0.3 \times 1.64 + 1.875 \times 0.23 = \mathbf{0.92 \text{ fF}}$$

$$C_{jH \rightarrow L} = C_{j0} K_{eq} = 1.9 \frac{(1 - (-1.25)/0.9)^{-0.48} + (1 - 0/0.9)^{-0.48}}{2} = 1.57 \text{ fF}/\mu\text{m}^2$$

$$C_{jswH \rightarrow L} = C_{jsw0} K_{eqsw} = 0.22 \frac{(1 - (-1.25)/0.9)^{-0.32} + (1 - 0/0.9)^{-0.32}}{2} = 0.19 \text{ fF}/\mu\text{m}^2$$

$$C_{db2 H \rightarrow L} = AD_p C_j + PD_p C_{jsw} \Rightarrow C_{db2 H \rightarrow L} = 0.7 \times 1.57 + 2.375 \times 0.19 = \mathbf{1.55 \text{ fF}}$$

$$C_{jL \rightarrow H} = C_{j0} K_{eq} = 1.9 \frac{(1 - (-2.5)/0.9)^{-0.48} + (1 - (-1.25)/0.9)^{-0.48}}{2} = 1.12 \text{ fF}/\mu\text{m}^2$$

$$C_{jswL \rightarrow H} = C_{jsw0} K_{eqsw} = 0.22 \frac{(1 - (-2.5)/0.9)^{-0.32} + (1 - (-1.25)/0.9)^{-0.32}}{2} = 0.15 \text{ fF}/\mu\text{m}^2$$

$$C_{db2 L \rightarrow H} = AD_p C_j + PD_p C_{jsw} \Rightarrow C_{db2 L \rightarrow H} = 0.7 \times 1.12 + 2.375 \times 0.15 = \mathbf{1.14 \text{ fF}}$$

Παράδειγμα 5

- Κατά την διάρκεια μιας μετάβασης, η τάση στα 2 άκρα της χωρητικότητας C_{gd12} κινούνται σε αντίθετες κατευθύνσεις, επομένως η αλλαγή τάσης στην C_{gd12} είναι διπλάσια του εύρους ταλάντευσης της V_{out} .
- Με βάση το φαινόμενο Miller, η χωρητικότητα που συνδέεται στη γείωση πρέπει να έχει διπλάσια τιμή από την χωρητικότητα C_{gd12} .

$$C_{gd12} = 2C_{gdon}W_n + 2C_{gdop}W_p \Rightarrow C_{gd12} = 2 \times 0.31 \times 0.375 + 2 \times 0.27 \times 1.125 = 0.84 \text{ fF}$$

- Με βάση το ότι από το φυσικό σχέδιο προκύπτει ότι η επιφάνεια της γραμμής μετάλλου και της γραμμής πολυκρυσταλλικού πυριτίου που διασυνδέουν τους δυο αντιστροφείς είναι $42\lambda^2$ και $72\lambda^2$, αντίστοιχα, καθώς και το ότι η χωρητικότητα ανά μονάδα επιφάνειας μιας γραμμής διασύνδεσης πολυκρυσταλλικού πυριτίου είναι $0.09 \text{ fF}/\mu\text{m}^2$, ενώ μιας γραμμής διασύνδεσης μετάλλου είναι $0.03 \text{ fF}/\mu\text{m}^2$, υπολογίζουμε τη χωρητικότητα των γραμμών διασύνδεσης του πρώτου με τον δεύτερο αντιστροφή:

$$C_w = 42 \times 0.125^2 \mu\text{m}^2 \times 0.03 \text{ fF}/\mu\text{m}^2 + 72 \times 0.125^2 \mu\text{m}^2 \times 0.09 \text{ fF}/\mu\text{m}^2 = 0.12 \text{ fF}$$

Παράδειγμα 5

- Η χωρητικότητα του φορτίου ισούται με τη συνολική χωρητικότητα των πυλών των τρανζίστορ του δεύτερου αντιστροφέα της αλυσίδας:

$$\begin{aligned}C_{fanout} &= C_{gate}(\text{NMOS}) + C_{gate}(\text{PMOS}) \\&= (C_{GSO_n} + C_{GDO_n} + W_n L_n C_{ox}) + (C_{GSO_p} + C_{GDO_p} + W_p L_p C_{ox}) \\&= (0.31 \times 0.375 + 0.31 \times 0.375 + 0.375 \times 0.25 \times 6) + \\&\quad (0.27 \times 1.125 + 0.27 \times 1.125 + 1.125 \times 0.25 \times 6) = 0.76 + 2.28 = \mathbf{3.04 \text{ fF}}\end{aligned}$$

- Η ζητούμενη **χωρητικότητα εξόδου του πρώτου αντιστροφέα**, έχει ως εξής:

$$\begin{aligned}C_{L(H \rightarrow L)} &= C_{db1H \rightarrow L} + C_{db2H \rightarrow L} + C_{gd12} + C_w + C_{fanout} \\&= 0.66 + 1.55 + 0.84 + 0.12 + 3.04 = \mathbf{6.21 \text{ fF}} \\C_{L(L \rightarrow H)} &= C_{db1L \rightarrow H} + C_{db2L \rightarrow H} + C_{gd12} + C_w + C_{fanout} \\&= 0.92 + 1.14 + 0.84 + 0.12 + 3.04 = \mathbf{6.06 \text{ fF}}\end{aligned}$$

Προκύπτει ισορροπία μεταξύ ενδογενούς και εξωγενούς συνιστώσας της χωρητικότητας εξόδου

Καθυστέρηση διάδοσης αντιστροφέα CMOS

- Κατά τον υπολογισμό της καθυστέρησης διάδοσης του αντιστροφέα, η **αντίσταση αγωγής των τρανζίστορ** και η **χωρητικότητα εξόδου του αντιστροφέα** θεωρούνται **σταθερά γραμμικά στοιχεία** με μέσες τιμές στο διάστημα που μας ενδιαφέρει, δηλαδή στο 50% της μετάβασης της τάσης εξόδου του αντιστροφέα.
- Μέση αντίσταση αγωγής MOSFET** για μετάβαση τάσης εξόδου από V_{DD} έως $V_{DD} / 2$:

$$R_{eq} \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

- Για **μετάβαση τάσης εξόδου από V_{DD} έως $V_{DD} / 2$** , η καθυστέρηση διάδοσης του ισοδύναμου κυκλώματος RC, που διεγείρεται από μία βηματική τάση, είναι ανάλογη της σταθεράς χρόνου του κυκλώματος, που απαρτίζεται από την αντίσταση οδήγησης (μέση αντίσταση αγωγής NMOS) προς τη γείωση και τη χωρητικότητα εξόδου.
- Παρομοίως, υπολογίζουμε την **καθυστέρηση διάδοσης για τη μετάβαση από τη χαμηλή στην υψηλή στάθμη**, χρησιμοποιώντας την μέση αντίσταση αγωγής του τρανζίστορ PMOS.

$$t_{pHL} = \ln(2) R_{eqn} C_L = 0.69 R_{eqn} C_L$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0.69 C_L \left(\frac{R_{eqn} + R_{eqp}}{2} \right)$$

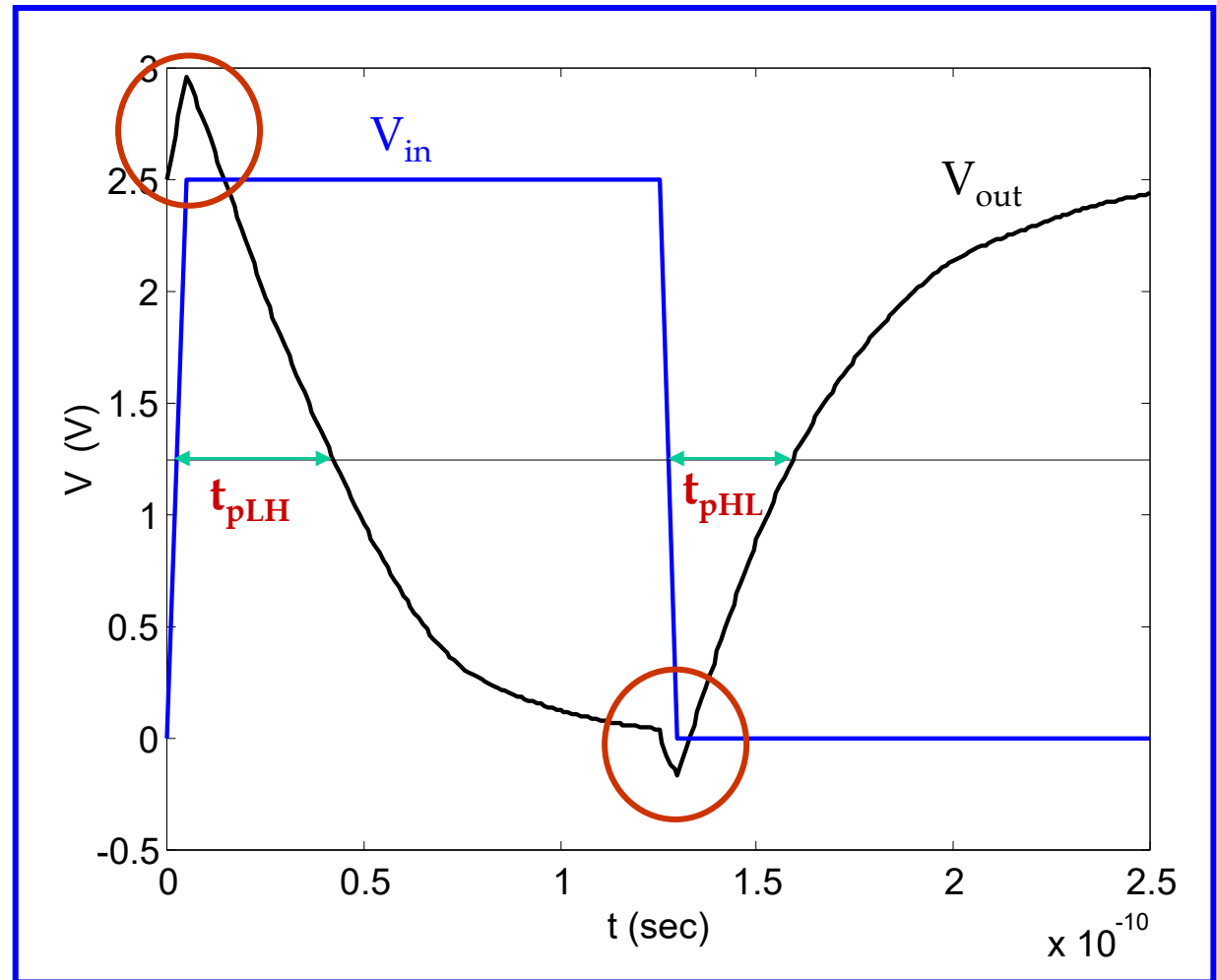
Ενότητα 1
σελίδα 74

$$t_{pLH} = 0.69 R_{eqp} C_L$$

Συνολική καθυστέρηση διάδοσης

Καθυστέρηση διάδοσης αντιστροφεία CMOS

Η **υπερβάση (overshoot)** της τάσης εξόδου σε τιμές μεγαλύτερες της τάσης τροφοδοσίας και η **καθήλωση (undershoot)** της τάσης εξόδου σε αρνητικές τιμές, προκαλούνται από τις χωρητικότητες πύλης-υποδοχής των τρανζίστορ του αντιστροφεία, που δημιουργούν απευθείας σύζευξη μεταξύ της εισόδου (η τάση της οποίας μεταβάλεται απότομα) και της εξόδου, πριν τα τρανζίστορ αρχίσουν να αντιδρούν στην μεταβολή της τάσης εισόδου.



Καθυστέρηση διάδοσης αντιστροφεία CMOS

- Συχνά είναι επιθυμητό μία πύλη να έχει **ίσες καθυστερήσεις διάδοσης** για **ανερχόμενη** και **κατερχόμενη μετάβαση**.
- Η συνθήκη αυτή θεωρητικά μπορεί να επιτευχθεί καθιστώντας **ίσες τις αντιστάσεις αγωγής των τρανζίστορ NMOS και PMOS**.
- Συνδυάζοντας τις εκφράσεις μέσης αντίστασης αγωγής και καθυστέρησης και παραβλέποντας το φαινόμενο διαμόρφωσης μήκους καναλιού ($\lambda = 0$):

$$t_{pHL} = 0.69 \frac{3 C_L V_{DD}}{4 I_{DSATn}} = 0.52 \frac{C_L V_{DD}}{(W/L)_n k'_n V_{DSATn} (V_{DD} - V_{Tn} - V_{DSATn}/2)}$$

Για μεγάλες τιμές της V_{DD} , τέτοιες
ώστε: $V_{DD} \gg V_{Tn} + V_{DSATn}/2$

$$t_{pHL} \approx 0.52 \frac{C_L}{(W/L)_n k'_n V_{DSATn}}$$

- Η **καθυστέρηση μειώνεται** όταν **αυξάνεται ο λόγος W/L** και όταν **μειώνεται η χωρητικότητα εξόδου**, ενώ προκύπτει ότι για **μεγάλες τιμές της τάσης τροφοδοσίας**, η **καθυστέρηση διάδοσης γίνεται ουσιαστικά ανεξάρτητη** από την τάση τροφοδοσίας.
- Ωστόσο, η **αύξηση της τάσης τροφοδοσίας οδηγεί πάντα σε βελτίωση επίδοσης (μείωση καθυστέρησης)**, λόγω του μη μηδενικού παράγοντα διαμόρφωσης του μήκους καναλιού.

Παράδειγμα 6

Υπολογίζουμε την καθυστέρηση του 1ου αντιστροφέα CMOS της αλυσίδας του προηγούμενου Παραδείγματος 5. Επιπλέον των δεδομένων του προηγούμενου παραδείγματος, δίνονται οι παράμετροι των δύο τρανζίστορ του παρακάτω πίνακα, καθώς κι ότι η ισοδύναμη αντίσταση αγωγής του τρανζίστορ PMOS ανέρχεται στο 80% εκείνης του τρανζίστορ NMOS.

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$	$\lambda \text{ (V}^{-1}\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$	0.06
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$	-0.1

Η χωρητικότητα εξόδου (C_L) υπολογίστηκε στο Παράδειγμα 5, ενώ η ισοδύναμη αντίσταση αγωγής του τρανζίστορ NMOS υπολογίζεται με βάση την σχέση που ακολουθεί:

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

$$R_{eq} \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

$$I_{DSATn} = 115 \cdot 10^{-6} \cdot \frac{0.375}{0.25} \cdot 0.63 \cdot (2.5 - 0.43 - 0.63/2) = 190.72 \mu\text{A}$$

$$R_{eqn} = 0.75 \cdot (2.5 / 190.72 \cdot 10^{-6}) \cdot (1 - 0.83 \cdot 0.06 \cdot 2.5) = 8.6 \text{ k}\Omega$$

$$R_{eqp} = 0.8 \cdot R_{eqn} = 6.9 \text{ k}\Omega$$

Παράδειγμα 6

Για τον υπολογισμό της καθυστέρησης διάδοσης του πρώτου αντιστροφέα του Παραδείγματος 5, χρησιμοποιούμε τις εκφράσεις για την καθυστέρηση (t_{pHL} και t_{pLH}) του αντιστροφέα CMOS:

$$t_{pHL} = \ln(2)R_{eqn}C_L = 0.69R_{eqn}C_L = 0.69 \times 8.6 \text{ k}\Omega \times 6.21 \text{ fF} = 36.8 \text{ ps}$$

$$t_{pLH} = 0.69R_{eqp}C_L = 0.69 \times 6.9 \text{ k}\Omega \times 6.06 \text{ fF} = 28.8 \text{ ps}$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = (36.8 + 28.8) / 2 = 32.8 \text{ ps}$$

Παράδειγμα 7

Υπολογίζουμε ξανά την καθυστέρηση του αντιστροφέα του προηγούμενου παραδείγματος, χρησιμοποιώντας διαφορετική προσέγγιση, κατά την οποία αντικαθιστούμε τα τρανζίστορ με πηγές ρεύματος που έχουν τιμή ίση με το μέσο ρεύμα φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου στα διαστήματα που μας ενδιαφέρουν. Δίνονται οι ίδιοι παράμετροι για τα τρανζίστορ στον παρακάτω πίνακα και υπενθυμίζεται ότι οι τιμές της χωρητικότητας εξόδου του αντιστροφέα είναι 6.21 fF για μετάβαση της τάσης εξόδου από την υψηλή στην χαμηλή στάθμη και 6.06 fF για μετάβαση της εξόδου από την χαμηλή στην υψηλή στάθμη.

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$	$\lambda \text{ (V}^{-1}\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$	0.06
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$	-0.1

- Μπορούμε να θεωρήσουμε ότι η καθυστέρηση διάδοσης του αντιστροφέα δίνεται από την σχέση $\Delta t = \Delta Q / I$, όπου $\Delta Q = C_L \times (V_{DD} / 2)$ και I είναι το **μέσο ρεύμα που φορτίζει ή εκφορτίζει τη χωρητικότητα εξόδου (C_L)** του αντιστροφέα έως το 50% της V_{DD} .
- Κατά την μετάβαση της τάσης εξόδου του αντιστροφέα από την υψηλή στην χαμηλή στάθμη, η χωρητικότητα εξόδου εκφορτίζεται μέσω του τρανζίστορ NMOS, επομένως $I = I_{av-n}$, ενώ κατά τη μετάβαση της τάσης εξόδου από την χαμηλή στην υψηλή στάθμη η χωρητικότητα εξόδου του αντιστροφέα φορτίζεται μέσω του τρανζίστορ PMOS, επομένως $I = I_{av-p}$.

Παράδειγμα 7

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right) \cdot (1 + \lambda \cdot V_{DS})$$

$$I_{Dn}(V_o = 2.5V) = 115 \cdot 10^{-6} \cdot \frac{0.375}{0.25} \cdot 0.63 \cdot (2.5 - 0.43 - 0.63/2) \cdot (1 + 0.06 \cdot 2.5) = 219.3 \mu A$$

$$I_{Dn}(V_o = 1.25V) = 115 \cdot 10^{-6} \cdot \frac{0.375}{0.25} \cdot 0.63 \cdot (2.5 - 0.43 - 0.63/2) \cdot (1 + 0.06 \cdot 1.25) = 205 \mu A$$

$$I_{Dp}(V_o = 0) = 30 \cdot 10^{-6} \cdot \frac{1.125}{0.25} \cdot (-1) \cdot (-2.5 + 0.4 + 1/2) \cdot (1 + 0.1 \cdot 2.5) = 270 \mu A$$

$$I_{Dp}(V_o = 1.25V) = 30 \cdot 10^{-6} \cdot \frac{1.125}{0.25} \cdot (-1) \cdot (-2.5 + 0.4 + 1/2) \cdot (1 + 0.1 \cdot 1.25) = 243 \mu A$$

$$I_{av-n} = \frac{I_{Dn}(V_o = V_{DD}) + I_{Dn}\left(V_o = \frac{V_{DD}}{2}\right)}{2}$$
$$= (219.3 + 205) / 2 = 212.15 \mu A$$

$$I_{av-p} = \frac{I_{Dp}(V_o = 0) + I_{Dp}\left(V_o = \frac{V_{DD}}{2}\right)}{2}$$
$$= (270 + 243) / 2 = 256.5 \mu A$$

Παράδειγμα 7

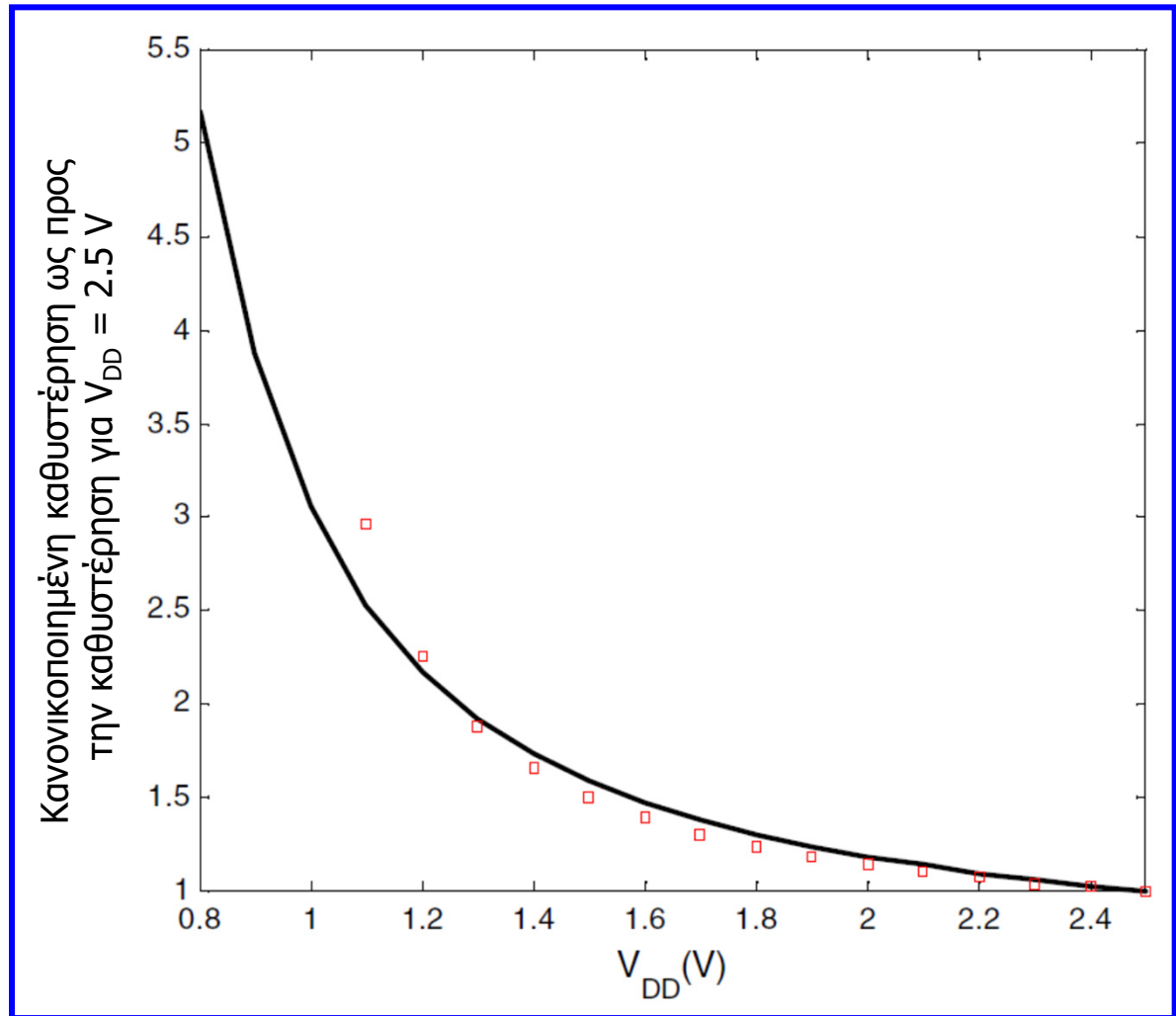
$$\begin{aligned}t_{pHL} &= \frac{(V_{DD} / 2) \cdot C_L}{I_{av-n}} \\ &= (1.25 \text{ V} \times 6.21 \text{ fF}) / 212.15 \text{ } \mu\text{A} \\ &= 36.5 \text{ ps}\end{aligned}$$

$$\begin{aligned}t_{pLH} &= \frac{(V_{DD} / 2) \cdot C_L}{I_{av-p}} \\ &= (1.25 \text{ V} \times 6.06 \text{ fF}) / 256.5 \text{ } \mu\text{A} \\ &= 29.5 \text{ ps}\end{aligned}$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = (36.5 + 29.5) / 2 = 33 \text{ ps}$$

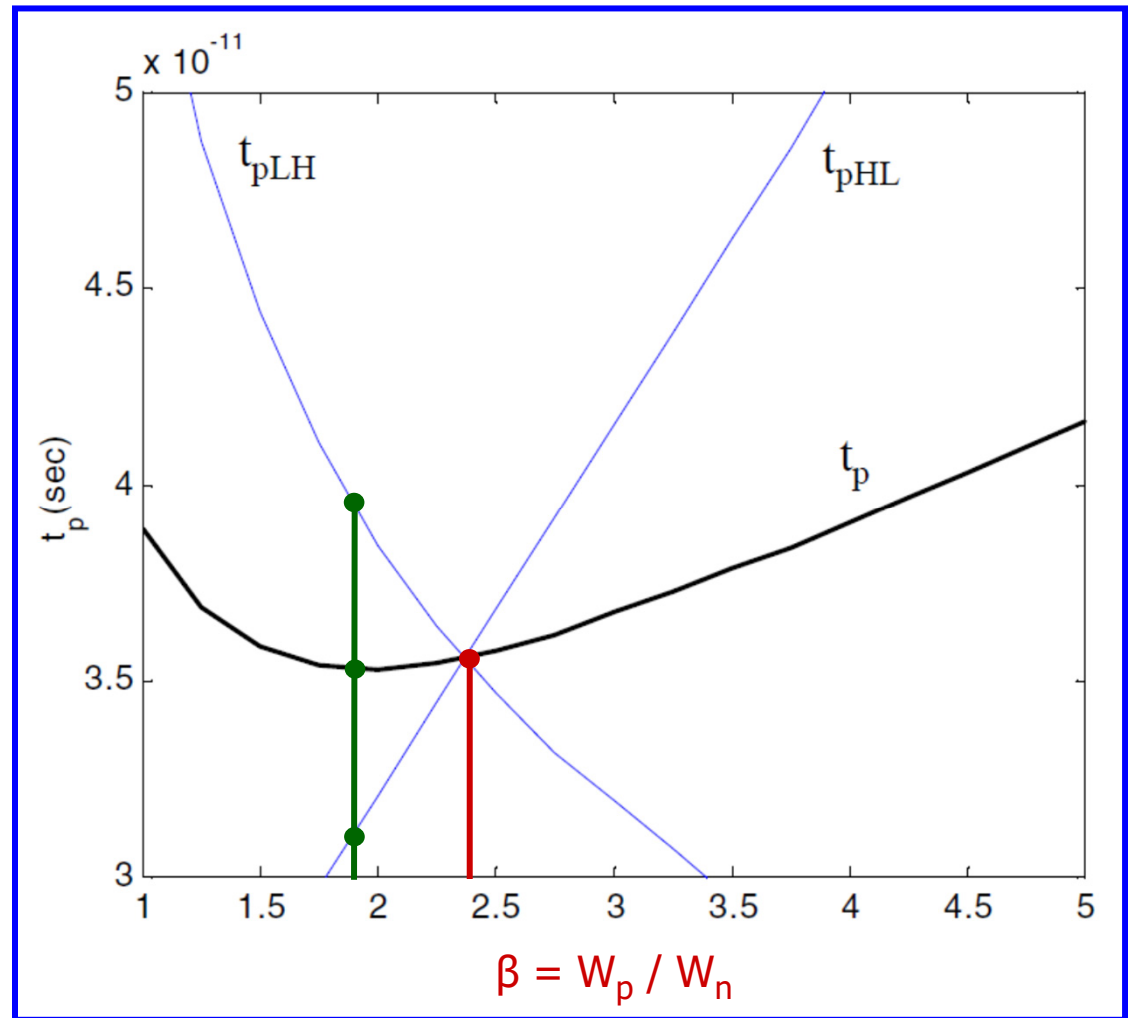
Επίδραση τάσης τροφοδοσίας στην καθυστέρηση

- Η καθυστέρηση είναι σχετικά ανεπηρέαστη από τις μεταβολές της τάσης τροφοδοσίας για υψηλές τιμές της V_{DD} , αλλά παρατηρείται απότομη αύξηση κάτω από την τιμή $V_{DD} = 2 V_T$.
- Αυτές οι συνθήκες λειτουργίας πρέπει να αποφεύγονται, όταν ο βασικός σχεδιαστικός στόχος είναι η επίτευξη υψηλής επίδοσης.



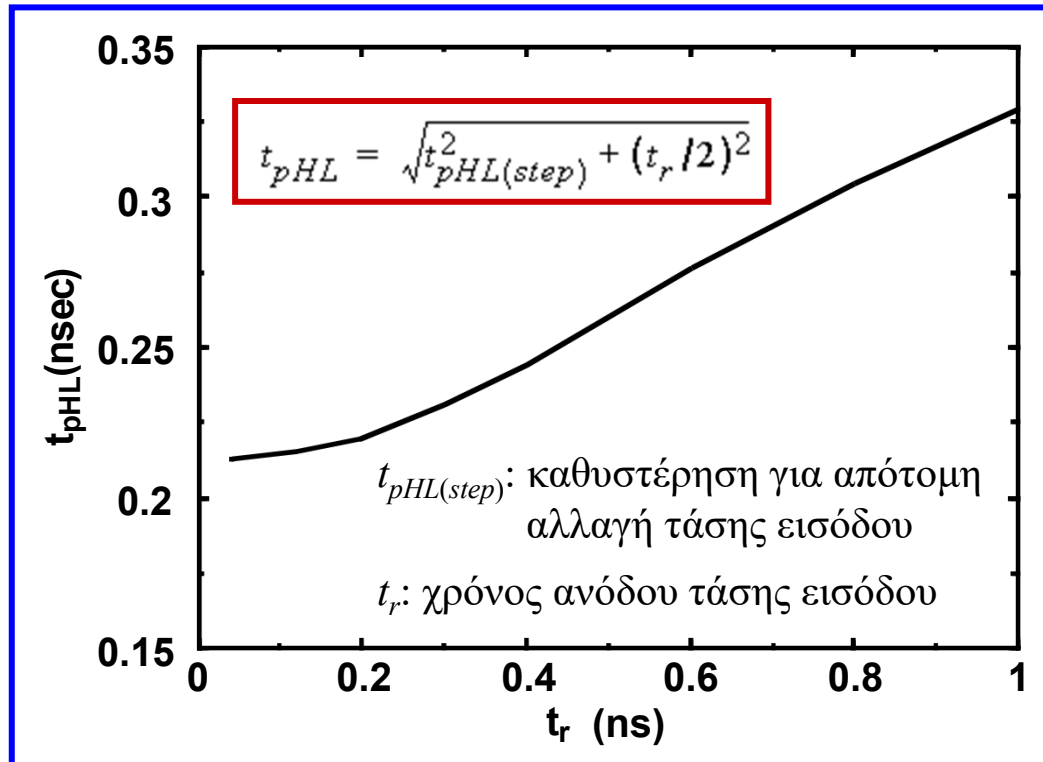
Επίδραση $\beta = W_p / W_n$ στην καθυστέρηση

- Οι καθυστερήσεις ανόδου και καθόδου είναι ίσες όταν $\beta = 2.4$ (συμμετρική μεταβατική ή δυναμική συμπεριφορά).
- Αυτό είναι και το προτιμότερο σημείο λειτουργίας, όταν το κύριο ζητούμενο από το σχεδιαστή είναι η μείωση της καθυστέρησης της πύλης, ανεξάρτητα από την κατεύθυνση της μετάβασης της τάσης εξόδου της.
- Ο λόγος των πλατών καναλιού των δύο τρανζίστορ για βέλτιστη επίδοση, είναι $\beta = 1.9$.



Επίδραση χρόνου μετάβασης εισόδου στην καθυστέρηση

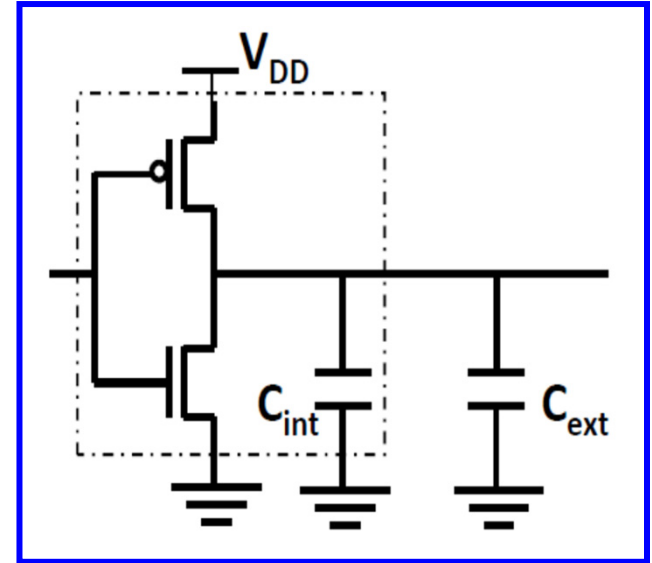
- Οι προαναφερόμενες εκφράσεις καθυστέρησης παράχθηκαν με την υπόθεση ότι η τάση εισόδου του αντιστροφέα, αλλάζει απότομα από 0 σε V_{DD} και αντιστρόφως.
- Κατά τη διάρκεια της διαδικασίας εκφόρτισης ή εκφόρτισης της χωρητικότητας εξόδου, θεωρήθηκε ότι άγει μόνο ένα από τα τρανζίστορ του αντιστροφέα.
- Στην πραγματικότητα, η τάση εισόδου αλλάζει βαθμιαία και προσωρινά τα τρανζίστορ PMOS και NMOS άγουν ταυτόχρονα, με αποτέλεσμα να επηρεάζεται η καθυστέρηση.



Καθορισμός μεγέθους αντιστροφέα για βέλτιστη επίδοση

- Έστω ότι τα μεγέθη των τρανζίστορ είναι τέτοια, ώστε οι καθυστερήσεις ανόδου και καθόδου να είναι ίσες.
- Η χωρητικότητα εξόδου του αντιστροφέα διακρίνεται σε μία ενδογενή και σε μία εξωγενή συνιστώσα ($C_L = C_{int} + C_{ext}$) και R_{eq} είναι η αντίσταση των 2 τρανζίστορ.
- Η καθυστέρηση διάδοσης του αντιστροφέα είναι:

$$t_p = 0.69R_{eq}(C_{int} + C_{ext})$$
$$= 0.69R_{eq}C_{int}(1 + C_{ext}/C_{int}) = t_{p0}(1 + C_{ext}/C_{int})$$

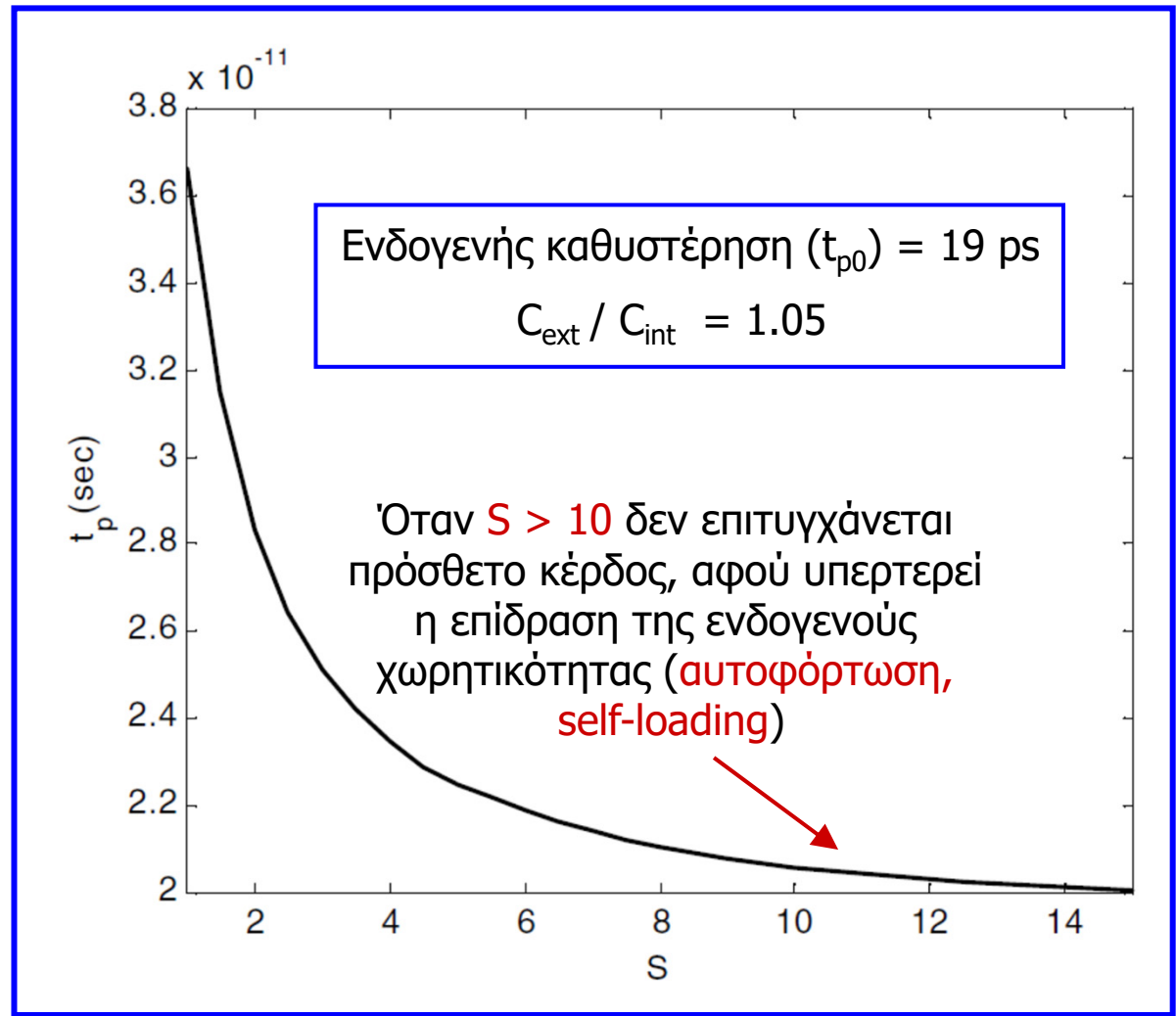


- t_{p0} : καθυστέρηση αντιστροφέα για $C_L = C_{int}$. (ενδογενής καθυστέρηση, intrinsic delay)
- S : παράγοντας καθορισμού μεγέθους (sizing factor) που συσχετίζει τα μεγέθη των δύο τρανζίστορ με τα αντίστοιχα ενός αντιστροφέα ελάχιστου μεγέθους ($W_{n,p} = S \cdot W_{n,p-ref}$).
- Αφού η ενδογενής χωρητικότητα (C_{int}) είναι ανάλογη, ενώ η αντίσταση αγωγής είναι αντιστρόφως ανάλογη του πλάτους των τρανζίστορ, ισχύει ότι: $R_{eq} = R_{ref}/S$, $C_{int} = S \cdot C_{iref}$.

$$t_p = 0.69(R_{ref}/S)(SC_{iref})(1 + C_{ext}/(SC_{iref})) = 0.69R_{ref}C_{iref}\left(1 + \frac{C_{ext}}{SC_{iref}}\right) = t_{p0,ref}\left(1 + \frac{C_{ext}}{SC_{iref}}\right)$$

Καθορισμός μεγέθους αντιστροφεία για βέλτιστη επίδοση

- Η **ενδογενής καθυστέρηση** είναι **ανεξάρτητη** από το **μέγεθος** του αντιστροφεία, αφού όταν δεν υπάρχει φορτίο, η αύξηση στην ικανότητα οδήγησης του αντιστροφεία, αντισταθμίζεται από την αυξημένη ενδογενή χωρητικότητα.
- Όταν ο παράγοντας S είναι αρκετά μεγαλύτερος από τον λόγο C_{ext} / C_{int} , η καθυστέρηση του αντιστροφεία μειώνεται, προσεγγίζοντας την ενδογενή τιμή της.



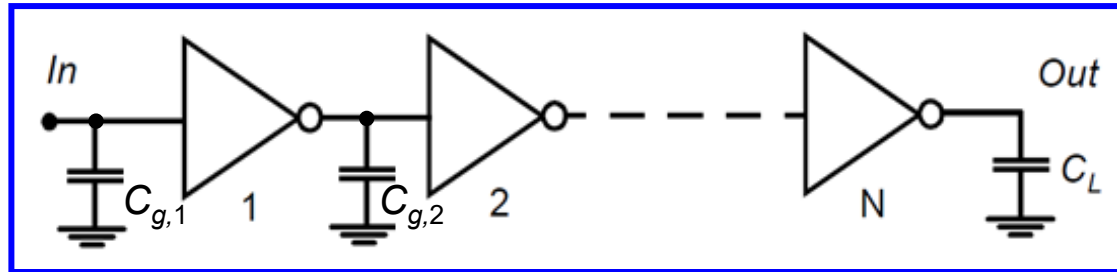
Καθορισμός μεγέθους αλυσίδας αντιστροφών

- Αν και με την αύξηση του μεγέθους ενός αντιστροφέα μειώνεται η καθυστέρησή του, αυξάνεται η χωρητικότητα εισόδου του.
- Ο καθορισμός του μεγέθους μίας πύλης με απομονωμένο τρόπο χωρίς να λαμβάνεται υπόψη η επίδρασή στην καθυστέρηση των προηγούμενων πυλών, είναι θεωρητικό εγχείρημα χωρίς ουσιαστικό αποτέλεσμα στην ταχύτητα ενός κυκλώματος.
- Συνεπώς, πιο ουσιαστικός είναι ο καθορισμός του βέλτιστου μεγέθους μίας πύλης όταν αυτή ενσωματωθεί σε ένα πραγματικό κύκλωμα όπου συμμετέχουν και άλλες πύλες.
- Η **αλυσίδα αντιστροφών (inverter chain)** αποτελεί περίπτωση πραγματικού κυκλώματος.
- Για να προσδιορίσουμε την επίδραση του φόρτου εισόδου, θα πρέπει να καθοριστεί η σχέση μεταξύ της χωρητικότητας εισόδου C_g και της ενδογενούς χωρητικότητας εξόδου του αντιστροφέα C_{int} .
- Αφού και οι δύο είναι ανάλογες του μεγέθους της πύλης, ανεξάρτητα από το μέγεθος της πύλης, ισχύει ότι: $C_{int} = \gamma C_g$.
- Ο **παράγοντας αναλογίας γ** , εξαρτάται μόνο από την τεχνολογία, με τιμές κοντά στο 1.
- Η καθυστέρηση διάδοσης ενός αντιστροφέα μπορεί να γραφτεί ως εξής:

$$t_p = t_{p0} \left(1 + \frac{C_{ext}}{\gamma C_g} \right) = t_{p0} (1 + f/\gamma)$$

f : **ενεργός φόρτος εξόδου**, λόγος χωρητικότητας εξωτερικού φορτίου (C_{ext}) προς χωρητικότητα εισόδου (C_g) του αντιστροφέα

Καθορισμός μεγέθους αλυσίδας αντιστροφών



- Ο 1ος αντιστροφέας έχει το ελάχιστο δυνατό μέγεθος και στόχος είναι η ελαχιστοποίηση της καθυστέρησης της αλυσίδας.
- Καθυστέρηση του αντιστροφέα j της αλυσίδας:

$$t_{p,j} = t_{p0} \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right) = t_{p0} (1 + f_j / \gamma)$$

- Συνολική καθυστέρηση αλυσίδας:

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right), \quad \text{με } C_{g,N+1} = C_L$$

Καθορισμός μεγέθους αλυσίδας αντιστροφών

- Η προηγούμενη σχέση έχει $N - 1$ αγνώστους ($C_{g,2}, C_{g,3}, \dots, C_{g,N}$), αφού είναι γνωστές η χωρητικότητα εισόδου του 1ου αντιστροφέα ($C_{g,1}$) και το φορτίο (C_L) της αλυσίδας.
- Η ελάχιστη καθυστέρηση της αλυσίδας μπορεί να βρεθεί εάν λάβουμε $N - 1$ μερικές παραγώγους της (μία ως προς κάθε άγνωστο) και τις εξισώσουμε με 0.
- Προκύπτει ότι η **συνολική καθυστέρηση αλυσίδας είναι ελάχιστη, όταν:**

$$\frac{C_{g,2}}{C_{g,1}} = \frac{C_{g,3}}{C_{g,2}} = \dots = \frac{C_{g,N}}{C_{g,N-1}} = \frac{C_L}{C_{g,N}} = f$$

- Αυτό σημαίνει ότι το μέγεθος κάθε αντιστροφέα αυξάνεται κατά τον ίδιο παράγοντα f σε σχέση με τον προηγούμενο, κάθε αντιστροφέα έχει τον **ίδιο ενεργό φόρτο εξόδου f** και επομένως την **ίδια καθυστέρηση: $t_{p0} (1 + f / \gamma)$** .
- Συνολική καθυστέρηση αλυσίδας: $t_p = N t_{p0} (1 + f / \gamma)$.
- Τιμή του f που **ελαχιστοποιεί τη συνολική καθυστέρηση αλυσίδας:**

$$f \cdot f \dots f = \frac{C_{g,2}}{C_{g,1}} \cdot \frac{C_{g,3}}{C_{g,2}} \dots \frac{C_{g,N}}{C_{g,N-1}} \cdot \frac{C_L}{C_{g,N}} \Rightarrow f^N = \frac{C_L}{C_{g,1}} \Rightarrow f = \sqrt[N]{C_L / C_{g,1}} = \sqrt[N]{F}$$

- **Ελάχιστη συνολική καθυστέρηση αλυσίδας:** $t_p = N t_{p0} (1 + \sqrt[N]{F} / \gamma)$ F : συνολικός ενεργός φόρτος αλυσίδας

Επιλογή βέλτιστου πλήθους αντιστροφών αλυσίδας

- Το βέλτιστο πλήθος N των αντιστροφών της αλυσίδας μπορεί να υπολογιστεί παραγωγίζοντας την έκφραση ελάχιστης καθυστέρησης της αλυσίδας ως προς N και εξισώνοντας το αποτέλεσμα με 0:

$$\gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln F}{N} = 0$$

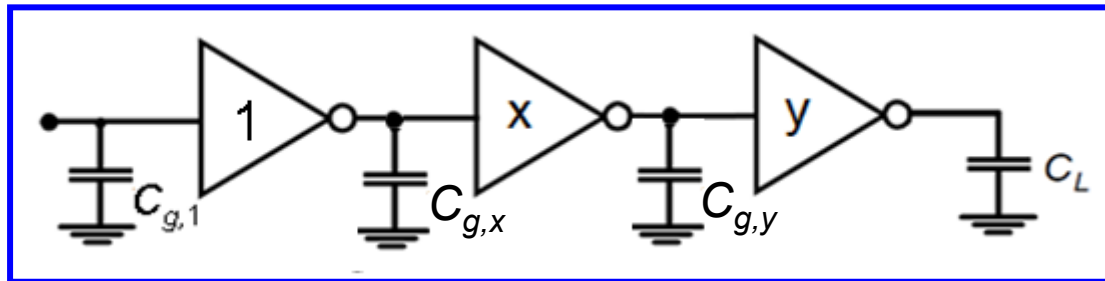
- Η εξίσωση έχει μόνο μία λύση κλειστής μορφής για $\gamma = 0$, δηλαδή όταν παραβλέπεται η αυτοφόρτωση και η χωρητικότητα φορτίου συνίσταται μόνο από το φορτίο εξόδου.
- Προκύπτει λοιπόν ότι ο βέλτιστος αριθμός βαθμίδων ισούται με $N = \ln(F)$ και ότι ο ενεργός φόρτος εξόδου κάθε βαθμίδας, έχει ως εξής:

$$f = \sqrt[N]{F} \Rightarrow f = \sqrt[N]{e^N} \Rightarrow f = e = 2.7183$$

- Συνεπώς, για $\gamma = 0$, η βέλτιστη τιμή του ενεργού φόρτου εξόδου f είναι e .
- Αν επιθυμούμε να συμπεριλάβουμε την επίδραση της αυτοφόρτωσης, τότε η εξίσωση μπορεί να λυθεί προσεγγιστικά, μόνο με κάποια αριθμητική μέθοδο.
- Για την τυπική περίπτωση, όπου $\gamma = 1$, προκύπτει ότι η βέλτιστη τιμή του ενεργού φόρτου εξόδου f (ή συντελεστή αύξησης, tapering factor) είναι 3.6, συνεπώς μια συνηθισμένη πρακτική είναι να επιλέγεται βέλτιστη τιμή φόρτου εξόδου ίση με 4.

Παράδειγμα 8

Στην αλυσίδα αντιστροφών του παρακάτω σχήματος, τα τρανζίστορ των αντιστροφών έχουν το ελάχιστο επιτρεπτό μήκος καναλιού. Ο πρώτος αντιστροφέας έχει σχεδιαστεί με $W_n = 2 \mu\text{m}$ και $W_p = 4 \mu\text{m}$ ($W_p / W_n = 2$) και επιθυμούμε να υπολογίσουμε τα πλάτη W_x και W_y των τρανζίστορ NMOS των υπολοίπων αντιστροφών, ώστε η αλυσίδα να παρουσιάζει την ελάχιστη καθυστέρηση (την οποία επίσης θα υπολογίσουμε), εάν γνωρίζουμε ότι οι αντιστροφείς αυτοί θα πρέπει να σχεδιαστούν με τον ίδιο λόγο $W_p / W_n = 2$ με τον πρώτο αντιστροφέα. Δίνεται ότι $t_{p0} = 12 \text{ ps}$, $\gamma = 1$, $C_L = 120 \text{ fF}$ και ότι η χωρητικότητα πύλης ανά μονάδα πλάτους του καναλιού ενός τρανζίστορ με ελάχιστο μήκος καναλιού, είναι $C_g = 2 \text{ fF} / \mu\text{m}$.



Με βάση τα δεδομένα συμπεραίνουμε ότι $C_{g,1} = (W_n + W_p) C_g = 12 \text{ fF}$, καθώς επίσης και ότι $C_{g,x} = 3 W_x C_g$ και $C_{g,y} = 3 W_y C_g$.

Για ελάχιστη καθυστέρηση, οι λόγοι $C_{\text{out}} / C_{\text{in}}$ κάθε αντιστροφέα θα πρέπει να είναι ίσοι.

$$\frac{C_{g,x}}{C_{g,1}} = \frac{C_{g,y}}{C_{g,x}} = \frac{C_L}{C_{g,y}} = f$$

Παράδειγμα 8

- Αυτό σημαίνει ότι το μέγεθος κάθε αντιστροφέα αυξάνεται κατά τον ίδιο παράγοντα f σε σχέση με τον προηγούμενο, κάθε αντιστροφέας έχει τον **ίδιο ενεργό φόρτο εξόδου f** και επομένως την **ίδια καθυστέρηση: $t_{p0} (1 + f / \gamma)$** .
- Τιμή του f που ελαχιστοποιεί τη συνολική καθυστέρηση αλυσίδας:

$$f \cdot f \cdot f = \frac{C_{g,x}}{C_{g,1}} \cdot \frac{C_{g,y}}{C_{g,x}} \cdot \frac{C_L}{C_{g,y}} \Rightarrow f^3 = \frac{C_L}{C_{g,1}} \Rightarrow f = \sqrt[3]{C_L / C_{g,1}} \Rightarrow f = \sqrt[3]{120 / 12} \Rightarrow f = \sqrt[3]{10} = 2.154$$

- Επομένως, ξεκινώντας από την έξοδο της αλυσίδας και κατευθυνόμενοι προς την είσοδό της, υπολογίζουμε τις χωρητικότητες $C_{g,x}$ και $C_{g,y}$.

$$f = \frac{C_L}{C_{g,y}} = 2.154 \Rightarrow C_{g,y} = \frac{120 \text{ fF}}{2.154} \Rightarrow C_{g,y} = 55.7 \text{ fF}$$

$$C_{g,y} = 3W_y C_g \Rightarrow W_y = \frac{C_{g,y}}{3C_g} \Rightarrow W_y = \frac{55.7 \text{ fF}}{6 \text{ fF}/\mu\text{m}} \Rightarrow W_y = 9.28 \mu\text{m}$$

$$f = \frac{C_{g,y}}{C_{g,x}} = 2.154 \Rightarrow C_{g,x} = \frac{55.7 \text{ fF}}{2.154} \Rightarrow C_{g,x} = 25.9 \text{ fF}$$

$$C_{g,x} = 3W_x C_g \Rightarrow W_x = \frac{C_{g,x}}{3C_g} \Rightarrow W_x = \frac{25.9 \text{ fF}}{6 \text{ fF}/\mu\text{m}} \Rightarrow W_x = 4.3 \mu\text{m}$$

Ελάχιστη καθυστέρηση αλυσίδας:

$$\begin{aligned} t_p &= 3t_{p0} \left(1 + \frac{f}{\gamma} \right) \\ &= 3 \cdot 12 + 3 \cdot 12 \cdot 2.154 \\ &= 36 \text{ ps} + 77.5 \text{ ps} = 113.5 \text{ ps} \end{aligned}$$

Παράδειγμα 9

Εάν στην αλυσίδα αντιστροφών του προηγούμενου παραδείγματος η χωρητικότητα εξόδου (C_L) αυξανόταν σε 2.16 pF και είχαμε τη δυνατότητα να προσθέσουμε αντιστροφείς για να ελαχιστοποιήσουμε την καθυστέρηση της αλυσίδας, πόσους αντιστροφείς θα προσθέταμε και ποια θα ήταν η καθυστέρηση της νέας αλυσίδας αντιστροφών;

Γνωρίζουμε ότι ο βέλτιστος αριθμός βαθμίδων ισούται με:

$$N = \ln(F) = \ln(C_L / C_{g,1}) = \ln(2160/12) = \ln(180) = 5.2 \text{ (συντελεστής αύξησης } f = e = 2.7183)$$

Λόγω του ότι θα πρέπει να επιλέξουμε φυσικό αριθμό αντιστροφών, προκύπτει ότι το συνολικό πλήθος των αντιστροφών θα πρέπει να είναι 5 (δηλαδή θα προσθέσουμε δύο αντιστροφείς).

$$\text{Τότε ισχύει ότι: } f^5 = C_L / C_{g,1} \Rightarrow f^5 = 180 \Rightarrow f = 180^{1/5} \Rightarrow f = 2.825.$$

Η ελάχιστη καθυστέρηση της νέας αλυσίδας έχει ως εξής:

$$t_p = 5t_{p0} \left(1 + \frac{f}{\gamma} \right) = 5 \cdot 12 + 5 \cdot 12 \cdot 2.825 = 60 \text{ ps} + 169.5 \text{ ps} = 229.5 \text{ ps}$$

Ισχύς και κατανάλωση ενέργειας αντιστροφέα CMOS

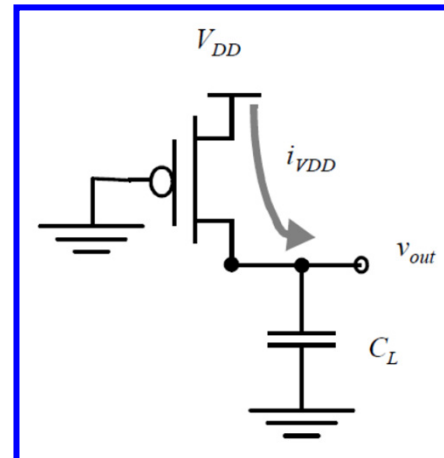
- Η **ισχύς** ενός κυκλώματος CMOS καθορίζει το ποσό της ενέργειας που καταναλώνει σε λειτουργία το κύκλωμα και το ποσό της θερμότητας που αποβάλλει.
- Στον αντιστροφέα CMOS και γενικότερα στις λογικές πύλες CMOS, η κατανάλωση ενέργειας μπορεί να αναλυθεί σε **στατική** και **δυναμική**.
- Η **δυναμική κατανάλωση ενέργειας** υφίσταται μόνο κατά τη διάρκεια των μεταβάσεων, όταν η πύλη πραγματοποιεί μεταβολή της τιμής στην έξοδο της και αποδίδεται στη φόρτιση των πυκνωτών (**χωρητική κατανάλωση ενέργειας**) και στην ύπαρξη ρευμάτων συνεχούς διαδρομής από την τροφοδοσία στη γη (**κατανάλωση ενέργειας βραχυκυκλώματος**).
- Η **δυναμική κατανάλωση** είναι **ανάλογη** προς τη **συχνότητα των μεταβάσεων (f)**.
- Η **στατική κατανάλωση ενέργειας** είναι παρούσα ακόμα και όταν δεν εμφανίζεται καμία μετάβαση στην έξοδο των πυλών CMOS και προκαλείται από τα **ρεύματα διαρροής**.
- Χαρακτηριστικό της τεχνολογίας CMOS είναι η σχεδόν ολοκληρωτική απουσία κατανάλωσης ενέργειας σε λειτουργία σταθερής κατάστασης, εάν εξαιρέσουμε την κατανάλωση λόγω ρευμάτων διαρροής.

Χωρητική κατανάλωση ενέργειας

- Κάθε φορά που η χωρητικότητα εξόδου (C_L) του αντιστροφέα CMOS φορτίζεται μέσω του τρανζίστορ PMOS, η τάση του αυξάνεται από την τιμή 0 έως την τάση τροφοδοσίας και αντλείται συγκεκριμένο ποσό ενέργειας από την τροφοδοσία.
- Μέρος της ενέργειας αυτής καταναλώνεται στο στοιχείο PMOS, ενώ το υπόλοιπο αποθηκεύεται στην χωρητικότητα εξόδου.
- Κατά τη διάρκεια της μετάβασης από την υψηλή στη χαμηλή στάθμη, ο πυκνωτής αυτός εκφορτίζεται και η αποθηκευμένη ενέργεια καταναλώνεται στο τρανζίστορ NMOS.
- Κατά τη μετάβαση από τη χαμηλή στην υψηλή στάθμη και υποθέτοντας ότι η τάση εισόδου έχει μηδενικούς χρόνους ανόδου και καθόδου (δηλαδή τα τρανζίστορ δεν άγουν ταυτόχρονα), η ενέργεια $E_{V_{DD}}$, που αντλείται από την τροφοδοσία και η ενέργεια E_C που στο τέλος της μετάβασης αποθηκεύεται στην χωρητικότητα εξόδου, έχουν ως εξής:

$$E_{V_{DD}} = \int_0^{T/2} i_{V_{DD}}(t) V_{DD} dt = V_{DD} \int_0^{T/2} C_L \frac{dv_{out}}{dt} dt = C_L V_{DD} \int_0^{V_{DD}} dv_{out} = C_L V_{DD}^2$$

$$E_C = \int_0^{T/2} i_{V_{DD}}(t) v_{out} dt = \int_0^{T/2} C_L \frac{dv_{out}}{dt} v_{out} dt = C_L \int_0^{V_{DD}} v_{out} dv_{out} = \frac{C_L V_{DD}^2}{2}$$



Χωρητική κατανάλωση ενέργειας

- Μόνο η μισή της ενέργειας που παρέχεται από την πηγή τροφοδοσίας αποθηκεύεται στην χωρητικότητα εξόδου, ενώ η άλλη μισή έχει καταναλωθεί από το τρανζίστορ PMOS.
- Αυτή η κατανάλωση ενέργειας είναι ανεξάρτητη από το μέγεθος (και συνεπώς την αντίσταση) του τρανζίστορ PMOS.
- Κατά τη διάρκεια της φάσης εκφόρτισης, το φορτίο απομακρύνεται από τον πυκνωτή και η ενέργειά του καταναλώνεται στο τρανζίστορ NMOS, χωρίς να υπάρχει εξάρτηση από το μέγεθός του.
- Σε κάθε κύκλο μετάβασης (που αποτελείται από μία μετάβαση από τη χαμηλή στην υψηλή στάθμη και μία μετάβαση από την υψηλή στη χαμηλή στάθμη) καταναλώνεται σταθερό ποσό ενέργειας ($C_L V_{DD}^2$).
- Για να υπολογίσουμε την ισχύ που αντιστοιχεί σε αυτή την κατανάλωση ενέργειας, θα πρέπει να λάβουμε υπόψη πόσο συχνά αλλάζει κατάσταση ο αντιστροφέας.
- Εάν λοιπόν συμβαίνουν $f_{0 \rightarrow 1}$ μεταβάσεις (από τη χαμηλή στην υψηλή στάθμη) ανά δευτερόλεπτο, που προκαλούν κατανάλωση ενέργειας, η ισχύς έχει ως εξής:

$$P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1}$$

όπου $f_{0 \rightarrow 1}$ αναπαριστά τη συχνότητα μεταβάσεων που προκαλούν κατανάλωση ενέργειας.

Χωρητική κατανάλωση ενέργειας

- Ο υπολογισμός της κατανάλωσης ενός σύνθετου κυκλώματος περιπλέκεται από την ύπαρξη της $f_{0 \rightarrow 1}$, που αναφέρεται και ως **δραστηριότητα μεταβάσεων (switching activity)**.
- Ενώ η δραστηριότητα μεταβάσεων υπολογίζεται εύκολα για έναν αντιστροφέα, ο υπολογισμός της καταλήγει να είναι αρκετά πιο πολύπλοκος στην περίπτωση πιο σύνθετων πυλών και κυκλωμάτων.
- Η ισχύς που αντιστοιχεί στην χωρητική κατανάλωση ενέργειας μπορεί να εκφραστεί και ως εξής:

$$P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1} = C_L V_{DD}^2 P_{0 \rightarrow 1} f = C_{EFF} V_{DD}^2 f$$

- Η f παριστάνει τώρα το μέγιστο δυνατό ρυθμό εναλλαγής των εισόδων (που συχνά είναι ο **ρυθμός του ρολογιού**) και η $P_{0 \rightarrow 1}$ είναι η **πιθανότητα μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μία μετάβαση που προκαλεί κατανάλωση ενέργειας (μετάβαση από την χαμηλή στην υψηλή στάθμη)**
- Η $C_{EFF} = P_{0 \rightarrow 1} C_L$ αναφέρεται ως **ενεργή χωρητικότητα (effective capacitance)** και παριστάνει τη μέση χωρητικότητα που μεταγεται σε κάθε κύκλο ρολογιού.

Χωρητική κατανάλωση ενέργειας

- Λόγω του ότι η τάση τροφοδοσίας έχει τετραγωνική επίδραση στην χωρητική κατανάλωση ενέργειας, η υιοθέτηση χαμηλών τάσεων τροφοδοσίας γίνεται συνεχώς πιο ελκυστική.
- Ωστόσο, όπως αναφέρθηκε προηγουμένως, όταν η τάση τροφοδοσίας προσεγγίζει την τιμή $2V_T$ προκαλείται μεγάλη πτώση στην ταχύτητα.
- Όταν η υποβάθμιση της ταχύτητας λόγω της μείωσης της τάσης τροφοδοσίας είναι μεγάλη, ο μόνος τρόπος μείωσης της χωρητικής κατανάλωσης ενέργειας είναι η μείωση της ενεργής χωρητικότητας.
- Αυτό μπορεί να επιτευχθεί με επέμβαση και στις δύο συνιστώσες της: τη φυσική χωρητικότητα και τη δραστηριότητα μεταβάσεων.
- Η μείωση της δραστηριότητας μεταβάσεων μπορεί να πραγματοποιηθεί μόνο στο επίπεδο του λογικού σχεδιασμού και στο επίπεδο της αρχιτεκτονικής.
- Η μείωση της φυσικής χωρητικότητας μπορεί επίσης να βοηθήσει στη βελτίωση της ταχύτητας των κυκλωμάτων.
- Ένας τρόπος μείωσης της φυσικής χωρητικότητας είναι η διατήρηση των τρανζίστορ σε ελάχιστο μέγεθος, όταν σχεδιάζουμε με στόχο τη χαμηλή κατανάλωση ενέργειας.
- Ωστόσο, αυτό επηρεάζει την ταχύτητα του κυκλώματος, αλλά η επίδραση αυτή μπορεί να αντισταθμιστεί με τεχνικές επιτάχυνσης σε επίπεδο λογικού σχεδιασμού ή αρχιτεκτονικής.

Παράδειγμα 10

- Υπολογίζουμε τη χωρητική κατανάλωση ενέργειας του αντιστροφέα CMOS των Παραδειγμάτων 5 και 6. Στη συνέχεια υποθέτουμε ότι ο αντιστροφέας αλλάζει κατάσταση με μέγιστο ρυθμό $T = 1 / f = t_{pLH} + t_{pHL} = 2 t_p$ και υπολογίζουμε την χωρητική ισχύ του αντιστροφέα.
- Η τάση τροφοδοσίας του αντιστροφέα στο Παράδειγμα 5 ήταν 2.5 V και η χωρητικότητα εξόδου του αντιστροφέα για μετάβαση από χαμηλή σε υψηλή στάθμη υπολογίστηκε στο ίδιο παράδειγμα στην τιμή των 6.06 fF. Επίσης, στο Παράδειγμα 6, η καθυστέρηση του αντιστροφέα υπολογίστηκε στην τιμή των 32.8 ps:

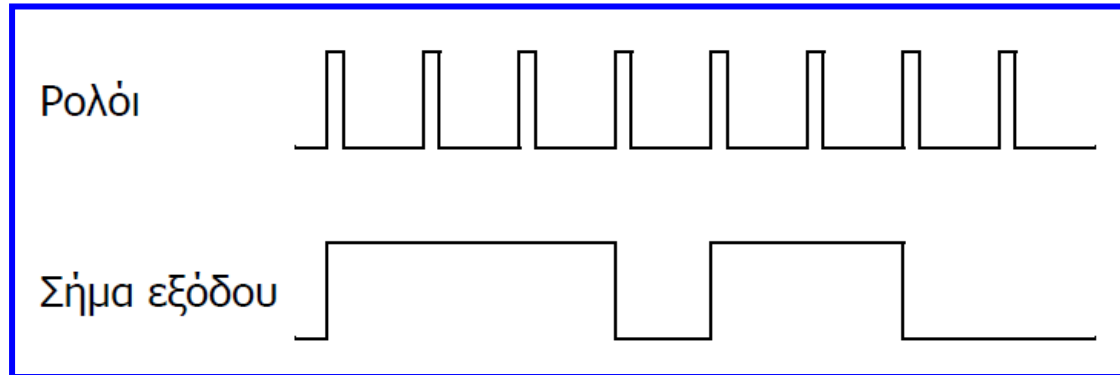
$$E_{\text{dyn}} = C_L V_{\text{DD}}^2 = 6.06 \text{ fF} \cdot 2.5^2 \text{ V}^2 = 37.9 \text{ fJ}$$

$$P_{\text{dyn}} = \frac{E_{\text{dyn}}}{2t_p} = \frac{37.9 \text{ fJ}}{2 \cdot 32.8 \text{ ps}} = 578 \text{ } \mu\text{W}$$

- Φυσικά, ένας αντιστροφέας σε πραγματικό κύκλωμα σπάνια αλλάζει κατάσταση με τον μέγιστο ρυθμό.
- Η ισχύς λοιπόν θα είναι σημαντικά χαμηλότερη.
- Για παράδειγμα με ρυθμό αλλαγής 4 GHz ($T = 250 \text{ ps}$), η κατανάλωση μειώνεται σε 150 μW .

Παράδειγμα 11

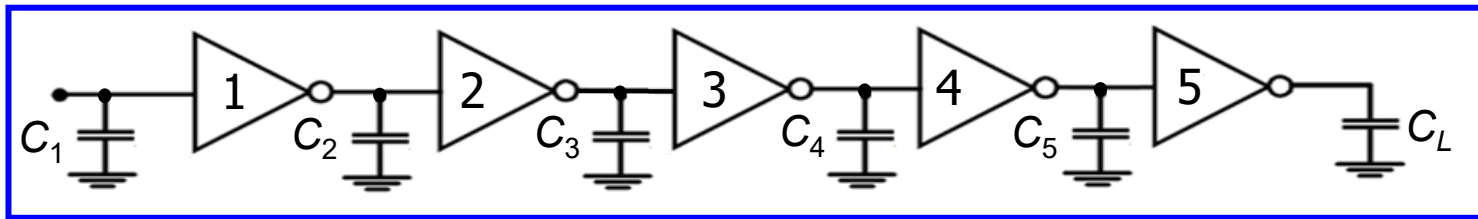
Θεωρούμε τις κυματομορφές του παρακάτω σχήματος, όπου η πάνω κυματομορφή αναπαριστά το σήμα ρολογιού και η κάτω κυματομορφή παρουσιάζει το σήμα στην έξοδο μιας πύλης CMOS. Υπολογίζουμε την πιθανότητα ($P_{0 \rightarrow 1}$) μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μετάβαση που προκαλεί κατανάλωση ενέργειας.



Παρατηρούμε ότι μεταβάσεις που προκαλούν κατανάλωση ενέργειας (από χαμηλή σε υψηλή στάθμη) συμβαίνουν 2 στις 8 φορές, γεγονός που είναι ισοδύναμο με πιθανότητα μετάβασης ίση με 0.25 (ή 25%).

Παράδειγμα 12

Για μία αλυσίδα 5 αντιστροφών, εξάγουμε την έκφραση της ισχύος που αντιστοιχεί στη χωρητική κατανάλωση ενέργειας, η οποία εκτός της τάσης τροφοδοσίας, της πιθανότητας μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μετάβαση που προκαλεί κατανάλωση ενέργειας και της περιόδου ρολογιού, περιλαμβάνει μόνο τον ενεργό φόρτο f και τη χωρητικότητα εισόδου της αλυσίδας. Θα θεωρήσουμε ότι $\gamma = 0$.



Στην αλυσίδα
αντιστροφών ισχύει:

$$\frac{C_2}{C_1} = \frac{C_3}{C_2} = \frac{C_4}{C_3} = \frac{C_5}{C_4} = \frac{C_L}{C_5} = f$$

Παραβλέπουμε την αυτοφόρτωση
($C_{int} = \gamma C_g = 0$), αφού $\gamma = 0$



$$\begin{aligned} P_{\text{dyn}} &= C_{\text{total}} V_{\text{DD}}^2 P_{0 \rightarrow 1} f \Rightarrow P_{\text{dyn}} = \frac{V_{\text{DD}}^2 P_{0 \rightarrow 1}}{T} C_{\text{total}} \Rightarrow P_{\text{dyn}} = \frac{V_{\text{DD}}^2 P_{0 \rightarrow 1}}{T} (C_1 + C_2 + C_3 + C_4 + C_5 + C_L) \\ &\Rightarrow P_{\text{dyn}} = \frac{V_{\text{DD}}^2 P_{0 \rightarrow 1}}{T} (C_1 + f C_1 + f C_2 + f C_3 + f C_4 + f \cdot C_5) \\ &\Rightarrow P_{\text{dyn}} = \frac{V_{\text{DD}}^2 P_{0 \rightarrow 1}}{T} (C_1 + f C_1 + f^2 C_1 + f^3 C_1 + f^4 C_1 + f^5 C_1) \Rightarrow P_{\text{dyn}} = \frac{V_{\text{DD}}^2 P_{0 \rightarrow 1}}{T} C_1 \sum_{i=0}^5 f^i \end{aligned}$$

Κατανάλωση ενέργειας βραχυκυκλώματος

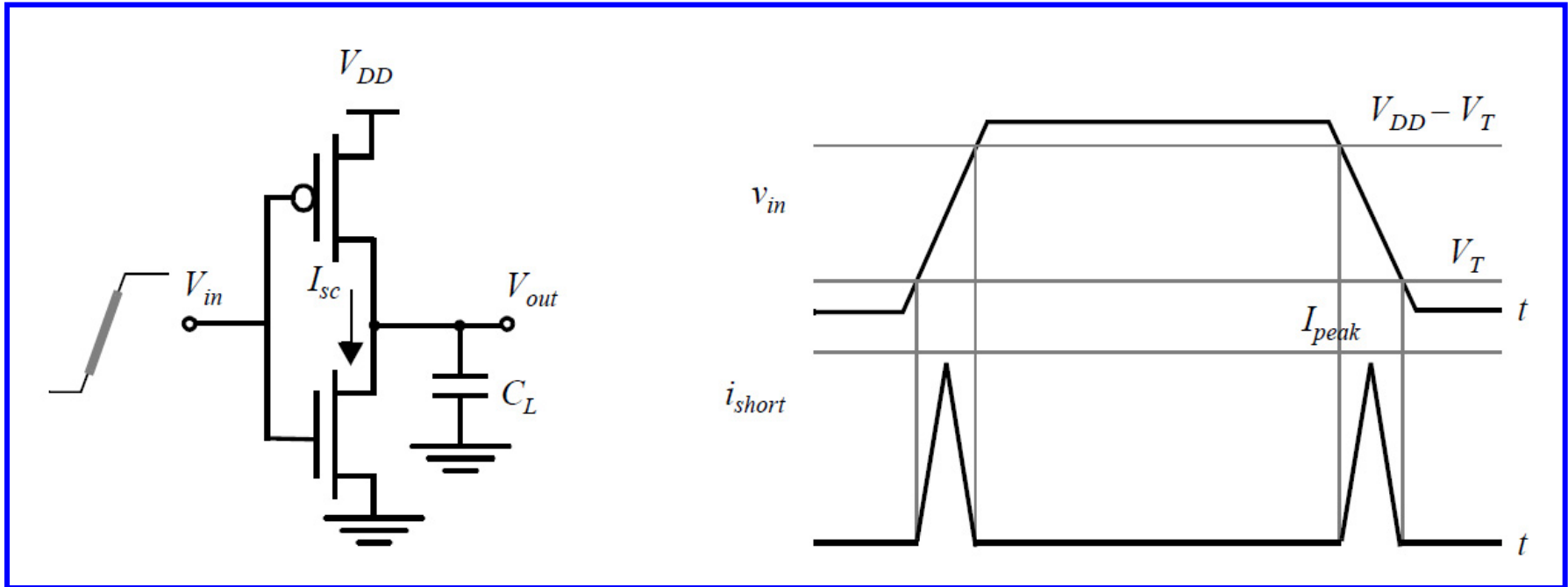
- Η υπόθεση μηδενικών χρόνων ανόδου και καθόδου των κυματομορφών εισόδου δεν είναι ρεαλιστική στα κυκλώματα CMOS.
- Η κλίση (δηλαδή ο χρόνος μετάβασης) του σήματος εισόδου προκαλεί ένα **ρεύμα συνεχούς διαδρομής (direct path)** ή **ρεύμα βραχυκυκλώματος** μεταξύ της τροφοδοσίας και της γείωσης για μία μικρή χρονική περίοδο, όπου τα τρανζίστορ NMOS και PMOS άγουν ταυτόχρονα.
- Οι **παλμοί του ρεύματος** μπορούν να προσεγγιστούν ως **τριγωνικοί** και υποθέτοντας ότι ο **αντιστροφέας** είναι **συμμετρικός** σε ότι αφορά την ανερχόμενη και κατερχόμενη απόκρισή του, μπορούμε να υπολογίσουμε την ενέργεια που καταναλώνεται σε μία περίοδο που περιλαμβάνει μία ανερχόμενη και μία κατερχόμενη μετάβαση εισόδου:

$$E_{dp} = V_{DD} \frac{I_{peak} t_{sc}}{2} + V_{DD} \frac{I_{peak} t_{sc}}{2} = t_{sc} V_{DD} I_{peak}$$

$$P_{dp} = t_{sc} V_{DD} I_{peak} f$$

- Η **ισχύς** που αντιστοιχεί στην κατανάλωση ενέργειας βραχυκυκλώματος είναι **ανάλογη της δραστηριότητας μεταβάσεων**, όπως συμβαίνει με τη χωρητική ισχύ.

Κατανάλωση ενέργειας βραχυκυκλώματος



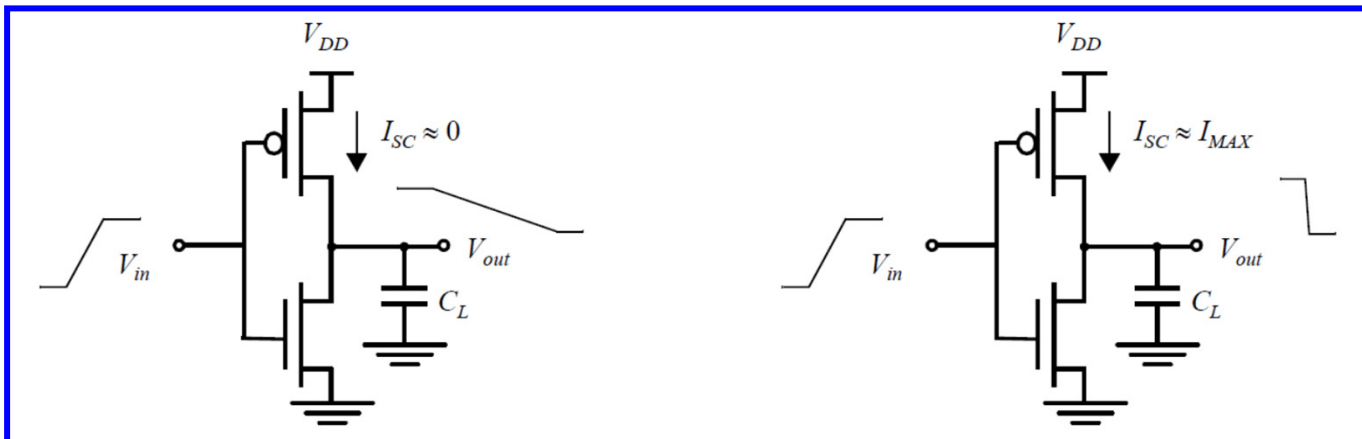
- Το χρονικό διάστημα t_{sc} είναι εκείνο κατά το οποίο **άγουν και τα δύο τρανζίστορ**. Για μία γραμμική κλίση εισόδου, το χρονικό αυτό διάστημα προσεγγίζεται ως εξής:

$$t_{sc} = \frac{V_{DD} - 2V_T}{V_{DD}} t_s$$

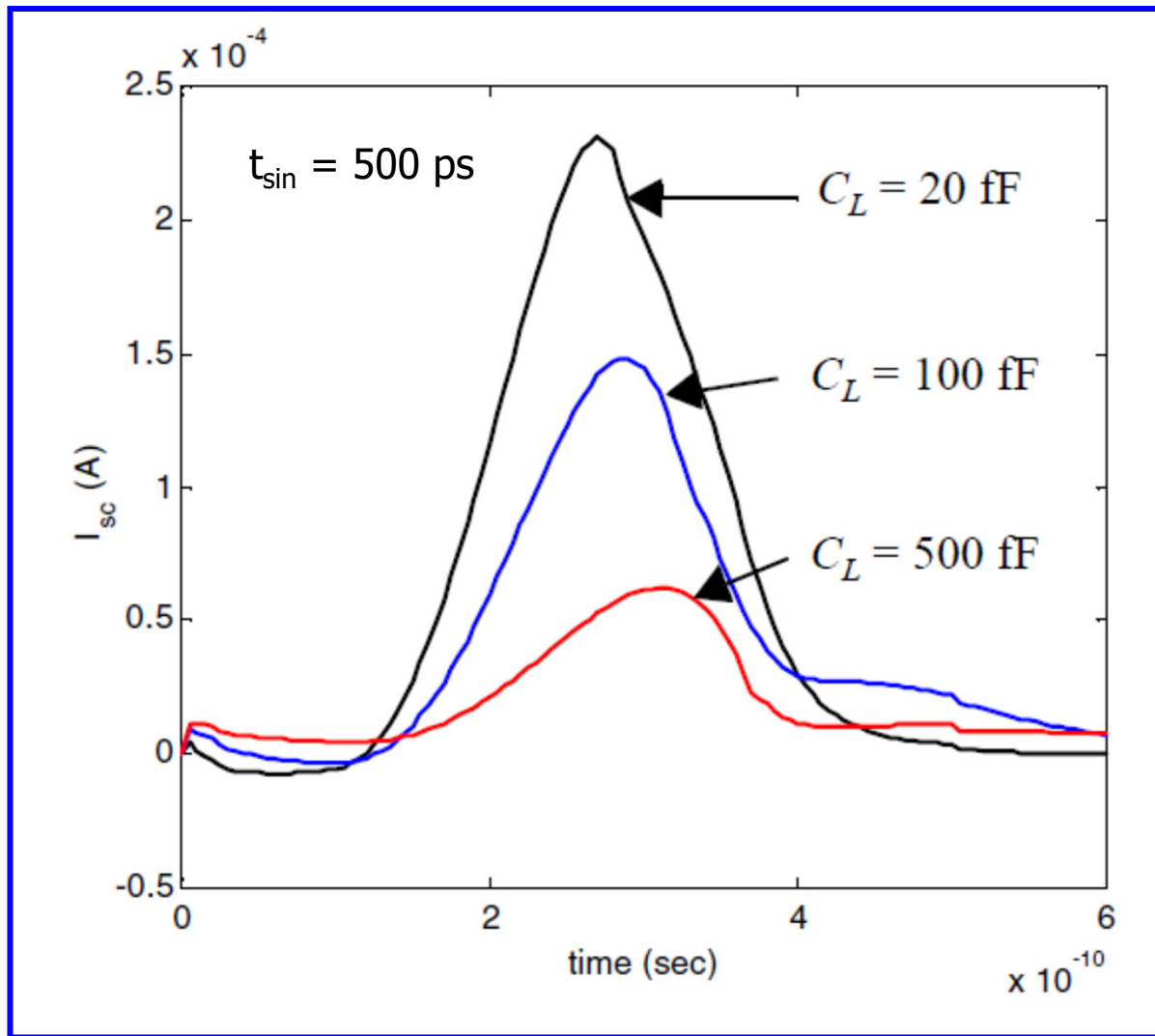
όπου t_s είναι ο συνολικός χρόνος μετάβασης της τάσης εισόδου.

Κατανάλωση ενέργειας βραχυκυκλώματος

- Το μέγιστο ρεύμα βραχυκυκλώματος είναι ανάλογο των μεγεθών των τρανζίστορ.
- Το μέγιστο ρεύμα είναι ισχυρή συνάρτηση του λόγου των κλίσεων εισόδου και εξόδου.
- Κατά τη μετάβαση $0 \rightarrow 1$ στην είσοδο ενός αντιστροφέα με **πολύ μεγάλη χωρητικότητα εξόδου**, ο χρόνος καθόδου της εξόδου είναι σημαντικά μεγαλύτερος από τον χρόνο ανόδου της εισόδου.
- Το τρανζίστορ PMOS αποκόπτεται πολύ νωρίς όσον αφορά τη μετάβαση της τάσης εξόδου, με αποτέλεσμα το **ρεύμα βραχυκυκλώματος** να είναι **πολύ μικρό**.
- Όταν η **χωρητικότητα εξόδου** είναι **πολύ μικρή** και ο χρόνος καθόδου της εξόδου είναι σημαντικά μικρότερος από το χρόνο ανόδου της εισόδου, η V_{DS} του τρανζίστορ PMOS ισούται με τη V_{DD} για το μεγαλύτερο μέρος της περιόδου μετάβασης, με αποτέλεσμα **σημαντικό ρεύμα βραχυκυκλώματος**.

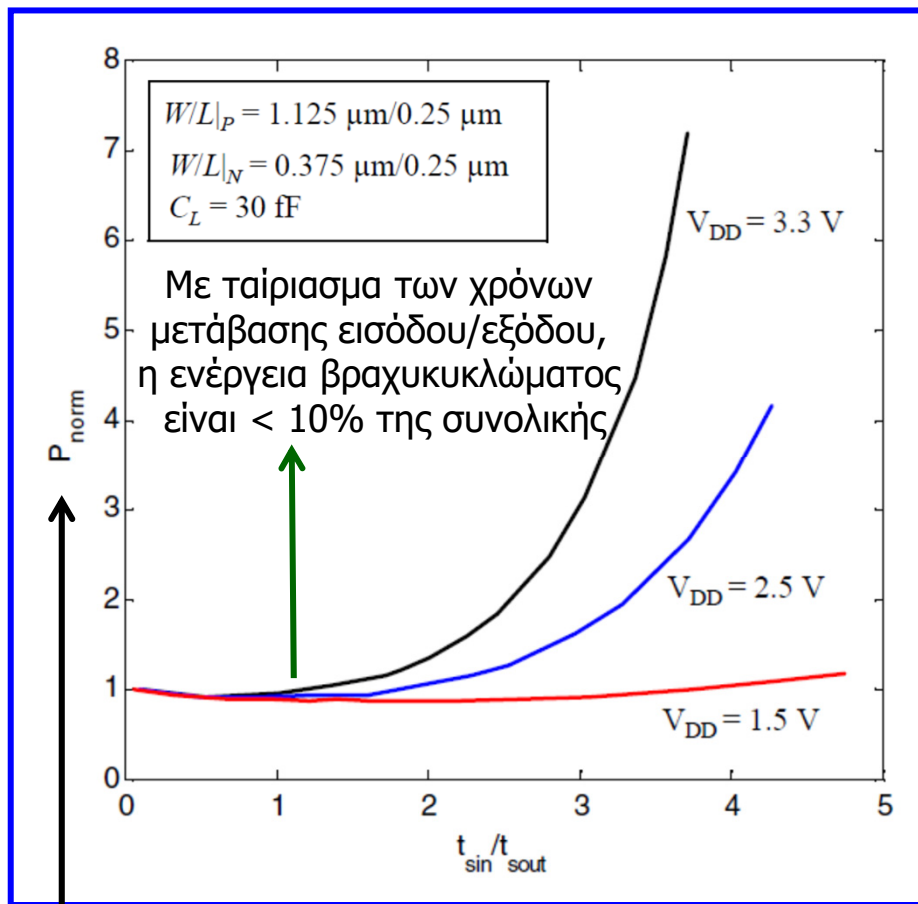


Κατανάλωση ενέργειας βραχυκυκλώματος



Κατανάλωση ενέργειας βραχυκυκλώματος

- Προκύπτει ότι η κατανάλωση ενέργειας βραχυκυκλώματος ελαχιστοποιείται εάν καταστήσουμε το χρόνο ανόδου/καθόδου της εξόδου μεγαλύτερο από τον αντίστοιχο της εισόδου.
- Ωστόσο, κάνοντας το χρόνο ανόδου/καθόδου της εξόδου πολύ μεγάλο, μειώνεται η ταχύτητα του κυκλώματος και προκαλούνται ρεύματα βραχυκυκλώματος στις πύλες που οδηγούνται.
- Η κατανάλωση βραχυκυκλώματος, ελαχιστοποιείται συνολικά εάν **ταιριάζουμε τους χρόνους ανόδου/καθόδου των σημάτων εισόδου και εξόδου**.
- Η επίδραση του ρεύματος βραχυκυκλώματος μειώνεται όταν μειωθεί η τάση τροφοδοσίας.
- Όταν $V_{DD} < V_{Tn} + |V_{Tp}|$, η κατανάλωση βραχυκυκλώματος μηδενίζεται, αφού τα τρανζίστορ δεν άγουν ποτέ ταυτόχρονα.



Συνολική κατανάλωση προς κατανάλωση για μηδενικό χρόνο μετάβασης εισόδου

Στατική κατανάλωση ενέργειας

- Η ισχύς που αντιστοιχεί στην στατική κατανάλωση ενέργειας (ή κατανάλωση ενέργειας σταθερής κατάστασης) ενός κυκλώματος, εκφράζεται από τη σχέση:

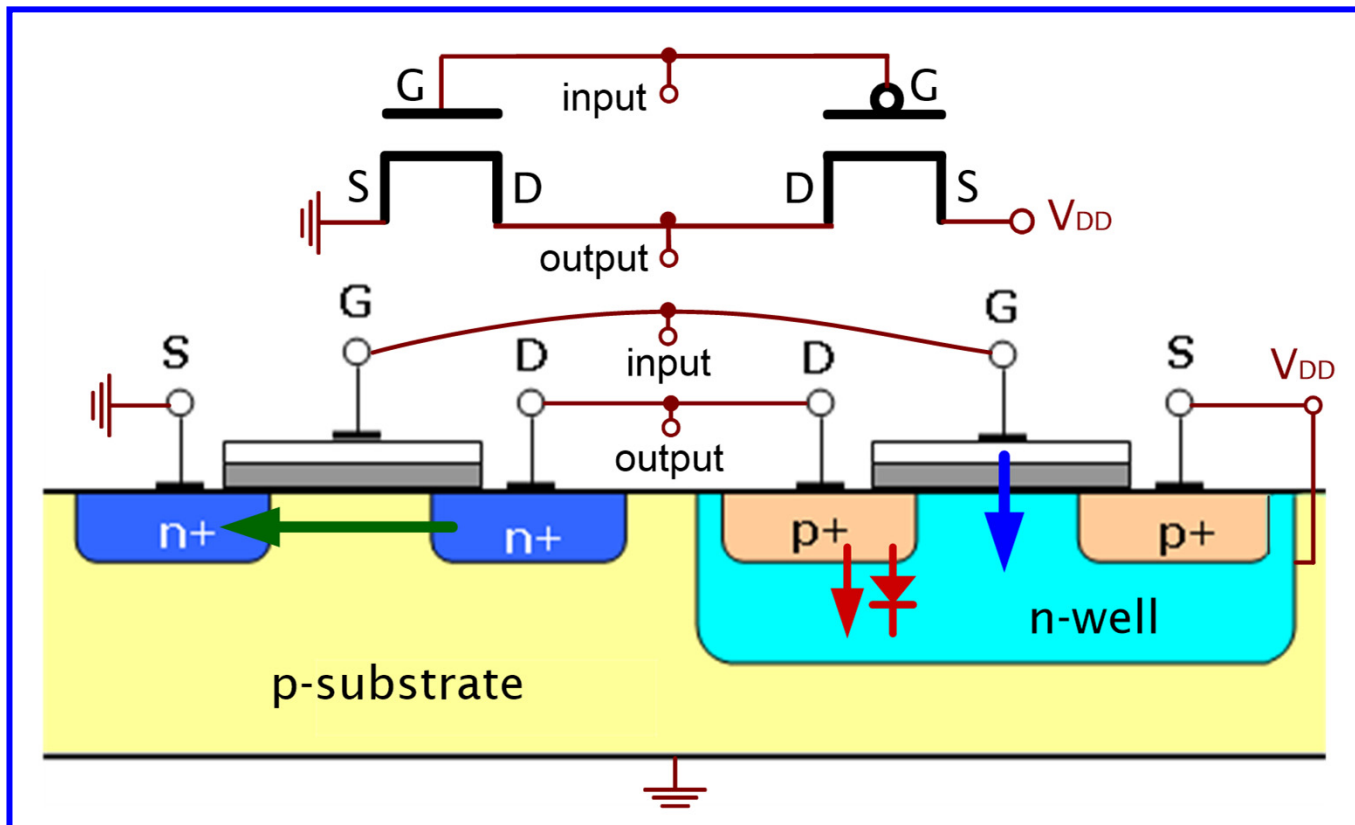
$$P_{stat} = I_{stat} V_{DD}$$

όπου I_{stat} είναι το ρεύμα που ρέει μεταξύ της τροφοδοσίας και της γείωσης, όταν δεν υφίσταται μεταβατική δραστηριότητα.

- Ιδανικά, το στατικό ρεύμα του αντιστροφέα CMOS είναι μηδενικό, αφού τα τρανζίστορ PMOS και NMOS δεν άγουν ποτέ ταυτόχρονα σε λειτουργία σταθερής κατάστασης.
- Ωστόσο, υπάρχει ένα **ρεύμα διαρροής** που ρέει διαμέσου των **ανάστροφα πολωμένων δίοδων** των τρανζίστορ, που βρίσκονται μεταξύ της **πηγής** ή της **υποδοχής** και του **υποστρώματος**.
- Τα ρεύματα διαρροής των επαφών προκαλούνται από θερμικά παραγόμενους φορείς, με αποτέλεσμα οι τιμές τους να αυξάνονται όταν αυξάνεται η **θερμοκρασία** των επαφών κι αυτό συμβαίνει με εκθετικό τρόπο.
- Μία άλλη πηγή ρεύματος διαρροής είναι το **ρεύμα υποκατωφλίου** των τρανζίστορ, δηλαδή το **ρεύμα υποδοχής-πηγής** που ρέει κι όταν η **τάση πύλη-πηγής είναι μικρότερη από την τάση κατωφλίου** του τρανζίστορ.
- Όσο μικρότερη είναι η τάση κατωφλίου, τόσο μεγαλύτερη είναι η στατική κατανάλωση.

Στατική κατανάλωση ενέργειας

- Μια ακόμη πηγή στατικής κατανάλωσης ενέργειας είναι το **ρεύμα διαρροής** της **πύλης** των τρανζίστορ, λόγω κυρίως του πολύ μικρού πάχους οξειδίου.
- Τα ρεύματα διαρροής που προκαλούν στατική κατανάλωση ενέργειας στον αντιστροφέα CMOS και γενικότερα στα κυκλώματα CMOS, συνοψίζονται στο ακόλουθο σχήμα:



Στατική κατανάλωση ενέργειας

- Τα ρεύματα διαρροής αυξάνονται όταν αυξάνεται η τάση τροφοδοσίας.
- Τα ρεύματα διαρροής προκαλούν αύξηση στη στατική κατανάλωση ενέργειας, αλλά αυτή μπορεί να αντισταθμιστεί από τη μείωση της τάσης τροφοδοσίας που επιτρέπεται από τα μειωμένα κατώφλια, χωρίς κόστος στην ταχύτητα και έχει ως αποτέλεσμα και την τετραγωνική μείωση της δυναμικής ισχύος.
- Με την παρουσία μίας μεγάλης στατικής κατανάλωσης ισχύος, είναι σημαντικό να διακόψουμε την τροφοδοσία (power-down) στις μη ενεργές μονάδες του κυκλώματος, ώστε να μη γίνει κυρίαρχη η στατική κατανάλωση ισχύος.
- Η διακοπή της τροφοδοσίας που καλείται επίσης και αναμονή (standby) μπορεί να επιτευχθεί με αποσύνδεση των μονάδων από τις γραμμές τροφοδοσίας ή με μείωση της τάσης τροφοδοσίας.

Γινόμενο ενέργειας-καθυστέρησης

- Η **συνολική ισχύς** του αντιστροφέα CMOS, μπορεί να εκφραστεί ως το άθροισμα των τριών συνιστωσών της:

$$P_{tot} = P_{dyn} + P_{dp} + P_{stat} = (C_L V_{DD}^2 + V_{DD} I_{peak} t_s) f_{0 \rightarrow 1} + V_{DD} I_{leak}$$

- Ένα μέτρο ποιότητας των κυκλωμάτων CMOS, που συνδυάζει τη μέτρηση της επίδοσης (ταχύτητας) και της κατανάλωσης ενέργειας είναι το **γινόμενο ενέργειας-καθυστέρησης (energy-delay product, EDP)**. Για τον αντιστροφέα CMOS εκφράζεται ως εξής:

$$EDP = \frac{C_L V_{DD}^2}{2} t_p$$

- Υψηλότερες τάσεις τροφοδοσίας μειώνουν την καθυστέρηση αλλά αυξάνουν την κατανάλωση ενέργειας και το αντίθετο ισχύει για τις χαμηλές τάσεις τροφοδοσίας.
- Μια απλοποιημένη έκφραση της καθυστέρησης διάδοσης, έχει ως εξής:

$$t_p \approx \frac{\alpha C_L V_{DD}}{V_{DD} - V_{TE}}$$

α: παράμετρος τεχνολογίας

$$V_{TE} = V_T + V_{DSAT}/2$$

Γινόμενο ενέργειας-καθυστέρησης

- Συνδυάζοντας τις δύο προηγούμενες σχέσεις λαμβάνουμε:

$$EDP = \frac{\alpha C_L^2 V_{DD}^3}{2(V_{DD} - V_{TE})}$$

- Εξισώνοντας με το 0 την παράγωγο της παραπάνω συνάρτησης ως προς την τάση τροφοδοσίας, προκύπτει η **βέλτιστη τάση τροφοδοσίας**:

$$V_{DDopt} = \frac{3}{2} V_{TE}$$

- Το αξιοσημείωτο αποτέλεσμα της ανάλυσης είναι η χαμηλή τιμή της τάσης τροφοδοσίας που **βελτιστοποιεί ταυτόχρονα** την **επίδοση** και την **ενέργεια**.
- Για τεχνολογίες υπομικρομέτρου με τάσεις κατωφλίου κοντά στα 0.5 V, η βέλτιστη τάση τροφοδοσίας βρίσκεται γύρω στο 1 V.

Παράδειγμα 13

Χρησιμοποιώντας παραμέτρους της τεχνολογίας 0.25 μm του παρακάτω πίνακα, υπολογίζουμε την βέλτιστη τιμή της τάσης τροφοδοσίας που οδηγεί σε εξισορρόπηση μεταξύ καθυστέρησης και κατανάλωσης ενέργειας.

	V_{T0} (V)	V_{DSAT} (V)
NMOS	0.43	0.63
PMOS	-0.4	-1

$$V_{Tn} = 0.43 \text{ V}, V_{Dsatn} = 0.63 \text{ V} \Rightarrow V_{TE_n} = V_{Tn} + V_{DSAT_n}/2 = 0.74 \text{ V}$$

$$V_{Tp} = -0.4 \text{ V}, V_{Dsatp} = -1 \text{ V} \Rightarrow V_{TE_p} = V_{Tp} + V_{DSAT_p}/2 = -0.9 \text{ V}$$

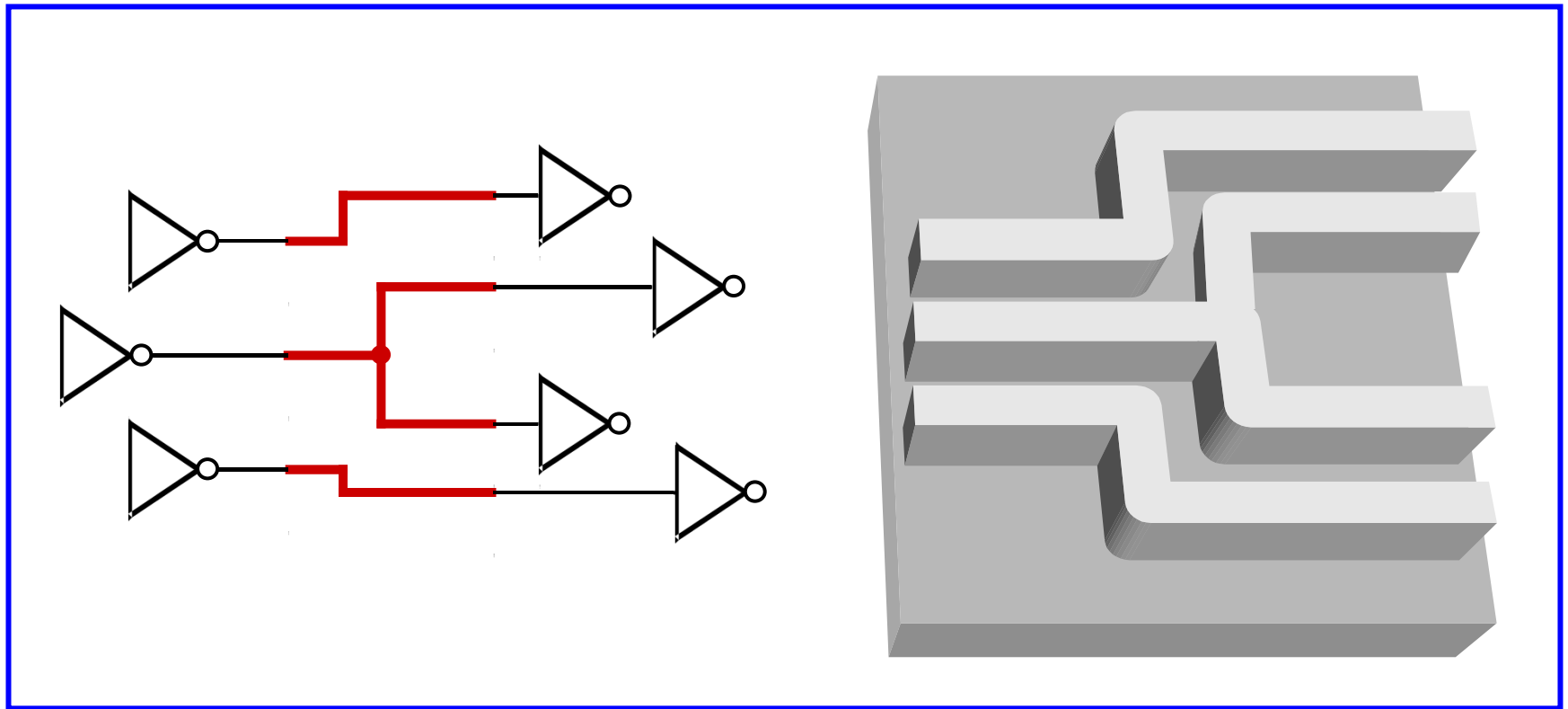
$$V_{TE} = (V_{TE_n} + |V_{TE_p}|) / 2 = 0.82 \text{ V}$$

$$V_{DDopt} = \frac{3}{2} V_{TE} = 1.23 \text{ V}$$

Διασυνδέσεις κυκλωμάτων CMOS

- Με την έλευση των τρανζίστορ MOSFET με διαστάσεις πολύ μικρότερες του ενός μικρομέτρου, τα παρασιτικά φαινόμενα που εισάγονται από τις **γραμμές διασύνδεσης επηρεάζουν** σε σημαντικό βαθμό την **ταχύτητα**, την **κατανάλωση ενέργειας** και την **αξιοπιστία** (μέσω εισαγωγής θορύβου) των ψηφιακών ολοκληρωμένων κυκλωμάτων.
- Οι βελτιώσεις της τεχνολογίας κατασκευής έχουν καταστήσει οικονομικά εφικτή την παραγωγή συνεχώς μεγαλύτερου μεγέθους ψηφίδων πυριτίου, που έχει ως αποτέλεσμα την **αύξηση του μήκους των καλωδίων διασύνδεσης** και επομένως των σχετικών παρασιτικών φαινομένων.
- Οι προηγμένες διεργασίες κατασκευής παρέχουν πολλαπλές στρώσεις μετάλλου (αλουμινίου ή χαλκού) και τουλάχιστον μία στρώση πολυκρυσταλλικού πυριτίου για τη δημιουργία διασυνδέσεων.
- Ακόμη και οι έντονα νοθευμένες στρώσεις διάχυσης τύπου n+ ή p+ που χρησιμοποιούνται τυπικά για την υλοποίηση των περιοχών πηγής και υποδοχής των τρανζίστορ μπορούν να χρησιμοποιηθούν και για σκοπούς καλωδίωσης.
- Η καλωδίωση στα σημερινά ολοκληρωμένα κυκλώματα δημιουργεί **χωρητικά, ωμικά και αυτεπαγωγικά παρασιτικά φαινόμενα**, τα οποία επιδρούν στη συμπεριφορά των κυκλωμάτων και στα μέτρα ποιότητάς τους.

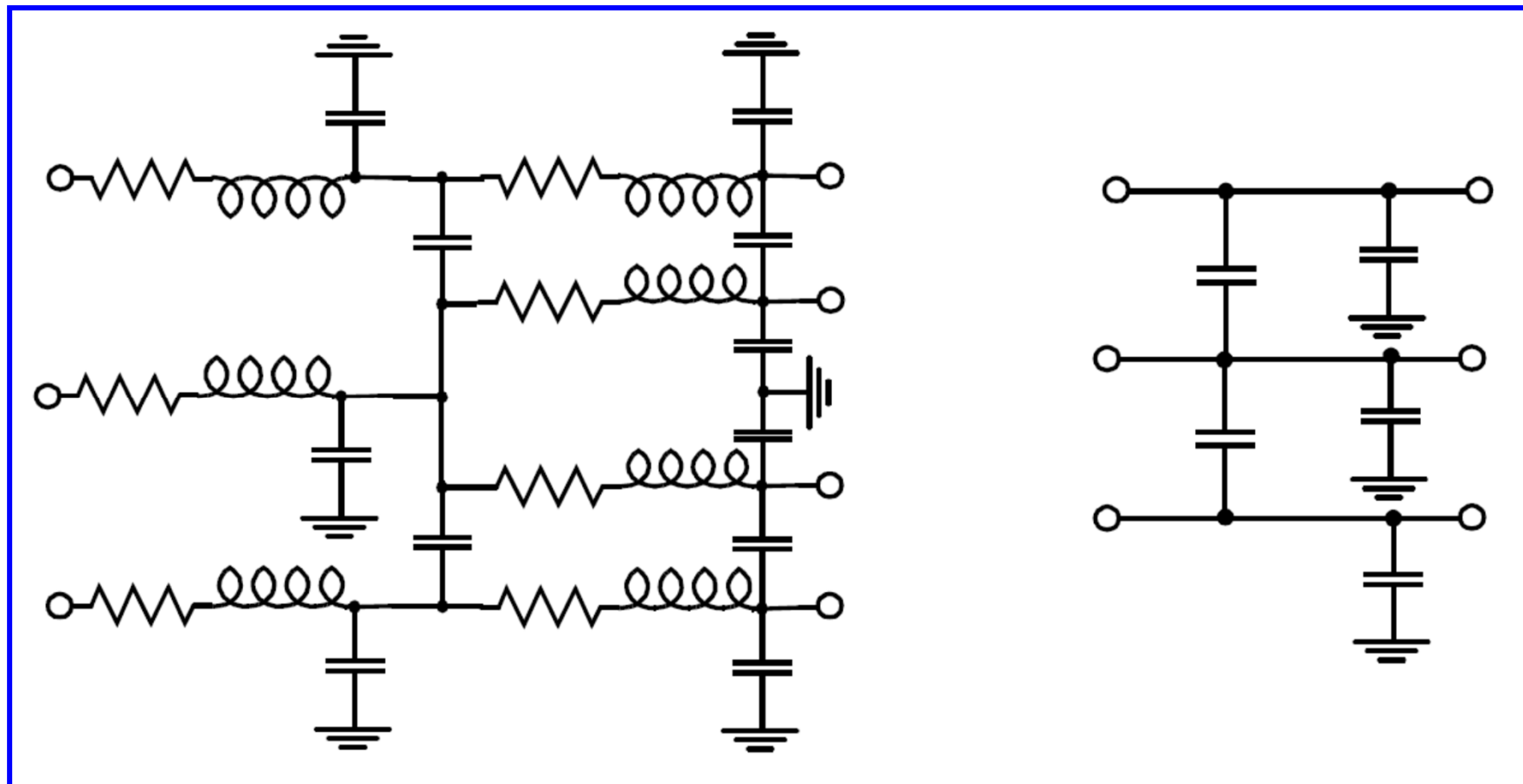
Διασυνδέσεις κυκλωμάτων CMOS



Διασυνδέσεις κυκλωμάτων CMOS

- Οι γραμμές (καλώδια) διασύνδεσης υλοποιούνται σε **στρώσεις διασύνδεσης**, οι οποίες απομονώνονται από το υπόστρωμα πυριτίου και μεταξύ τους μέσω μίας στρώσης διηλεκτρικού υλικού.
- Ένα πλήρες κυκλωματικό μοντέλο των γραμμών διασύνδεσης λαμβάνει υπόψη την **παρασιτική χωρητικότητα**, την **αντίσταση** και την **αυτεπαγωγή** των διασυνδέσεων.
- Τα επαγωγικά φαινόμενα μπορούν να παραβλεφθούν όταν η αντίσταση των καλωδίων είναι μεγάλη (καλώδια αλουμινίου μεγάλου μήκους και μικρής διατομής).
- Όταν τα καλώδια είναι μικρού μήκους, η διατομή του καλωδίου είναι μεγάλη ή το υλικό διασύνδεσης που χρησιμοποιείται έχει χαμηλή ειδική αντίσταση, χρησιμοποιείται ένα **αμιγώς χωρητικό μοντέλο**.
- Όταν η απόσταση μεταξύ γειτονικών καλωδίων είναι μεγάλη ή όταν τα καλώδια δρομολογούνται μαζί για μικρή απόσταση, η **χωρητικότητα μεταξύ των γραμμών (interwire capacitance)** μπορεί να παραβλεφθεί και η παρασιτική χωρητικότητα μοντελοποιείται ως μια χωρητικότητα που συνδέεται στη γείωση.

Διασυνδέσεις κυκλωμάτων CMOS



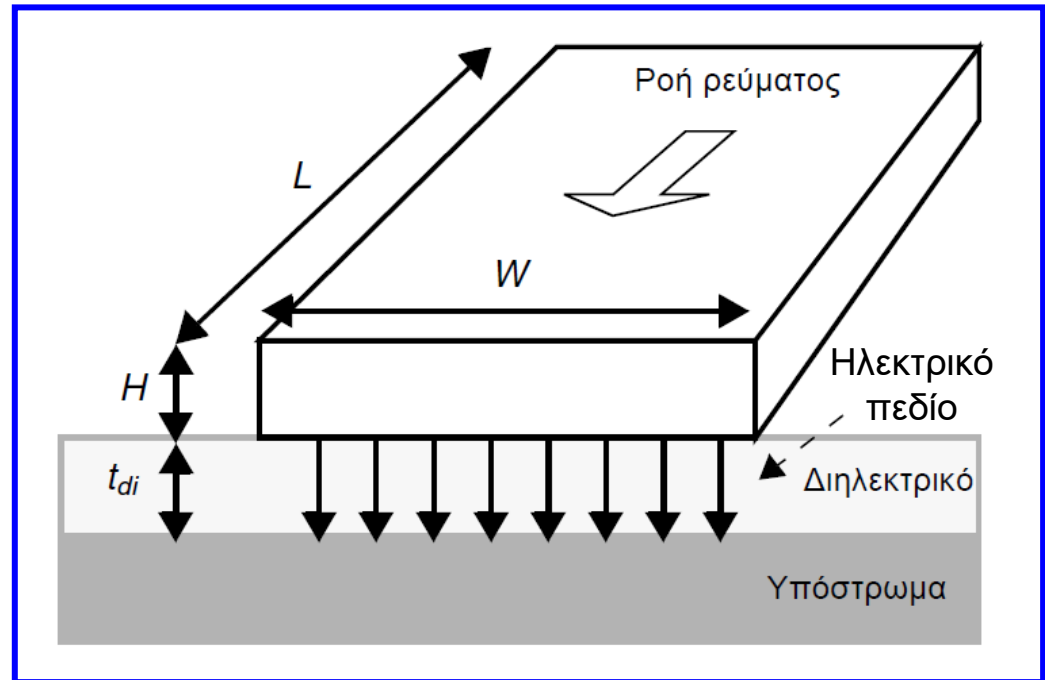
Χωρητικότητα διασυνδέσεων

- Η χωρητικότητα ενός καλωδίου διασύνδεσης είναι συνάρτηση του σχήματός του, της απόστασής του από το υπόστρωμα και της απόστασής του από τα καλώδια διασύνδεσης που το περιβάλλουν.
- Η χωρητικότητα ενός καλωδίου διασύνδεσης μπορεί να προσεγγιστεί με βάση το μοντέλο πυκνωτή παράλληλων πλακών (που αναφέρεται και ως χωρητικότητα επιφάνειας):

$$C_{pp} = \frac{\epsilon_{di} WL}{t_{di}}$$

W και L είναι το πλάτος και το μήκος του καλωδίου, αντίστοιχα και t_{di} , ϵ_{di} είναι το πάχος της στρώσης διηλεκτρικού και η διηλεκτρική σταθερά του, αντίστοιχα.

$\epsilon_{di} = \epsilon_r \cdot \epsilon_0$, $\epsilon_0 = 8.854 \cdot 10^{-12}$ F/m είναι η διηλεκτρική σταθερά του κενού χώρου και ϵ_r η σχετική διηλεκτρική σταθερά του μονωτικού υλικού (3.9 για το SiO_2).

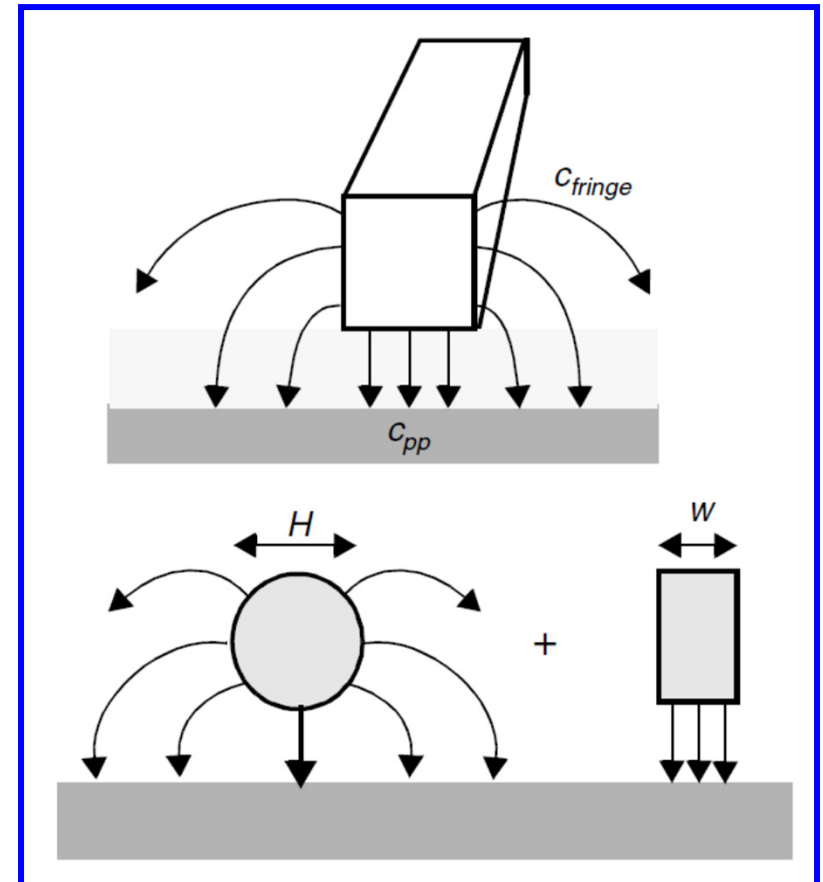


Χωρητικότητα διασυνδέσεων

- Στα προηγμένα κυκλώματα, ο λόγος W/H είναι μικρός (μπορεί να μειωθεί και κάτω από τη μονάδα) και για το λόγο αυτό πρέπει να λαμβάνεται υπόψη η **χωρητικότητα μεταξύ των περιφερειακών πλευρών του καλωδίου και του υποστρώματος**, δηλαδή η **πλευρική χωρητικότητα (fringing capacitance)**.
- Η **χωρητικότητα ανά μονάδα μήκους** ενός καλωδίου προσεγγίζεται ως ένα άθροισμα μίας **χωρητικότητας παράλληλων πλακών** με μία **πλευρική χωρητικότητα** που μοντελοποιείται από ένα κυλινδρικό καλώδιο με διάμετρο ίση με το πάχος της γραμμής διασύνδεσης H (παράλληλη σύνδεση των επιμέρους χωρητικοτήτων):

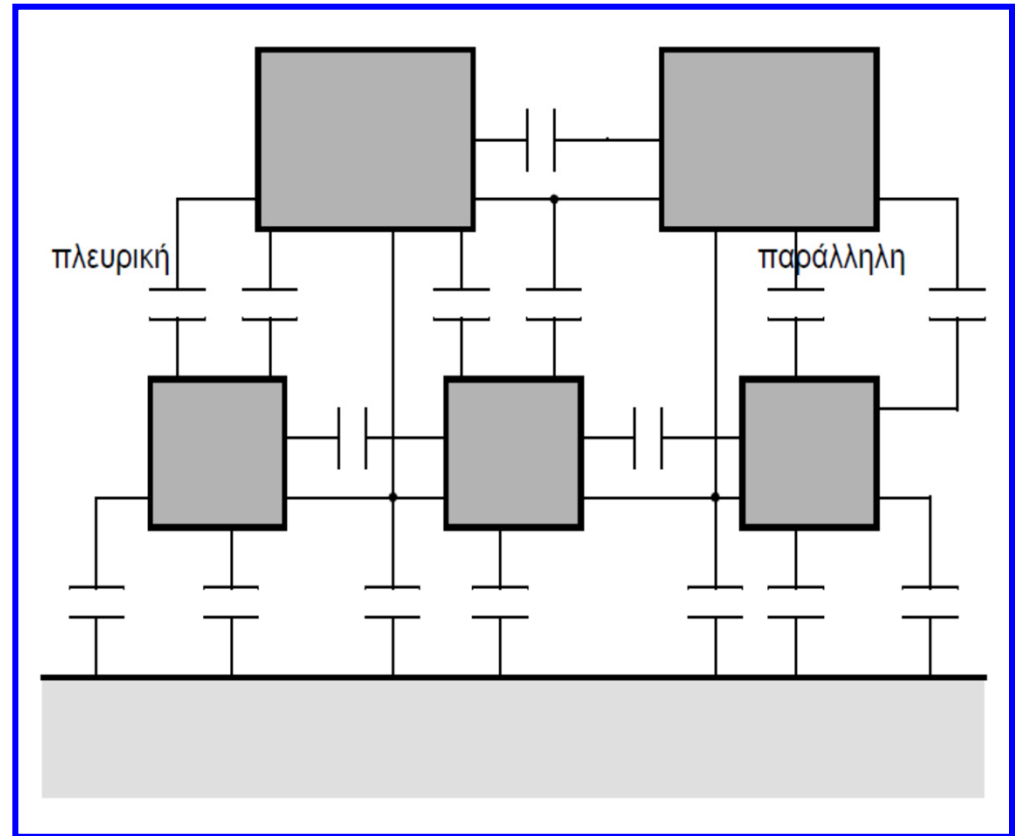
$$C_{wire} = C_{pp} + C_{fringe} = \frac{w\epsilon_{di}}{t_{di}} + \frac{2\pi\epsilon_{di}}{\log(t_{di}/H)}$$

$$w = W - H/2$$



Χωρητικότητα διασυνδέσεων

- Στις σημερινές διεργασίες όπου χρησιμοποιούνται πολλές στρώσεις διασύνδεσης, κάθε καλώδιο δεν είναι εντελώς απομονωμένο από τις γειτονικές του δομές και δεν υπάρχει χωρητική σύζευξη μόνο σε σχέση με τη γείωση, αφού δημιουργείται **χωρητική σύζευξη και με τα γειτονικά του καλώδια** της ίδιας στρώσης ή παρακείμενων στρώσεων.
- Συνεπώς, δεν καταλήγουν όλες οι χωρητικές συνιστώσες ενός καλωδίου στο γειωμένο υπόστρωμα, αλλά κάποιες από αυτές συνδέονται σε άλλα καλώδια.
- Οι συνιστώσες αυτές (**αιωρούμενοι πυκνωτές, floating capacitors**) σχηματίζουν μία πηγή θορύβου και επιδρούν αρνητικά στην επίδοση του κυκλώματος.
- Οι χωρητικότητες μεταξύ των καλωδίων είναι σημαντικές σε δομές διασυνδέσεων πολλαπλών στρώσεων, ιδιαίτερα για καλώδια υψηλότερων στρώσεων διασύνδεσης που απέχουν περισσότερο από το υπόστρωμα.



Χωρητικότητα διασυνδέσεων

Τιμές χωρητικότητας για τεχνολογία 0.25 μm ($1\text{aF} = 10^{-18} \text{F}$)

Στρώση (με μόνωση SiO_2)	Χωρητικότητα επιφάνειας ($\text{aF}/\mu\text{m}^2$)	Πλευρική χωρητικότητα ($\text{aF}/\mu\text{m}$)
Πολυκρυσταλλικό πυρίτιο	88	54
AI1	30	40
AI2	13	25
AI3	8.9	18
AI4	6.5	14
AI5	5.2	12

Στρώση	Πολυκρυσταλλικό πυρίτιο	AI1	AI2	AI3	AI4	AI5
Διακαλωδιακή χωρητικότητα ($\text{aF}/\mu\text{m}$) για ελάχιστη απόσταση καλωδίων	40	95	85	85	85	115

Παράδειγμα 14

- Σε κύκλωμα τεχνολογίας 0.25 μm , θεωρούμε ένα καλώδιο διασύνδεσης αλουμινίου με μήκος 10 cm και πλάτος 1 μm , που δρομολογείται στην πρώτη στρώση αλουμινίου (μέταλλο 1 ή Al1) και υπολογίζουμε τη συνολική χωρητικότητά του, καθώς και την διακαλωδιακή χωρητικότητα όταν ένα δεύτερο καλώδιο Al1 δρομολογείται παραπλεύρως του πρώτου στην ελάχιστη επιτρεπτή απόσταση.
- Χωρητικότητα επιφάνειας = $W \times L \times 30 \text{ aF}/\mu\text{m}^2 = 10 \text{ cm} \times 1 \mu\text{m} \times 30 \text{ aF}/\mu\text{m}^2 = 0.1 \times 10^6 \mu\text{m}^2 \times 30 \text{ aF}/\mu\text{m}^2 = 3 \text{ pF}$.
- Πλευρική χωρητικότητα = **2 πλευρές** $\times L \times 40 \text{ aF}/\mu\text{m} = 2 \times 10 \text{ cm} \times 40 \text{ aF}/\mu\text{m} = 2 \times 0.1 \times 10^6 \mu\text{m} \times 40 \text{ aF}/\mu\text{m} = 8 \text{ pF}$.
- Χωρητικότητα καλωδίου = χωρητικότητα επιφάνειας + πλευρική χωρητικότητα = 11 pF.
- Διακαλωδιακή χωρητικότητα = $L \times 95 \text{ aF}/\mu\text{m} = 10 \text{ cm} \times 95 \text{ aF}/\mu\text{m} = 0.1 \times 10^6 \mu\text{m} \times 95 \text{ aF}/\mu\text{m} = 9.5 \text{ pF}$.
- Όπως προκύπτει από τους πίνακες της προηγούμενης σελίδας, για στρώσεις μετάλλου υψηλότερου επιπέδου, η χωρητικότητα επιφάνειας και η πλευρική χωρητικότητας μειώνονται, ενώ η διακαλωδιακή χωρητικότητα παραμένει περίπου αμετάβλητη.

Αντίσταση διασυνδέσεων

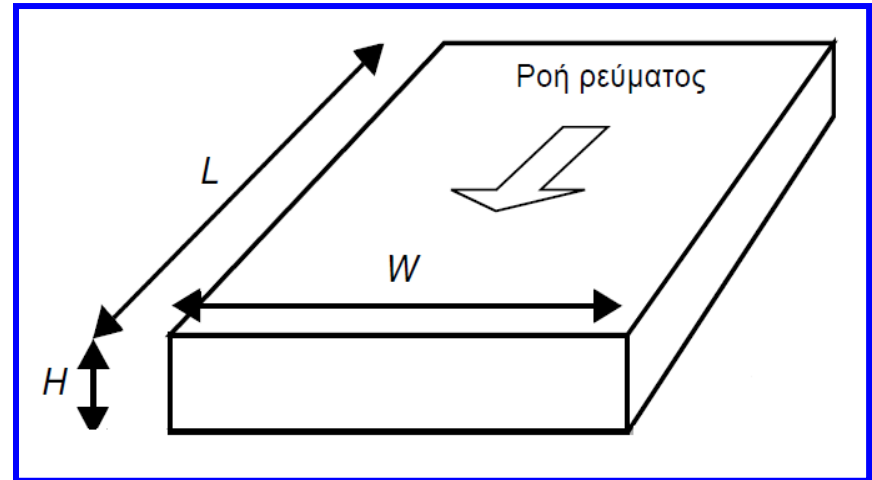
Η **αντίσταση ενός καλωδίου** είναι ανάλογη του μήκους του L και αντιστρόφως ανάλογη της διατομής του A . Η **αντίσταση ενός ορθογώνιου καλωδίου** εκφράζεται ως εξής:

$$R = \frac{\rho L}{A} = \frac{\rho L}{HW} \quad R = R_{\square} \frac{L}{W}$$

ρ : ειδική αντίσταση του υλικού ($\Omega \cdot m$)
 $\rho_{Al} = 2.7 \cdot 10^{-8} \Omega \cdot m$

$$R_{\square} = \frac{\rho}{H}$$

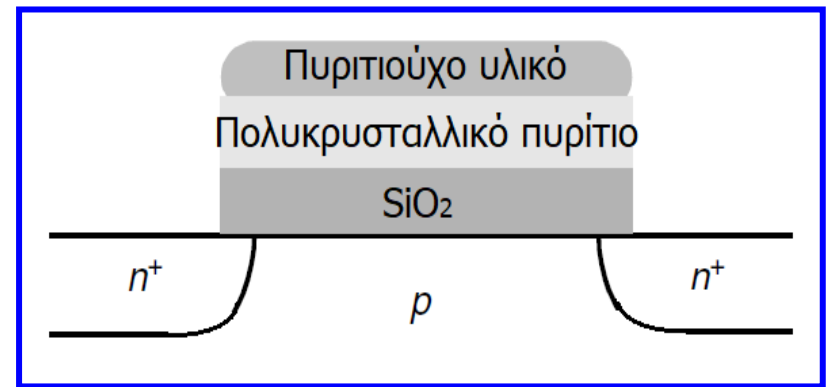
αντίσταση φύλλου (sheet resistance) σε Ω/\square ή τετράγωνο (δηλαδή, αντίσταση φύλλου με μήκος L ίσο με το πλάτος του W)



Υλικό (τεχνολογία 0.25 μm)	Αντίσταση φύλλου (Ω/\square)
Πηγάδι τύπου n, p	1000, 1500
Διάχυση τύπου n+, p+	50, 150
Πολυκρυσταλλικό πυρίτιο	175
Πολυκρυσταλλικό πυρίτιο με πυριτιούχο υλικό	4 – 5 (ανάλογα με το πυρ/ούχο υλικό)
Διάχυση τύπου n+, p+ με πυριτιούχο υλικό	3 – 5 (ανάλογα με το πυρ/ούχο υλικό)
Αλουμίνιο	0.05 – 0.1 (Al5: 0.05 ... Al1: 0.1)

Αντίσταση διασυνδέσεων

- Οι προηγμένες διεργασίες παρέχουν στρώσεις πολυκρυσταλλικού πυριτίου και διάχυσης με **πυριτιούχο υλικό (silicide)**, το οποίο είναι σύνθετο υλικό που δημιουργείται με χρήση πυριτίου και ανθεκτικού μετάλλου (βολφράμιο \rightarrow WSi_2 , τιτάνιο \rightarrow $TiSi_2$, λευκόχρυσος \rightarrow $PtSi_2$, ταντάλιο \rightarrow $TaSi$) και διαθέτει υψηλή αγωγιμότητα, χωρίς να λιώνει στα βήματα της διεργασίας κατασκευής με υψηλή θερμοκρασία.
- Τα MOSFETs με **πύλη πολυπυριτιούχου υλικού** έχουν μειωμένη αντίσταση πύλης. Παρομοίως, οι περιοχές διάχυσης με πυριτιούχο υλικό μειώνουν τις αντιστάσεις πηγής και υποδοχής.
- Οι μεταβάσεις μεταξύ στρώσεων διασύνδεσης προσθέτουν επιπλέον αντίσταση στο καλώδιο (**αντίσταση επαφής, contact resistance**).
- Είναι λοιπόν προτιμότερο να διατηρούμε τα καλώδια διασύνδεσης σε μία και μόνο στρώση και να αποφεύγουμε την κατάχρηση επαφών.
- **Αντιστάσεις επαφών** (για επαφές ελάχιστου μεγέθους) για τεχνολογία $0.25 \mu\text{m}$:
 - ✓ αντίσταση επαφής μεταξύ μετάλλου ή πολυκρυσταλλικού πυριτίου και διάχυσης n^+ ή p^+ = $5 - 20 \Omega$
 - ✓ αντίσταση επαφής μεταξύ μετάλλου και πολυκρυσταλλικού πυριτίου = $5 - 20 \Omega$,
 - ✓ αντίσταση επαφής μεταξύ διαφορετικών επιπέδων μετάλλου = $1 - 5 \Omega$.



Παράδειγμα 15

- Σε κύκλωμα τεχνολογίας 0.25 μm , θεωρούμε ένα καλώδιο διασύνδεσης αλουμινίου με μήκος 10 cm και πλάτος 1 μm , που δρομολογείται στην πρώτη στρώση αλουμινίου (μέταλλο 1 ή Al1) και υπολογίζουμε την αντίστασή του.
- Αντίσταση καλωδίου = (αντίσταση φύλλου Al1) \times (L / W) = $0.1 \Omega/\square \times (10 \text{ cm} / 1\mu\text{m}) = (0.1 \Omega/\square) \times (0.1 \times 10^6 \mu\text{m} / 1\mu\text{m}) = 10 \text{ k}\Omega$.
- Εάν υλοποιήσουμε το ίδιο καλώδιο με **πολυκρυσταλλικό πυρίτιο**, το οποίο έχει αντίσταση φύλλου $175 \Omega/\square$ προκύπτει ιδιαίτερα αυξημένη αντίσταση καλωδίου ίση με **17.5 M Ω** , η οποία είναι μη αποδεκτή για το συγκεκριμένο καλώδιο διασύνδεσης.
- Το πολυκρυσταλλικό πυρίτιο με **πυριτιούχο υλικό** αντίστασης φύλλου $4 \Omega/\square$, οδηγεί σε μικρότερη αντίσταση από εκείνη του αμιγούς πολυκρυσταλλικού πυριτίου, η οποία ισούται με **400 k Ω** , αλλά είναι επίσης πολύ μεγαλύτερη από την αντίσταση του καλωδίου αλουμινίου.

Αυτεπαγωγή διασυνδέσεων

- Η υιοθέτηση **υλικών διασύνδεσης χαμηλής αντίστασης** και η **αύξηση της συχνότητας μεταγωγής** σε κλίμακα ανώτερη του GHz, οδηγούν σε ολοκληρωμένα κυκλώματα, τα οποία επηρεάζονται από την **αυτεπαγωγή των διασυνδέσεων**.
- Σημαντικά επακόλουθα της αυτεπαγωγής που υφίσταται μέσα σε ένα κύκλωμα είναι η **επαγωγική σύζευξη (inductive coupling)** μεταξύ των γραμμών και ο **θόρυβος μεταγωγής (switching noise)** λόγω των πτώσεων τάσης (Ldi/dt).
- Η αυτεπαγωγή σε ένα τμήμα ενός κυκλώματος μπορεί να εκτιμηθεί με τη βοήθεια του ορισμού της, που δηλώνει ότι μία αλλαγή στο ρεύμα που περνάει από ένα πηνίο δημιουργεί μία πτώση τάσης:

$$\Delta V = L \frac{di}{dt}$$

- Η **χωρητικότητα c** και η **αυτεπαγωγή l (ανά μονάδα μήκους)** ενός καλωδίου σχετίζονται μέσω της ακόλουθης έκφρασης:

$$cl = \epsilon\mu$$

όπου ϵ και μ είναι η διηλεκτρική σταθερά και η διαπερατότητα του μονωτικού.

- Από την παραπάνω σχέση λαμβάνουμε μια προσεγγιστική τιμή της αυτεπαγωγής.

Παράδειγμα 16

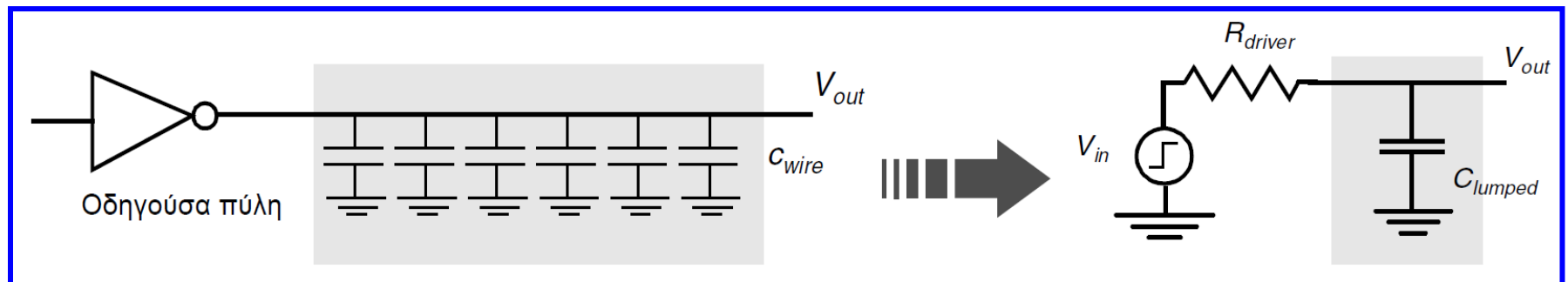
- Σε κύκλωμα τεχνολογίας 0.25 μm , θεωρούμε καλώδιο διασύνδεσης αλουμινίου πλάτους 1 μm , που δρομολογείται στην πρώτη στρώση αλουμινίου (μέταλλο 1 ή Al1) πάνω σε μονωτικό SiO_2 και υπολογίζουμε την αυτεπαγωγή ανά μονάδα μήκους του. Δίνεται ότι η διηλεκτρική σταθερά του κενού είναι $8.854 \cdot 10^{-12} \text{ F/m}$, η σχετική διηλεκτρική σταθερά του SiO_2 είναι 3.9 και η διαπερατότητα του SiO_2 είναι $12.6 \cdot 10^{-7} \text{ Wb/A}\cdot\text{m}$.
- Χωρητικότητα καλωδίου ανά μονάδα μήκους = (χωρητικότητα επιφάνειας ανά μονάδα μήκους) + (πλευρική χωρητικότητα ανά μονάδα μήκους) =
 $= (W \times 30 \text{ aF}/\mu\text{m}^2) + (2 \times 40 \text{ aF}/\mu\text{m}) = 110 \text{ aF}/\mu\text{m}$.
- Από τη σχέση που συνδέει την χωρητικότητα και την αυτεπαγωγή του καλωδίου, υπολογίζουμε την αυτεπαγωγή του καλωδίου ανά μονάδα μήκους:
$$c \times l = \epsilon \times \mu \Rightarrow l = (\epsilon \times \mu) / c \Rightarrow l = (\epsilon_0 \times \epsilon_r \times \mu) / c \Rightarrow$$
$$l = (8.854 \times 10^{-12} \text{ F/m} \times 3.9 \times 12.6 \times 10^{-7} \text{ Wb/A}\cdot\text{m}) / (110 \text{ aF}/\mu\text{m}) \Rightarrow l = 0.395 \text{ pH}/\mu\text{m}$$
.
- Επισημαίνεται ότι ο συμβολισμός χωρητικότητας και αυτεπαγωγής με μικρό γράμμα, υποδηλώνει ότι τα μεγέθη λαμβάνονται **ανά μονάδα μήκους** του καλωδίου.

Μοντελοποίηση διασυνδέσεων

- Για να μελετήσουμε την επίδραση των παρασιτικών στοιχείων των διασυνδέσεων στη συμπεριφορά των κυκλωμάτων, απαιτείται η εισαγωγή **ηλεκτρικών μοντέλων που εκτιμούν και προσεγγίζουν την πραγματική συμπεριφορά των γραμμών διασύνδεσης**.
- Η πολυπλοκότητα των μοντέλων ποικίλει, ανάλογα με τα φαινόμενα που εξετάζονται και την απαιτούμενη ακρίβεια:
 - ✓ **Ιδανικό μοντέλο**: οι γραμμές διασύνδεσης (καλώδια) θεωρούνται απλές γραμμές χωρίς προσαρτημένα παρασιτικά στοιχεία, με αποτέλεσμα να θεωρείται η ίδια τάση σε κάθε τμήμα ενός καλωδίου σε κάθε χρονική στιγμή (**καλώδιο = ισοδυναμική περιοχή**).
 - ✓ **Συγκεντρωτικό μοντέλο χωρητικότητας**: εξετάζεται μόνο η χωρητική συνιστώσα του καλωδίου και τα χωρητικά στοιχεία θεωρούνται συγκεντρωμένα σε μία θέση.
 - ✓ **Συγκεντρωτικό μοντέλο RC**: υποθέτει συγκεντρωμένα χωρητικά και ωμικά στοιχεία.
 - ✓ **Κατανεμημένη γραμμή rc**: τα ωμικά και χωρητικά στοιχεία κατανέμονται σε όλο το μήκος του καλωδίου.
 - ✓ **Γραμμή μετάδοσης**: λαμβάνει υπόψη την κυρίαρχη επίδραση της αυτεπαγωγής του καλωδίου, όταν η συχνότητα μεταγωγής των κυκλωμάτων γίνεται αρκετά μεγάλη.
- Οι κυκλωματικοί προσομοιωτές (όπως το **SPICE**) διαθέτουν ενσωματωμένα κατανεμημένα μοντέλα RC υψηλής ακρίβειας, καθώς και μοντέλα γραμμής μετάδοσης.

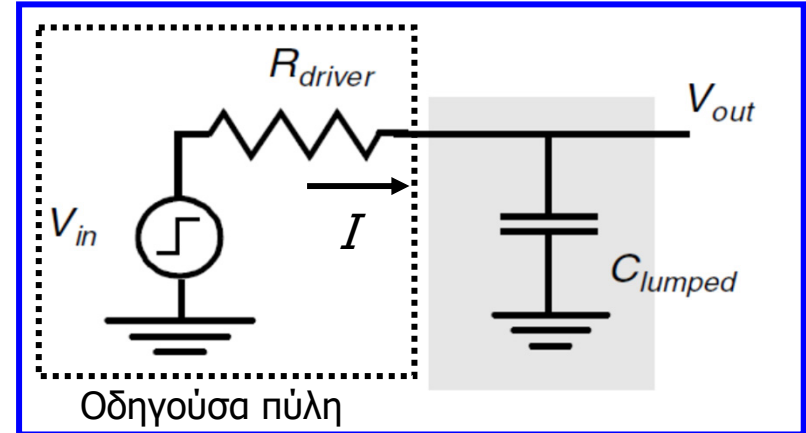
Συγκεντρωτικό μοντέλο χωρητικότητας

- Τα παρασιτικά στοιχεία ενός καλωδίου κατανέμονται σε όλο το μήκος του και δεν είναι συγκεντρωμένα σε μία και μόνο θέση.
- Ωστόσο, όταν κυριαρχεί μόνο μία παρασιτική συνιστώσα, όταν η αλληλεπίδραση μεταξύ των συνιστωσών είναι μικρή ή όταν εξετάζουμε μόνο μία όψη της συμπεριφοράς του κυκλώματος, είναι συχνά χρήσιμο να **συγκεντρώνουμε τα παρασιτικά στοιχεία σε ένα μόνο κυκλωματικό στοιχείο**.
- Το πλεονέκτημα της προσέγγισης αυτής είναι ότι η επίδραση των παρασιτικών στοιχείων μπορούν να περιγραφούν από μία **συνήθη διαφορική εξίσωση**.
- Όταν η ωμική συνιστώσα του καλωδίου είναι μικρή και η συχνότητα μεταγωγής είναι χαμηλή έως μέση, θεωρούμε ότι υπάρχει μόνο η χωρητική συνιστώσα του καλωδίου και **συγκεντρώνουμε την κατανεμημένη χωρητικότητα σε μία μόνο χωρητικότητα**.
- Η επίδραση της γραμμής διασύνδεσης που εισάγεται στην επίδοση του κυκλώματος είναι ισοδύναμη με την **επίδραση της χωρητικότητας φορτίου** στην οδηγούσα πύλη.



Συγκεντρωτικό μοντέλο χωρητικότητας

- Εφαρμόζοντας μια βηματική είσοδο (η V_{in} αλλάζει από 0 σε V και ο πυκνωτής φορτίζεται μέσω της R), η μεταβατική απόκριση του κυκλώματος (V_{out}) που προκύπτει είναι εκθετική συνάρτηση του χρόνου.
- Η λειτουργία του δικτυώματος περιγράφεται από μια συνήθη διαφορική εξίσωση 1ης τάξης, 1ου βαθμού:



$$V_{in} - V_{R_{driver}} - V_{out} = 0 \Rightarrow V_{in} = I \cdot R_{driver} + V_{out} \Rightarrow V_{in} = \frac{dQ}{dt} \cdot R_{driver} + V_{out} \Rightarrow$$

$$V_{in} = \frac{d(C_{lumped} \cdot V_{out})}{dt} \cdot R_{driver} + V_{out} \Rightarrow \frac{dV_{out}}{dt} + \frac{V_{out} - V_{in}}{R_{driver} \cdot C_{lumped}} = 0 \Rightarrow V_{out} = V \cdot (1 - e^{-\frac{t}{\tau}})$$

- Σταθερά χρόνου δικτυώματος: $\tau = R_{driver} \cdot C_{lumped}$ Χρόνος επίτευξης του σημείου 50%:

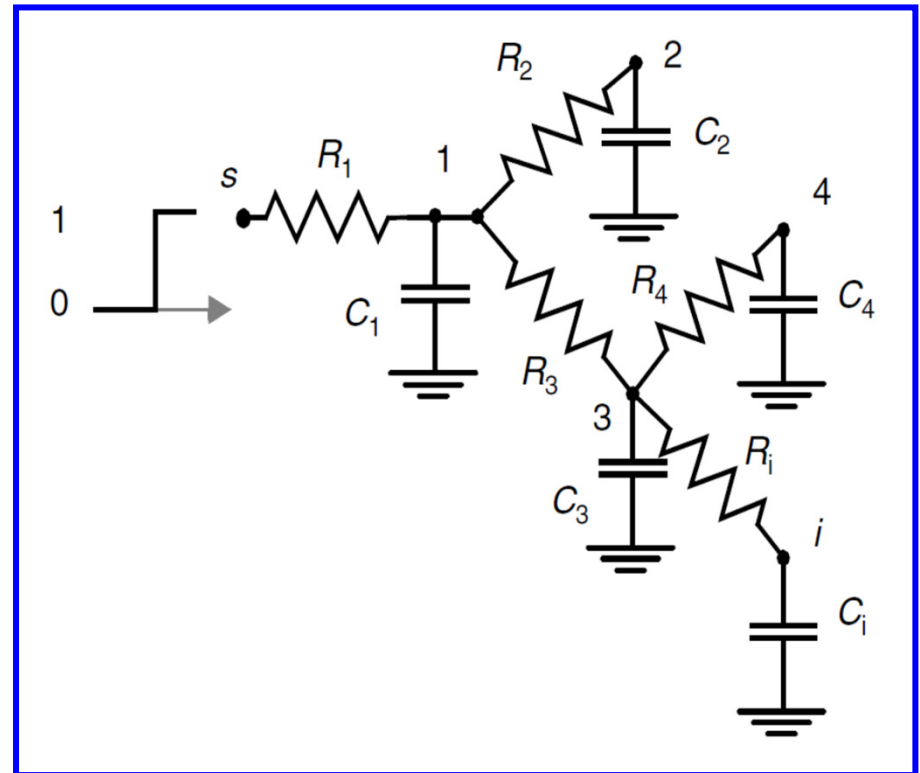
$$\frac{V}{2} = V \cdot (1 - e^{-\frac{t_{50\%}}{\tau}}) \Rightarrow \frac{1}{2} = 1 - e^{-\frac{t_{50\%}}{\tau}} \Rightarrow e^{-\frac{t_{50\%}}{\tau}} = \frac{1}{2} \Rightarrow -\frac{t_{50\%}}{\tau} = -\ln(2) \Rightarrow t_{50\%} = \ln(2) \cdot \tau = 0.69 \cdot \tau$$

Συγκεντρωτικό μοντέλο RC

- Τα καλώδια μετάλλου σε ένα ολοκληρωμένο κύκλωμα που έχουν μήκος μεγαλύτερο από μερικά χιλιοστά παρουσιάζουν σημαντική αντίσταση, με αποτέλεσμα το συγκεντρωτικό μοντέλο χωρητικότητας να μην επαρκεί.
- Το **συγκεντρωτικό μοντέλο RC (lumped RC model)** είναι μια προσέγγιση που συγκεντρώνει τη συνολική αντίσταση κάθε τμήματος του καλωδίου σε έναν και μόνο αντιστάτη R και με παρόμοιο τρόπο συνενώνει τη συνολική χωρητικότητα σε έναν και μόνο πυκνωτή C.
- Η μελέτη της μεταβατικής συμπεριφοράς ενός σύνθετου κυκλώματος με τρανζίστορ και καλώδια (γραμμές διασύνδεσης), γίνεται με **αναγωγή του κυκλώματος σε δικτύωμα RC**.
- Η ακριβής περιγραφή της της μεταβατικής συμπεριφοράς ενός δικτύωματος με μεγάλο αριθμό αντιστάσεων και πυκνωτών απαιτεί ένα σύστημα από συνήθεις διαφορικές εξισώσεις, η επίλυση του οποίου είναι εξαιρετικά σύνθετη.
- Για λόγους απλότητας, ο **υπολογισμός της καθυστέρησης ενός δικτύωματος RC** γίνεται με χρήση του **τύπου καθυστέρησης του Elmore (Elmore delay formula)**, υποθέτοντας ότι:
 - ✓ το δικτύωμα έχει μόνο έναν κόμβο εισόδου (s),
 - ✓ οι πυκνωτές του δικτύωματος τοποθετούνται μεταξύ ενός κόμβου και της γείωσης,
 - ✓ δεν υπάρχουν ωμικοί βρόχοι (δηλαδή δικτύωμα με δομή δένδρου).

Καθυστέρηση δικτύωματος δομής δένδρου Elmore

- Σε ένα δίκτυωμα δομής δένδρου RC υπάρχει μια **μοναδική ωμική διαδρομή μεταξύ του κόμβου εισόδου s και κάθε άλλου κόμβου i .**
- Η συνολική αντίσταση κατά μήκος μιας ωμικής διαδρομής αναφέρεται ως **αντίσταση διαδρομής (path resistance), R_{ii} .**
- **Παράδειγμα:** $R_{44} = R_1 + R_3 + R_4$
- Η αντίσταση που διαμοιράζεται μεταξύ δύο διαδρομών από τον κόμβο εισόδου s στους κόμβους k και i , αναφέρεται ως **αντίσταση διαμοιρασμένης διαδρομής (shared path resistance), R_{ik} :**



$$R_{ik} = \sum R_j \Rightarrow (R_j \in [path(s \rightarrow i) \cap path(s \rightarrow k)])$$

- **Παράδειγμα:** $R_{i4} = R_1 + R_3$, $R_{i2} = R_1$.

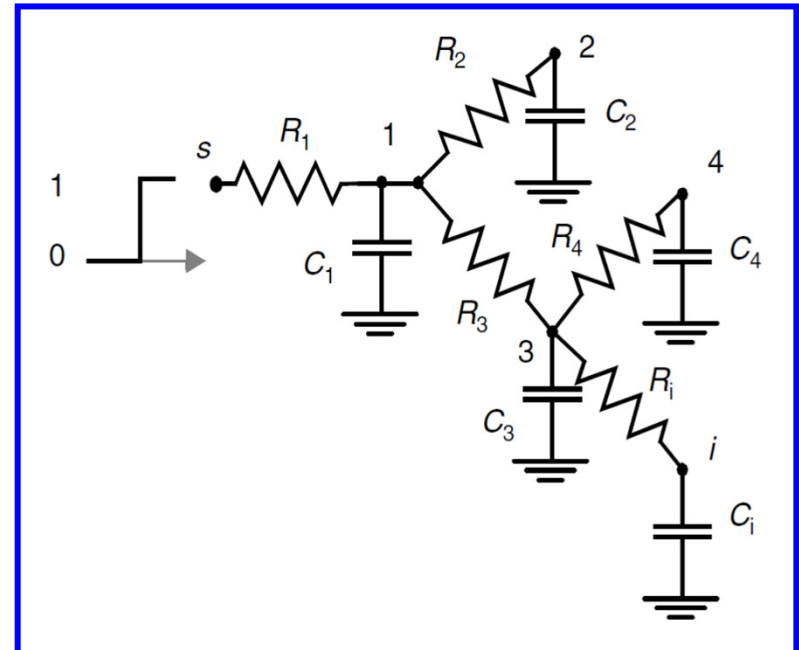
Καθυστέρηση δικτύωματος δομής δένδρου Elmore

- Για τον υπολογισμό της καθυστέρησης Elmore, υποθέτουμε ότι αρχικά ο κόμβος εισόδου s έχει μηδενική τάση και τη χρονική στιγμή $t = 0$ εφαρμόζεται μια βηματική είσοδος:

$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

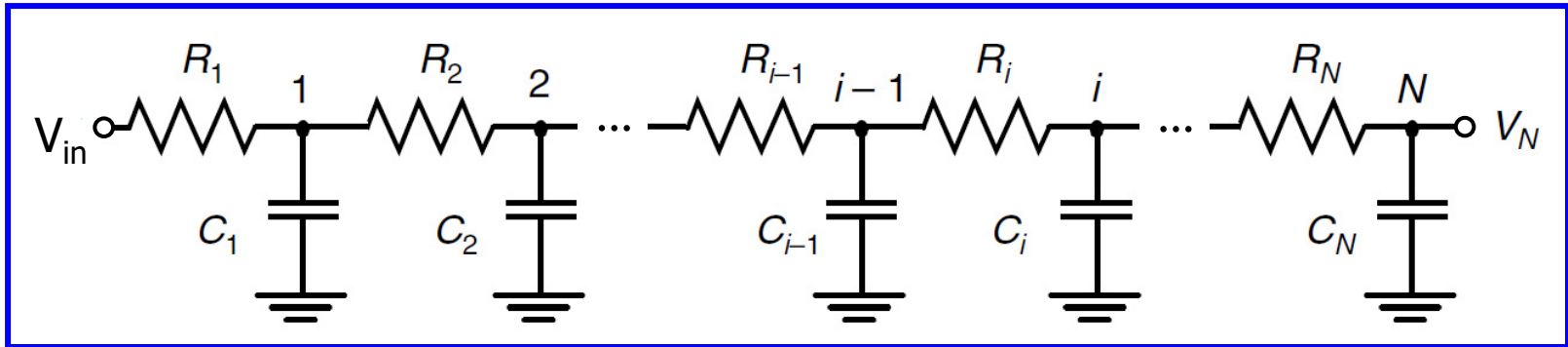
- Η καθυστέρηση Elmore αντιπροσωπεύει μια απλή προσέγγιση της πραγματικής καθυστέρησης μεταξύ του κόμβου εισόδου και του κόμβου i .
- Παράδειγμα:** καθυστέρηση Elmore για τον κόμβο i του διπλανού δικτύωματος:

$$\tau_{Di} = R_1 C_1 + R_1 C_2 + (R_1 + R_3) C_3 + (R_1 + R_3) C_4 + (R_1 + R_3 + R_i) C_i$$



Καθυστέρηση αλυσίδας Elmore

- Μια ειδική περίπτωση δικτυώματος με δομή δένδρου είναι η **αλυσίδα RC**, η οποία αποτελεί μια δομή που συναντάται πολύ συχνά στα ψηφιακά κυκλώματα.
- Αποτελεί ένα **προσεγγιστικό μοντέλο ωμικής-χωρητικής γραμμής διασύνδεσης**.



$$T_{DN} = \sum_{i=1}^N (C_i \cdot \sum_{j=1}^i R_j) = \sum_{i=1}^N C_i \cdot R_{ii}$$

Η αντίσταση διαμοιρασμένης διαδρομής, αντικαθίσταται από μια αντίσταση διαδρομής:

$$T_{Di} = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + \dots + C_i \cdot (R_1 + R_2 + \dots + R_i)$$

Κατανεμημένη γραμμή rc

- Εάν τεμαχίσουμε μια γραμμή διασύνδεσης με συνολικό μήκος L σε N πανομοιότυπα τμήματα, καθένα από αυτά θα έχει μήκος L/N .
- Συνεπώς, εάν r και c είναι η αντίσταση και η χωρητικότητα της γραμμής ανά μονάδα μήκους, αντίστοιχα, τότε η αντίσταση και η χωρητικότητα κάθε τμήματος θα είναι $r \times L/N$ και $c \times L/N$, αντίστοιχα.
- Με βάση τα παραπάνω, η καθυστέρηση Elmore της γραμμής, έχει ως εξής:

$$\tau_{DN} = \left(\frac{L}{N}\right)^2 (rc + 2rc + \dots + Nrc) = (rcL^2) \frac{N(N+1)}{2N^2} = RC \frac{N+1}{2N}$$

όπου $R = r \times L$ και $C = c \times L$ είναι η συνολική αντίσταση και χωρητικότητα της γραμμής, αντίστοιχα.

- Για **πολύ μεγάλες τιμές του N** , το μοντέλο προσεγγίζει μια **κατανεμημένη γραμμή rc**:

$$\tau_{DN} = \frac{RC}{2} = \frac{rcL^2}{2}$$

Η καθυστέρηση της κατανεμημένης γραμμής είναι **τετραγωνική συνάρτηση του μήκους** της και ισούται με το **μισό της καθυστέρησης αλυσίδας Elmore** (όπως προκύπτει εάν στο τύπο Elmore για την αλυσίδα θέσουμε $N = 1$)

Παράδειγμα 17

- Σε κύκλωμα τεχνολογίας 0.25 μm , θεωρούμε μια γραμμή διασύνδεσης αλουμινίου πρώτου επιπέδου (Al1) με μήκος 10 cm και πλάτος 1 μm και υπολογίζουμε την καθυστέρηση διάδοσής της εν λόγω γραμμής για βηματική είσοδο.
- c = χωρητικότητα γραμμής ανά μονάδα μήκους = (χωρητικότητα επιφάνειας ανά μονάδα μήκους) + (πλευρική χωρητικότητα ανά μονάδα μήκους) = $(W \times 30 \text{ aF}/\mu\text{m}^2) + (2 \times 40 \text{ aF}/\mu\text{m}) = 110 \text{ aF}/\mu\text{m}$.
- r = αντίσταση γραμμής ανά μονάδα μήκους = (αντίσταση φύλλου Al1) / $W = (0.1 \Omega/\square) / 1 \mu\text{m} = 0.1 \Omega/\mu\text{m}$.
- Η καθυστέρηση της γραμμής για βηματική είσοδο (εάν θεωρήσουμε αλυσίδα Elmore με $N = 1$) είναι: $0.69 \times \tau = 0.69 \times R \times C$.
- Επειδή η καθυστέρηση της κατανεμημένης γραμμής είναι το μισό της καθυστέρησης Elmore, μπορούμε να υπολογίσουμε την καθυστέρηση της γραμμής για βηματική είσοδο ως εξής: $t_p = 0.38 \times R \times C = 0.38 \times r \times c \times L^2 = 0.38 \times (0.1 \Omega/\mu\text{m}) \times (110 \text{ aF}/\mu\text{m}) \times (10 \text{ cm})^2 = 0.38 \times (0.1 \Omega/\mu\text{m}) \times (110 \text{ aF}/\mu\text{m}) \times (10^5 \mu\text{m})^2 = 31.4 \text{ ns}$.
- Εάν θεωρήσουμε μια όμοια γραμμή που υλοποιείται με πολυκρυσταλλικό πυρίτιο και με μέταλλο πέμπτου επιπέδου (Al5), έχουμε:
Polysilicon: $t_p = 0.38 \times (175 \Omega/\mu\text{m}) \times (88 + 2 \times 54 \text{ aF}/\mu\text{m}) \times (10^5 \mu\text{m})^2 = 130 \mu\text{s}$,
Al5: $t_p = 0.38 \times (0.05 \Omega/\mu\text{m}) \times (5.2 + 2 \times 12 \text{ aF}/\mu\text{m}) \times (10^5 \mu\text{m})^2 = 5.5 \text{ ns}$,
γίνεται προφανές ότι η επιλογή υλικού έχει δραματική επίδραση στην καθυστέρηση γραμμής.

Συμπεράσματα

- Ο αντιστροφάας CMOS συνδυάζει ένα πάνω-οδήγησης τρανζίστορ PMOS που οδηγεί την τάση εξόδου στην τιμή της τάσης τροφοδοσίας και ένα τρανζίστορ NMOS που οδηγεί την τάση εξόδου σε τιμή 0.
- Το τρανζίστορ PMOS σχεδιάζεται πλατύτερο από το τρανζίστορ NMOS, λόγω της χαμηλότερης ικανότητας οδήγησης ρεύματος που διαθέτει.
- Ο αντιστροφάας CMOS έχει μία σχεδόν ιδανική χαρακτηριστική μεταφοράς τάσης.
- Το λογικό εύρος ταλάντευσης τάσης είναι ίσο με την τάση τροφοδοσίας και δεν αποτελεί συνάρτηση του μεγέθους των τρανζίστορ.
- Τα περιθώρια θορύβου ενός συμμετρικού αντιστροφέα (στον οποίο τα τρανζίστορ PMOS και NMOS έχουν ίση ικανότητα οδήγησης ρεύματος) προσεγγίζουν την τιμή $V_{DD}/2$.
- Η καθυστέρηση διάδοσης του αντιστροφέα κυριαρχείται από το χρόνο που απαιτείται για τη φόρτιση ή εκφόρτιση της χωρητικότητας εξόδου.
- Η διατήρηση της χωρητικότητας φορτίου σε χαμηλές τιμές είναι η πιο αποτελεσματική μέθοδος για την υλοποίηση κυκλωμάτων CMOS υψηλής επίδοσης.
- Η μεταβολή του μεγέθους των τρανζίστορ βοηθά στη βελτίωση της επίδοσης, όσο η καθυστέρηση κυριαρχείται από την εξωγενή χωρητικότητα (ή χωρητικότητα φορτίου) που οφείλεται στο φόρτο εξόδου της πύλης και στις γραμμές διασύνδεσης.

Συμπεράσματα

- Η κατανάλωση ενέργειας του αντιστροφέα κυριαρχείται από τη δυναμική συνιστώσα της, που καταναλώνεται κατά τη φόρτιση και εκφόρτιση της χωρητικότητας εξόδου.
- Η δυναμική κατανάλωση ενέργειας είναι ανάλογη της δραστηριότητας μεταβάσεων του κυκλώματος.
- Η κατανάλωση ενέργειας που οφείλεται στα ρεύματα βραχυκυκλώματος που υφίστανται κατά τη διάρκεια των μεταβάσεων, μπορεί να περιοριστεί με κατάλληλη προσαρμογή των κλίσεων των τάσεων εισόδου και εξόδου των πυλών CMOS.
- Η στατική κατανάλωση ενέργειας οφείλεται στα ρεύματα διαρροής των ανάστροφα πολωμένων διόδων των τρανζίστορ μεταξύ της περιοχής υποδοχής ή πηγής και του υποστρώματος, στο ρεύμα υποκατωφλίου και στο ρεύμα διαρροής της πύλης των τρανζίστορ.
- Η επίδραση της συμπεριφοράς των γραμμών διασύνδεσης στα προηγμένα ολοκληρωμένα κυκλώματα είναι σημαντική και καθορίζεται από τις κυρίαρχες παραμέτρους που ρυθμίζουν τις τιμές των παρασιτικών στοιχείων των γραμμών (χωρητικότητα, αντίσταση, αυτεπαγωγή).
- Για την μελέτη της επίδρασης των παρασιτικών στοιχείων των διασυνδέσεων στη συμπεριφορά των κυκλωμάτων, απαιτείται η υιοθέτηση επαρκών μοντέλων που εκτιμούν και προσεγγίζουν την πραγματική συμπεριφορά των γραμμών διασύνδεσης.



Τέλος 4^{ης} ενότητας