



ΠΕΡΙΓΡΑΦΗ ΠΡΟΤΕΙΝΟΜΕΝΟΥ ΘΕΜΑΤΟΣ ΔΙΠΛΩΜΑΤΙΚΗΣ ΕΡΓΑΣΙΑΣ

Τίτλος: Μελέτη, σχεδίαση και υλοποίηση της προδιαγραφής επέκτασης εντολών "V" Vector Extension v1.0 για τον επεξεργαστή RISC-V με χρήση HDL.	
Επιβλέπων: Παρασκευάς Κίτσος, Αναπληρωτής Καθηγητής Συνεπικουρία: Μανώλης Γαλετάκης, ΕΤΕΠ	e-mails: kitsos@uop.gr mgaletakis@uop.gr
	Άτομα 1
Στόχοι Στόχος της εργασίας αποτελεί η υλοποίηση της επέκτασης εντολών "V" Vector Extension v1.0 στον επεξεργαστή RISC-V σε ένα FPGA ολοκληρωμένο.	
Αντικείμενο: Τα τελευταία χρόνια έχει αναπτυχθεί η 'ανοικτή' αρχιτεκτονική RISC-V που προδιαγράφει ένα σετ εντολών (ISA) το οποίο συνίσταται από βασικές εντολές και προτεινόμενες επεκτάσεις [1][2]. Το προτεινόμενο θέμα αφορά την υλοποίησή της επέκτασης "V" Vector Extension v1.0 όπως αυτή έχει προδιαγραφεί [3] σε ένα επεξεργαστή RISC-V ανοικτού κώδικα σε FPGA με τη χρήση γλώσσας περιγραφής υλικού (κατά προτίμηση Verilog ή System Verilog). Η σχεδίαση και υλοποίηση του επεξεργαστή δεν αποτελεί αντικείμενο αυτής της εργασίας αντίθετα θα χρησιμοποιηθεί κάποιος επεξεργαστής ανοικτού κώδικα από την οικογένεια CORE-V [4] του μη κερδοσκοπικού οργανισμού OpenHW Group. Η ανάπτυξη θα γίνει με τα εργαλεία σύνθεσης κώδικα HDL (Intel Quartus, Xilinx Vivado, Yosys κ.α) και αφού επαληθευθεί η λειτουργικότητα, θα ακολουθήσει υλοποίηση της αρχιτεκτονικής σε FPGA. Η ορθή λειτουργία της σχεδίασης θα ελεγχθεί με την ανάπτυξη πρότυπου λογισμικού δοκιμών, συναρτήσεων ελέγχου, σε γλώσσα c ή assembly.	
Βιβλιογραφία – Αναφορές : 1. Kalapothas, S.; Galetakis, M.; Flamis, G.; Plessas, F.; Kitsos, P. A Survey on RISC-V-Based Machine Learning Ecosystem. <i>Information</i> 2023 , <i>14</i> , 64. https://doi.org/10.3390/info14020064 2. https://riscv.org/technical/specifications/ 3. https://inst.eecs.berkeley.edu/~cs152/sp20/handouts/sp20/riscv-v-spec.pdf	

4. <https://github.com/openhwgroup/core-v-cores>

Η εργασία περιλαμβάνει

- Θεωρητική μελέτη
- Ανάπτυξη και έλεγχο καλής λειτουργίας (εξομοίωση)
- Ανάπτυξη πρότυπων συναρτήσεων ελέγχου ορθής λειτουργίας
- Υλοποίηση σε FPGA

Σχετιζόμενες γνώσεις

Πρωτεύοντα: Γνώση μιας γλώσσας περιγραφή υλικού (HDL) , Γνώσεις σχεδιασμού ψηφιακών συστημάτων σε FPGAs

Δευτερεύουσες: Γνώσεις αρχιτεκτονικής επεξεργαστών, προγραμματισμού c ή assembly

Υποχρεώσεις Παρουσίας:

ΟΧΙ