

ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ Ι
Λύσεις Θεμάτων Εξεταστικής Περιόδου Σεπτεμβρίου 2014

ΘΕΜΑ 1° (20%)

Ένα κύκλωμα δέχεται στην είσοδό του δύο διψήφιους δυαδικούς αριθμούς, $A = A_1A_0$ και $B = B_1B_0$, και παράγει στην έξοδό του τη λογική συνάρτηση $F(A_1, A_0, B_1, B_0)$ που υλοποιεί τη συνθήκη $A \neq B$.

Να αποδείξετε ότι η λογική συνάρτηση μπορεί να εκφραστεί στη μορφή:

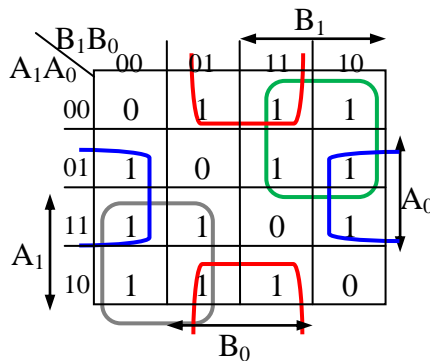
$$F(A_1, A_0, B_1, B_0) = (A_1 \oplus B_1) + (A_0 \oplus B_0)$$

και να σχεδιάσετε το κύκλωμα.

Λύση

Ο Πίνακας Αλήθειας του ζητούμενου κυκλώματος είναι ο ακόλουθος:

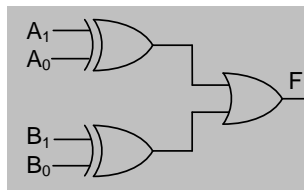
A_1	A_0	B_1	B_0	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0



Από τον πίνακα Karnaugh προκύπτει ότι η απλοποιημένη μορφή της συνάρτησης εξόδου F είναι:

$$F = A_1B'_1 + A'_1B_1 + A_0B'_0 + A'_0B_0 = (A_1B'_1 + A'_1B_1) + (A_0B'_0 + A'_0B_0) = (A_1 \oplus B_1) + (A_0 \oplus B_0)$$

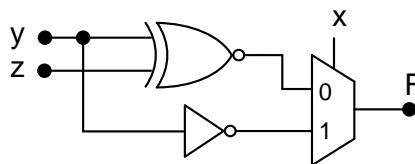
Το λογικό κύκλωμα είναι:



ΘΕΜΑ 2° (20%)

Δίνεται το λογικό κύκλωμα του σχήματος που περιλαμβάνει ένα πολυπλέκτη 2-σε-1.

Να σχεδιάσετε ένα ισοδύναμο λογικό κύκλωμα με έναν αποκωδικοποιητή 3-σε-8 και λογικές πύλες.



Λύση:

Γνωρίζουμε ότι για έναν πολυπλέκτη 2-σε-1 με είσοδο ελέγχου E και εισόδους δεδομένων A και B, η έξοδος F δίνεται από τη λογική σχέση:

$$F = E'A + EB$$

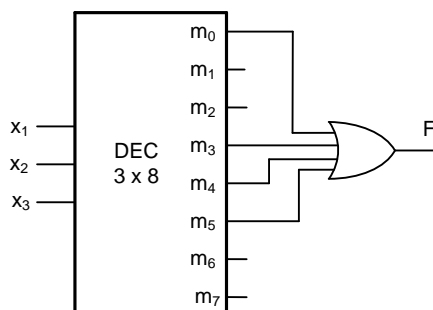
Επομένως, για το συγκεκριμένο λογικό κύκλωμα η έξοδος F θα είναι:

$$F = x'(y \oplus z)' + xy' = x'(y'z' + yz) + xy' = x'y'z' + x'yz + xy' = x'y'z' + x'yz + xy'(z' + z) = x'y'z' + x'yz + xy'z' + xy'z$$

Άρα: $F = m_0 + m_3 + m_4 + m_5$ και ο πίνακας αλήθειας του λογικού κυκλώματος είναι:

x	y	z	F	
0	0	0	1	$m_0 = x'y'z'$
0	0	1	0	
0	1	0	0	
0	1	1	1	$m_3 = x'yz$
1	0	0	1	$m_4 = xy'z'$
1	0	1	1	$m_5 = xy'z$
1	1	0	0	
1	1	1	0	

Το ζητούμενο λογικό κύκλωμα που περιλαμβάνει έναν αποκωδικοποιητή 3-σε-8 και λογικές πύλες είναι το ακόλουθο:



ΘΕΜΑ 3^ο (40%)

α. Να σχεδιάσετε ένα ΣΥΓΧΡΟΝΟ μετρητή MOD(6) με JK flip-flop. (3,0 μον.)

β. Εάν το σύστημα βρεθεί στην κατάσταση $Q_2Q_1Q_0 = 110$, να προσδιορίσετε σε ποια κατάσταση θα μεταβεί μετά από έναν ωρολογιακό παλμό. (1,0 μον.)

Λύση

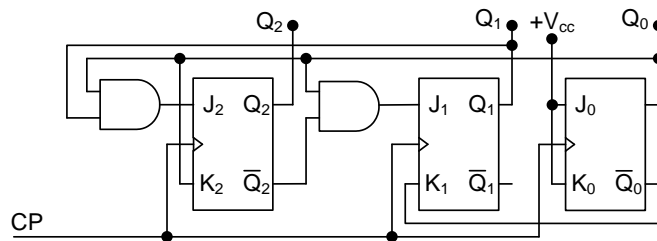
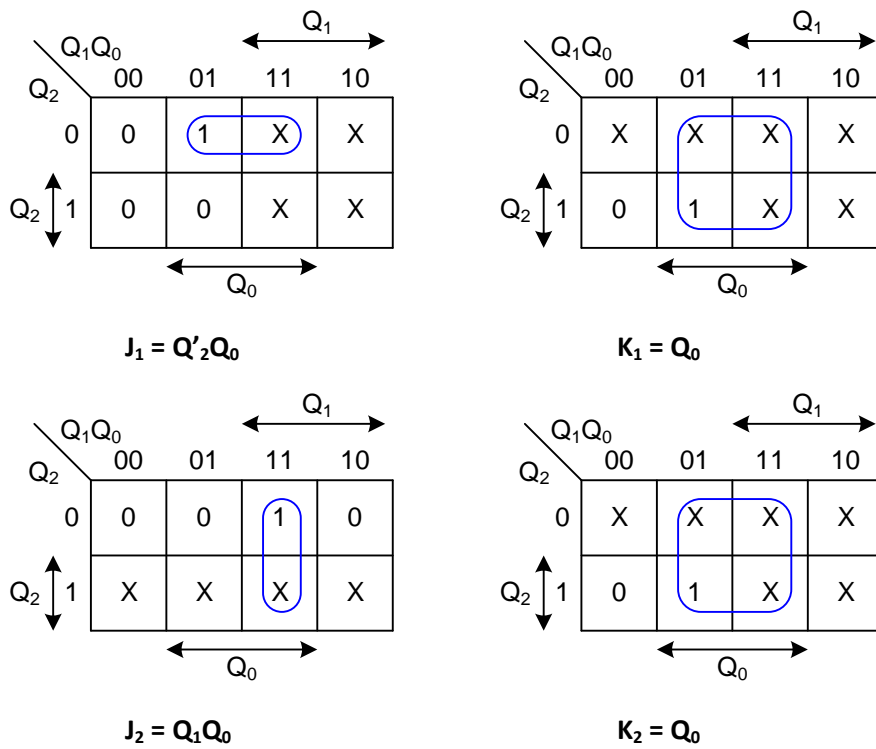
α. Για έναν μετρητή MOD(6), η ακολουθία μέτρησης θα είναι 0 – 1 – 2 – 3 – 4 – 5 – 0.

Πίνακας μετάβασης καταστάσεων:

Παρούσα Κατάσταση			Επόμενη Κατάσταση			Είσοδοι Flip Flop					
Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	0	0	0	X	1	0	X	X	1

Από τον παραπάνω πίνακα προκύπτουν ότι: $J_0 = K_0 = 1$

Για τις εισόδους των άλλων Flip Flop έχουμε:



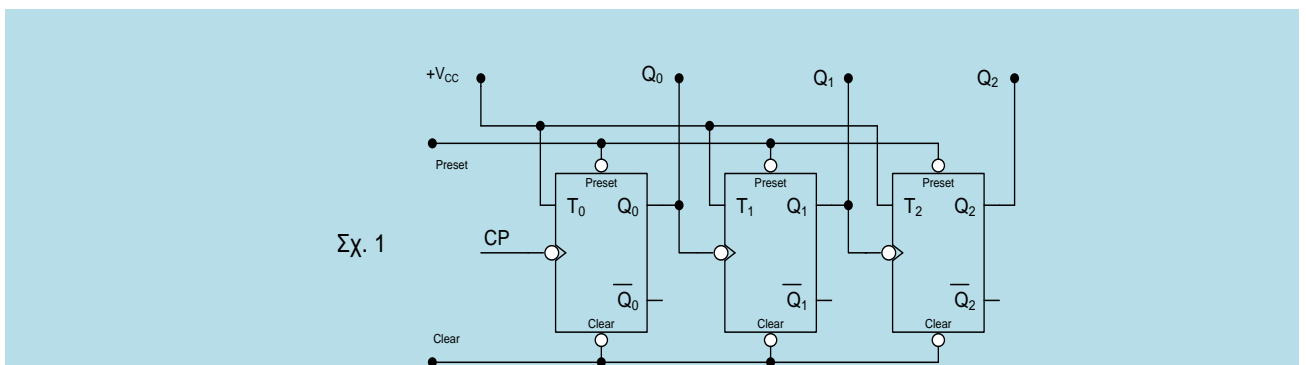
β.

Παρούσα Κατάσταση			Είσοδοι Flip Flop						Επόμενη Κατάσταση		
Q_2	Q_1	Q_0	$J_2 = Q_1Q_0$	$K_2 = Q_0$	$J_1 = Q_2'Q_0$	$K_1 = Q_0$	$J_0=1$	$K_0=1$	Q_2^+	Q_1^+	Q_0^+
1	1	0	0	0	0	0	1	1	1	1	1

ΘΕΜΑ 4° (40%)

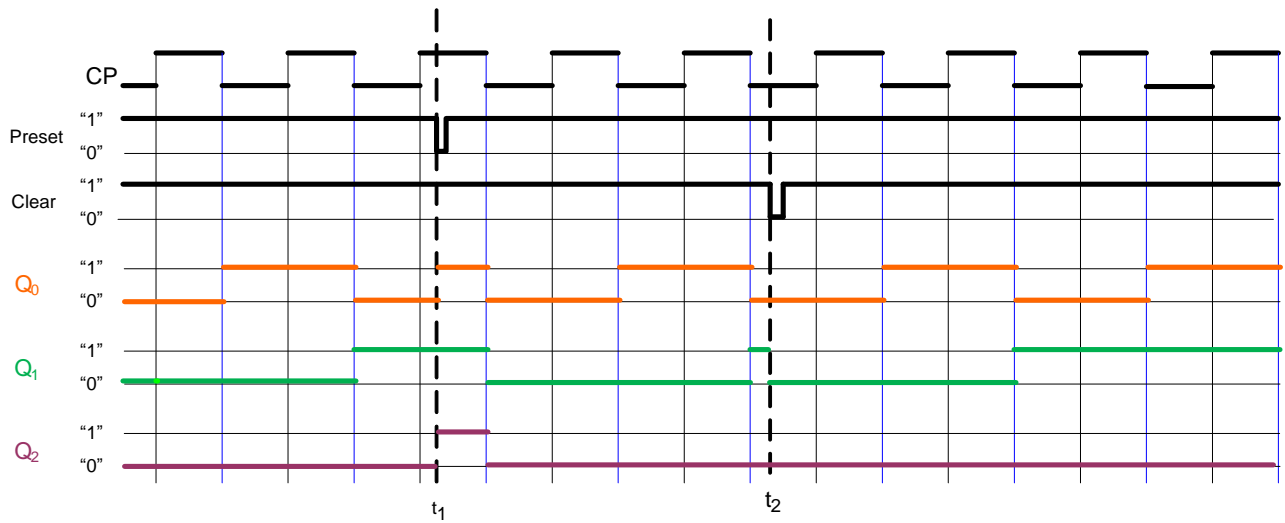
Δίνεται το κύκλωμα του ασύγχρονου μετρητή του Σχήματος 1, με αρχική κατάσταση $Q_2Q_1Q_0 = 000$.

1. Αν στο Preset τη χρονική στιγμή t_1 και στο Clear τη χρονική στιγμή t_2 δοθούν τα σήματα που φαίνονται στο Σχήμα 2 της επόμενης σελίδας, να συμπληρώσετε το διάγραμμα χρονισμού του μετρητή. (1,5 μον.)
2. Πού πρέπει να συνδεθεί το Preset και πού το Clear προκειμένου ο μετρητής να λειτουργήσει ως ένας πλήρης 3-bit μετρητής; (0,5 μον.)
3. Να δείξετε πώς ο μετρητής αυτός μπορεί να μετατραπεί σε μετρητή MOD(6) και να συμπληρώσετε το αντίστοιχο διάγραμμα χρονισμού (Σχήμα 3 – επόμενη σελίδα). (2,0 μον.)



Λύση

1.



2. Επειδή όπως βλέπουμε από το κύκλωμα το Preset και το Clear είναι **active low**, προκειμένου ο μετρητής να λειτουργήσει ως ένας πλήρης 3-bit μετρητής θα πρέπει το Preset και το Clear να συνδεθούν στο λογικό '1' (+V_{CC}).

3.

